

Architettura degli Elaboratori

a.a. 2017 - 2018

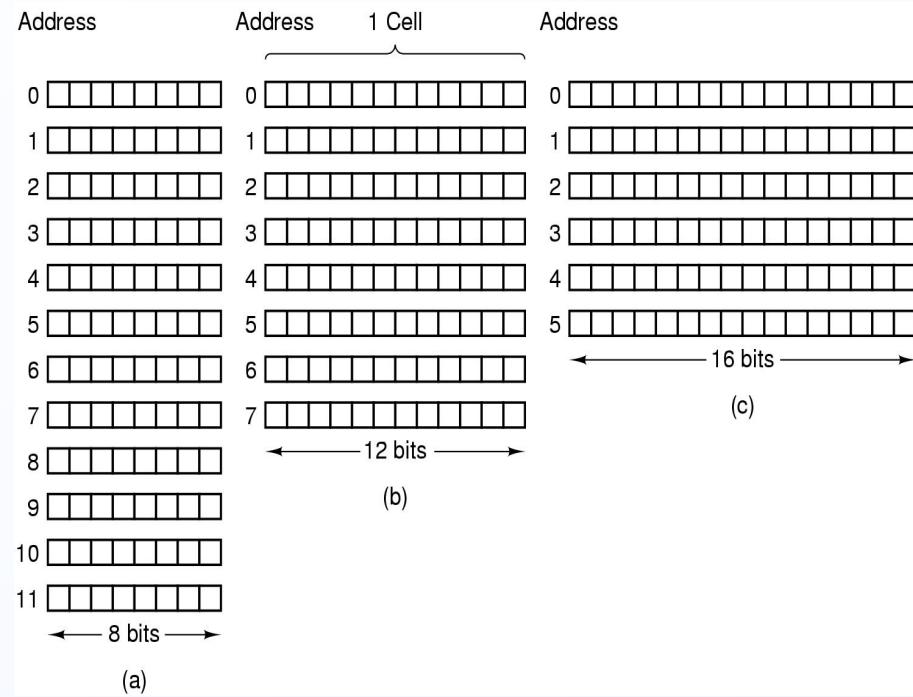
Memoria: Organizzazione e gerarchia

“Many hundred large volumes have been published upon this controversy: but the books of the Big-endians have been long forbidden, and the whole party rendered incapable by law of holding employments”

Jonathan Swift “*Gulliver’s Travels*”, Part 1, Chap. 4

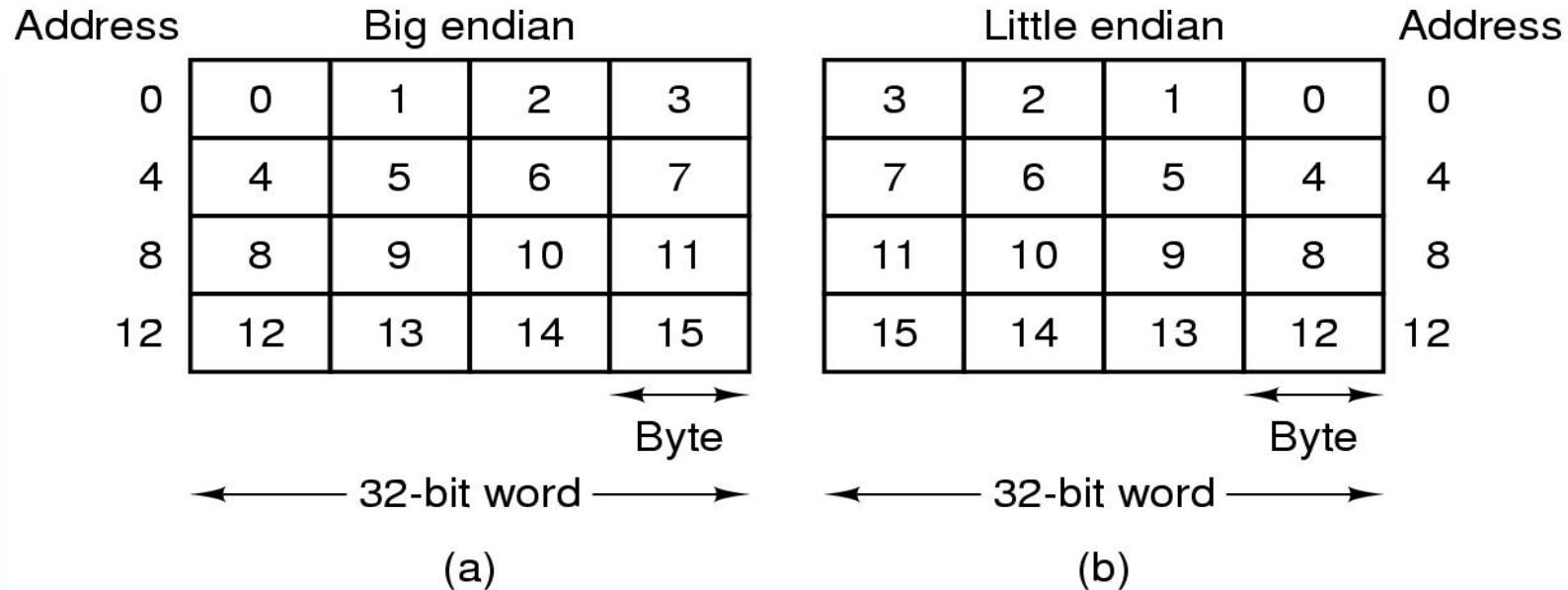
La memoria principale

- Store o storage
- Memoria come insieme di celle (o locazioni)
- Tutte le celle hanno stessa dimensione
- Ogni cella è identificata da un indirizzo
- Se un calcolatore ha ***n*** celle allora gli indirizzi vanno da **0** a ***n-1***
indipendentemente dalla dimensione della cella
- Il numero di bit nell'indirizzo determina il numero massimo di celle indirizzabili



- La cella è la minima unità indirizzabile
- Recentemente dimensione standard: 8 bit (byte), 4 o 8 byte definiscono una ***parola*** (unità di manipolazione per le istruzioni)

Ordinamento dei byte



- (a) **big endian**: la numerazione va da sinistra verso destra: *big end first* (SPARC, mainframe IBM)
- (b) **little endian**: la numerazione va da destra verso sinistra *little end first* (Intel)

Ordinamento dei byte: little endian

	7	0
0	\$1D	
1	\$2C	
2	\$3B	
3	\$4A	
4	'C	
5	'I	
6	'A'	
7	'O	

byte

	15	8	7	0	0
1	\$2C	\$1D		0	
3	\$4A	\$3B		2	
5	'I	'C		4	
7	'O	'A		6	

Word

	31	16	15	0
3	\$4A	\$3B	\$2C	\$1D
7	'O	'A	'I	'C

Long-word

Organizzazione little endian: numero \$4A3B2C1D E STRINGA "CIAO

Ordinamento dei byte: big endian

	7	0
0	\$1D	
1	\$2C	
2	\$3B	
3	\$4A	
4	'C	
5	'I	
6	'A'	
7	'O	

byte

	15	8	7	0	0
0	\$1D		\$2C		1
2	\$3B		\$4A		3
4	'C		'I		5
6	'A		'O		7

Word

	31	16	15	0	
0	\$1D	\$2C	\$3B	\$4A	3
4	'C	'I	'A	'O	7

Long-word

Organizzazione big endian: numero \$1D2C3B4A E STRINGA "CIAO"

Ordinamento dei byte

	Big endian			
0	J	I	M	
4	S	M	I	T
8	H	0	0	0
12	0	0	0	21
16	0	0	1	4

(a)

	Little endian			
0		M	I	J
4	T	I	M	S
8	0	0	0	H
12	0	0	0	21
16	0	0	1	4

(b)

	Transfer from big endian to little endian			
0		M	I	J
4	T	I	M	S
8	0	0	0	H
12	21	0	0	0
16	4	1	0	0

(c)

	Transfer and swap			
0	J	I	M	
4	S	M	I	T
8	H	0	0	0
12	0	0	0	21
16	0	0	1	4

(d)

- Mancanza di uno **standard**
- Problemi per la trasmissione byte per byte di informazioni di tipo alfanumerico:

CPU e memoria

CPU più veloci delle memorie: quando la CPU effettua una richiesta alla memoria, essa non ottiene la parola desiderata se non dopo molti cicli di CPU.

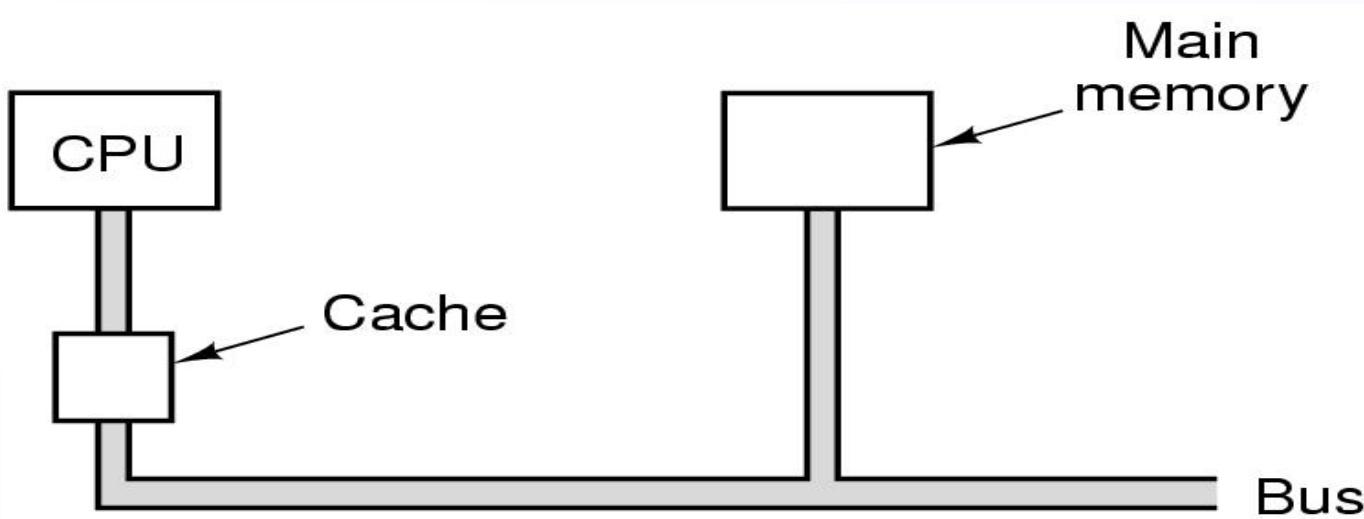
Piccola quantità di memoria veloce (costosa) o grande quantità di memoria più lenta?



Tecniche che permettono di combinare le due soluzioni per ottenere a un prezzo ragionevole sia la velocità sia la notevole capacità

Memoria piccola e veloce: **cache**

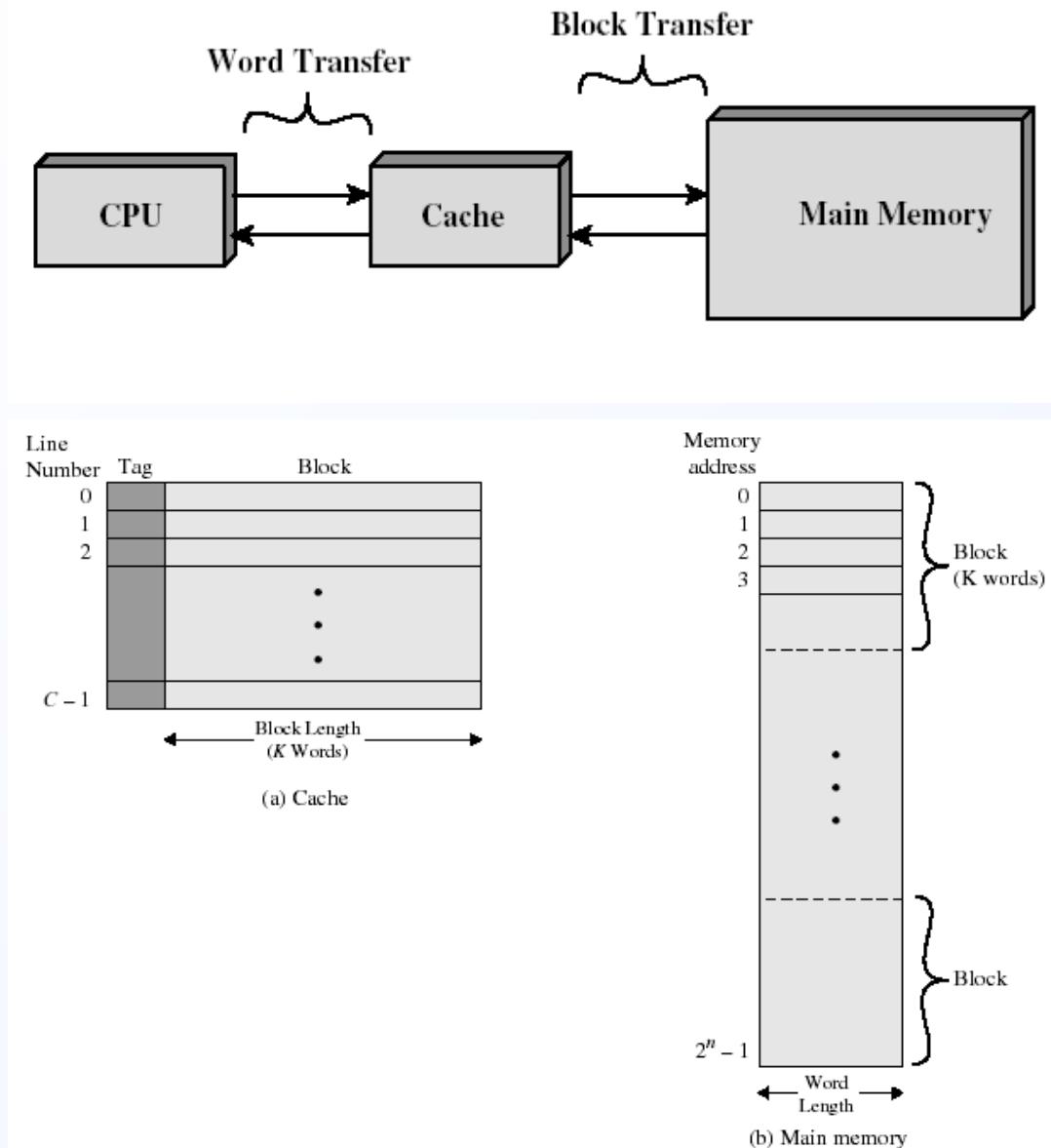
Memoria cache



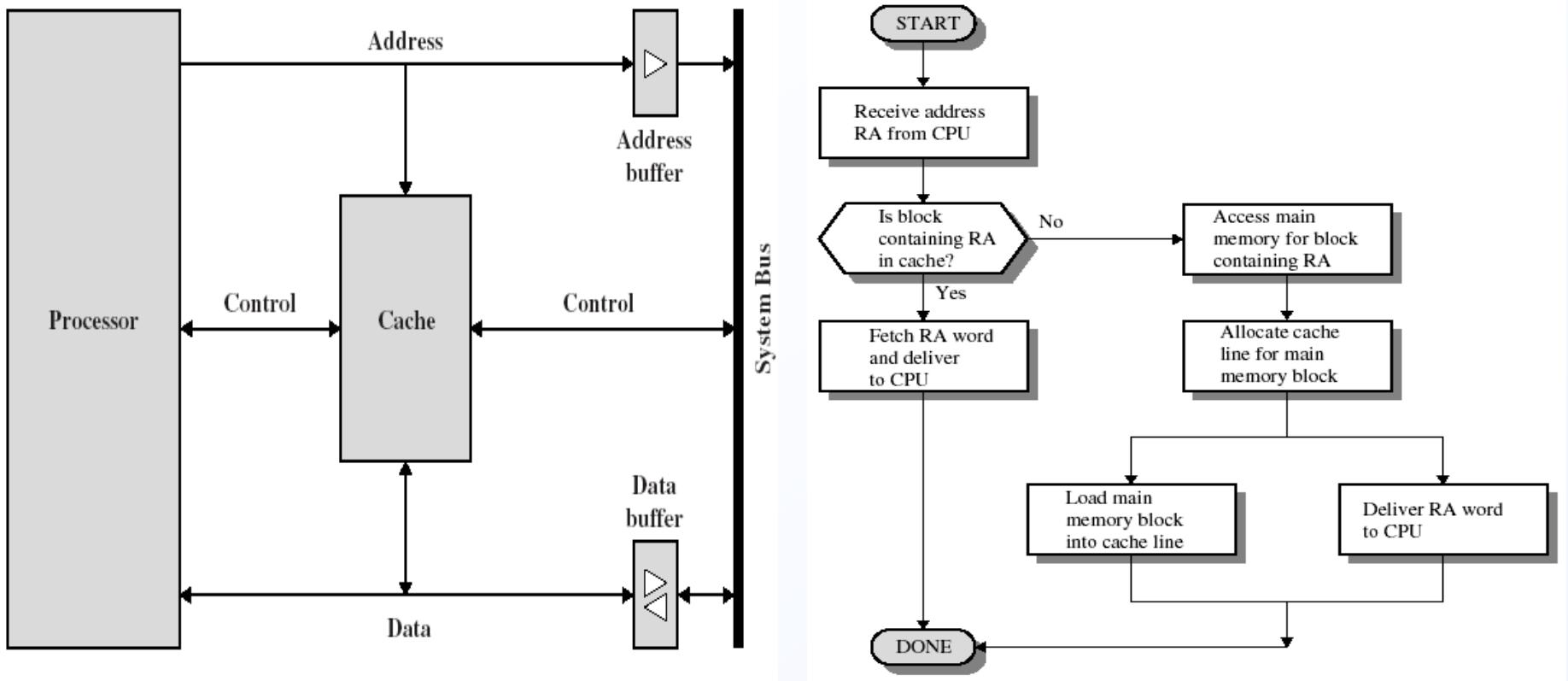
- L'uso della memoria di cache è basata sul ***principio di località*** del codice: i programmi non accedono alla memoria a caso
- Le parole di memoria più usate vengono tenute in una cache

Memoria cache

- La memoria principale consiste di 2^n parole indirizzabili
- La memoria può essere considerata anche organizzata in **blocchi di k parole** ($M = 2^n/k$ blocchi)
- La cache consiste di C linee di k parole (blocchi)
- $C \ll M$
- Si usano blocchi per il principio di località



Memoria cache



- Se la parola è contenuta nella cache questa è inviata direttamente alla CPU
- Altrimenti il blocco contenente la parola cercata è caricata nella cache e inviata nello stesso tempo alla CPU

Memoria cache

Problemi relativi alla progettazione della memoria cache:

- **Dimensione**: maggiore dimensione implica migliori prestazioni, ma maggiore costo
- **Dimensione della linea di cache** (in una cache di 14 KB è meglio avere 1024 linee di 16 byte o 2048 di 8 byte?)
- **Come tener traccia** di quali parole di memoria sono memorizzate nella cache in un dato momento?
- Istruzioni e dati in una sola cache “**unificata**” o è preferibile avere cache “**specializzate**” per dati e istruzioni (architettura Harward), in modo da parallelizzare l’accesso alle istruzioni e ai dati?
- **Numero delle cache**: oggi anche tre livelli di cache

Memoria cache

Table 4.3 Cache Sizes of Some Processors

Processor	Type	Year of Introduction	L1 cache ^a	L2 cache	L3 cache
IBM 360/85	Mainframe	1968	16 to 32 KB	—	—
PDP-11/70	Minicomputer	1975	1 KB	—	—
VAX 11/780	Minicomputer	1978	16 KB	—	—
IBM 3033	Mainframe	1978	64 KB	—	—
IBM 3090	Mainframe	1985	128 to 256 KB	—	—
Intel 80486	PC	1989	8 KB	—	—
Pentium	PC	1993	8 KB/8 KB	256 to 512 KB	—
PowerPC 601	PC	1993	32 KB	—	—
PowerPC 620	PC	1996	32 KB/32 KB	—	—
PowerPC G4	PC/server	1999	32 KB/32 KB	256 KB to 1 MB	2 MB
IBM S/390 G4	Mainframe	1997	32 KB	256 KB	2 MB
IBM S/390 G6	Mainframe	1999	256 KB	8 MB	—
Pentium 4	PC/server	2000	8 KB/8 KB	256 KB	—
IBM SP	High-end server/ supercomputer	2000	64 KB/32 KB	8 MB	—
CRAY MTA ^b	Supercomputer	2000	8 KB	2 MB	—
Itanium	PC/server	2001	16 KB/16 KB	96 KB	4 MB
SGI Origin 2001	High-end server	2001	32 KB/32 KB	4 MB	—

^a Two values separated by a slash refer to instruction and data caches

^b Both caches are instruction only; no data caches

Intel Core i7	PC	2008	32KB/32KB	256KB	4-16MB
---------------	----	------	-----------	-------	--------

Tipi di memoria: RAM

RAM: Random Access Memory

- **SRAM**: RAM **statiche** (flip-flop tipo D), estremamente veloci, utilizzate per realizzare le memorie cache
- **DRAM**: RAM **dinamiche** (transistor con condensatore), i bit vanno rinfrescati, offrono grandi capacità ma più lente
 - DRAM FPM (Fast Page Memory): organizzate in matrici di bit
 - DRAM EDO (Extended Data Output): con semplice pipeline per l'output
 - SDRAM (Synchronous DRAM): RAM ibrida in parte statica, in parte dinamica, guidata dal clock principale del sistema.
 - SDRAM-DDR (Double Data Rate): leggono sia nel fronte di salita che in quello di discesa (333/400 MHz), usate inizialmente sulle schede video

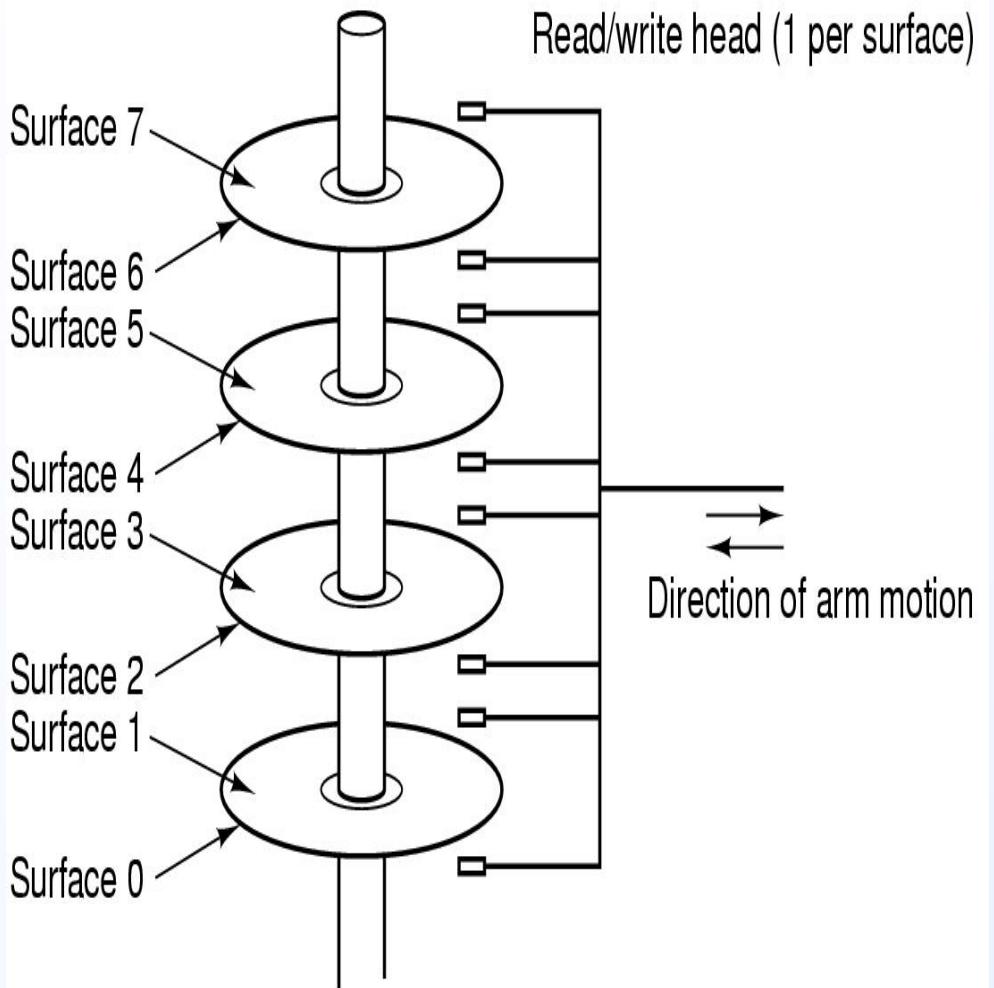
Tipi di memoria: ROM

ROM: Read-Only Memory, utilizzate per dati che non devono essere modificati

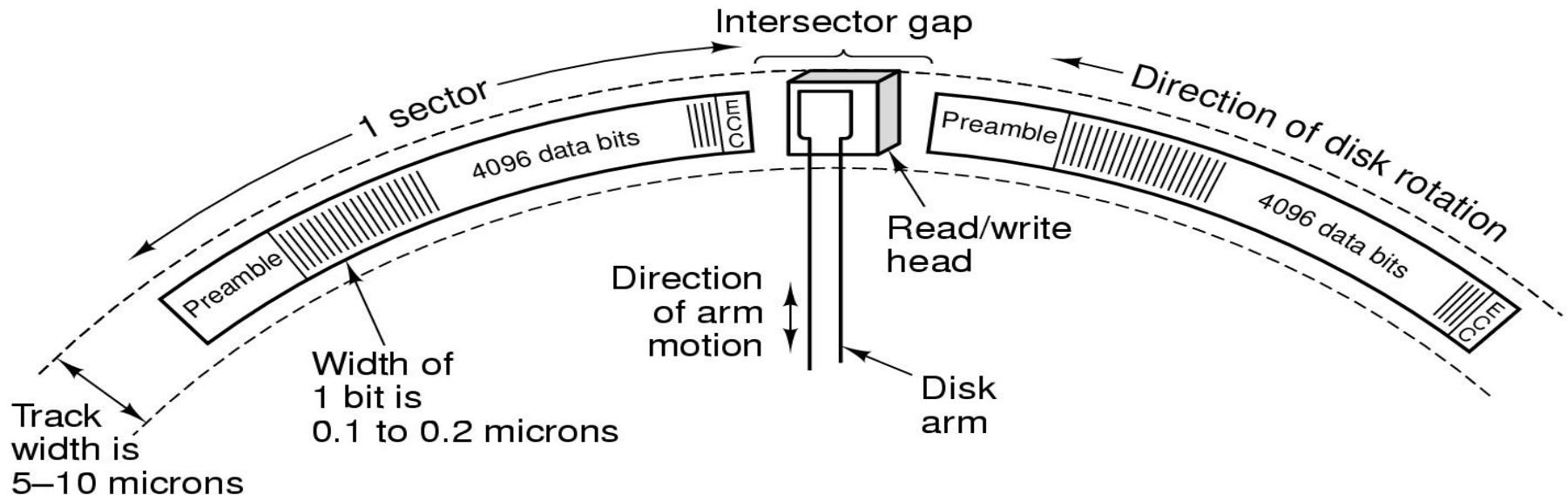
- **PROM** (Programmable ROM)
- **EPROM** (Erasable PROM): memoria cancellabile mediante esposizione alla luce ultravioletta
- **EEPROM** (Electrically Erasable PROM): memoria cancellabile per mezzo di impulsi elettrici (ma molto più lente)
- **FLASH** (EEPROM cancellabile a blocchi)

Memoria secondaria: Dischi magnetici

- Alluminio con rivestimento magnetizzabile
- Accesso dell'ordine dei millisecondi (nanosecondi per i registri!)
- Sigillati in fabbrica
- Controllore del disco
- Organizzazione a cilindri (tracce alla stessa distanza dal centro)
- Tempo di seek
- Latenza di rotazione



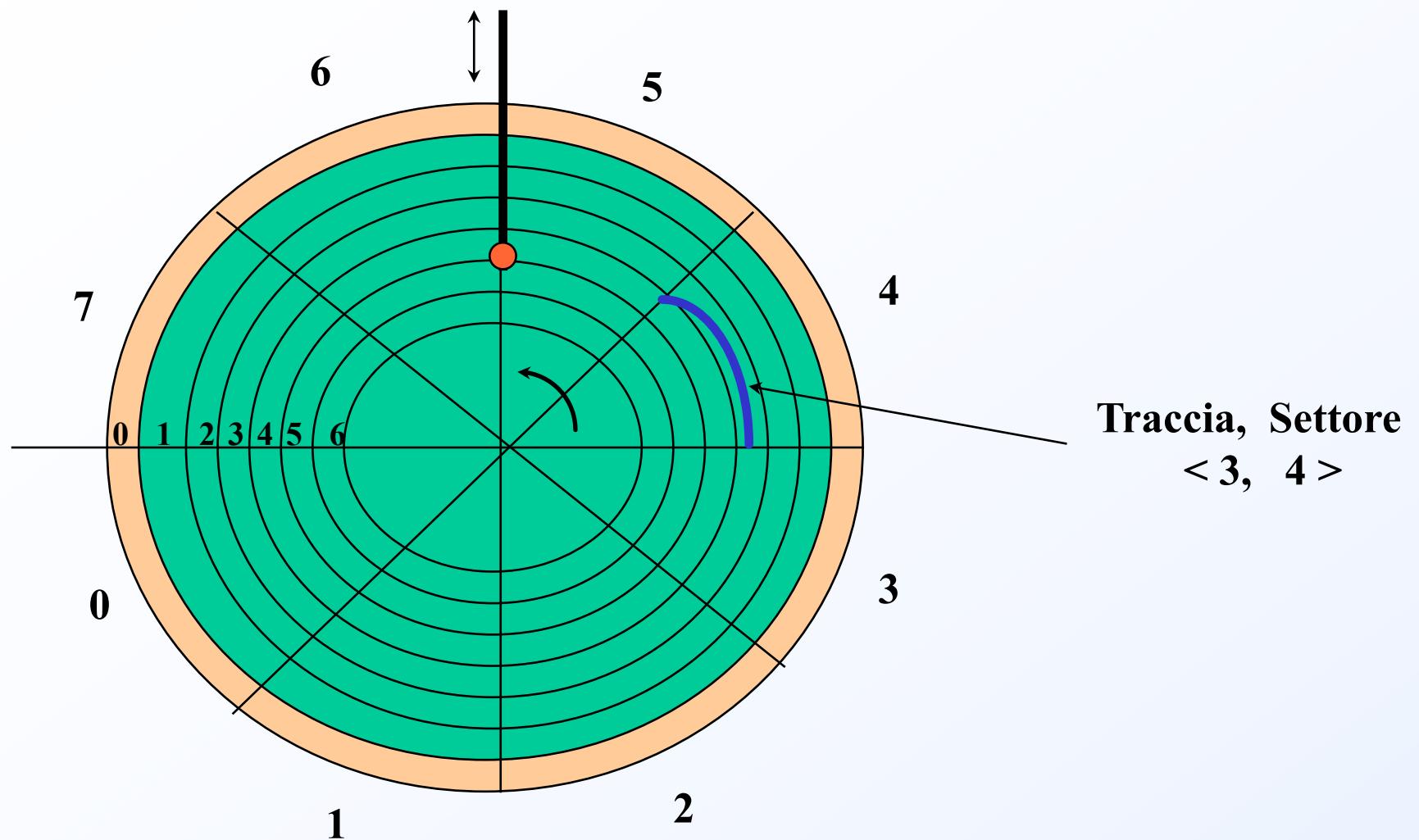
Dischi magnetici



- Ogni traccia è organizzata in settori
- Preambolo per la sincronizzazione della testina
- Insieme dei dati
- Codice correzione degli errori (Hamming o Reed-Salomon)
- Gap tra settori

Dischi magnetici

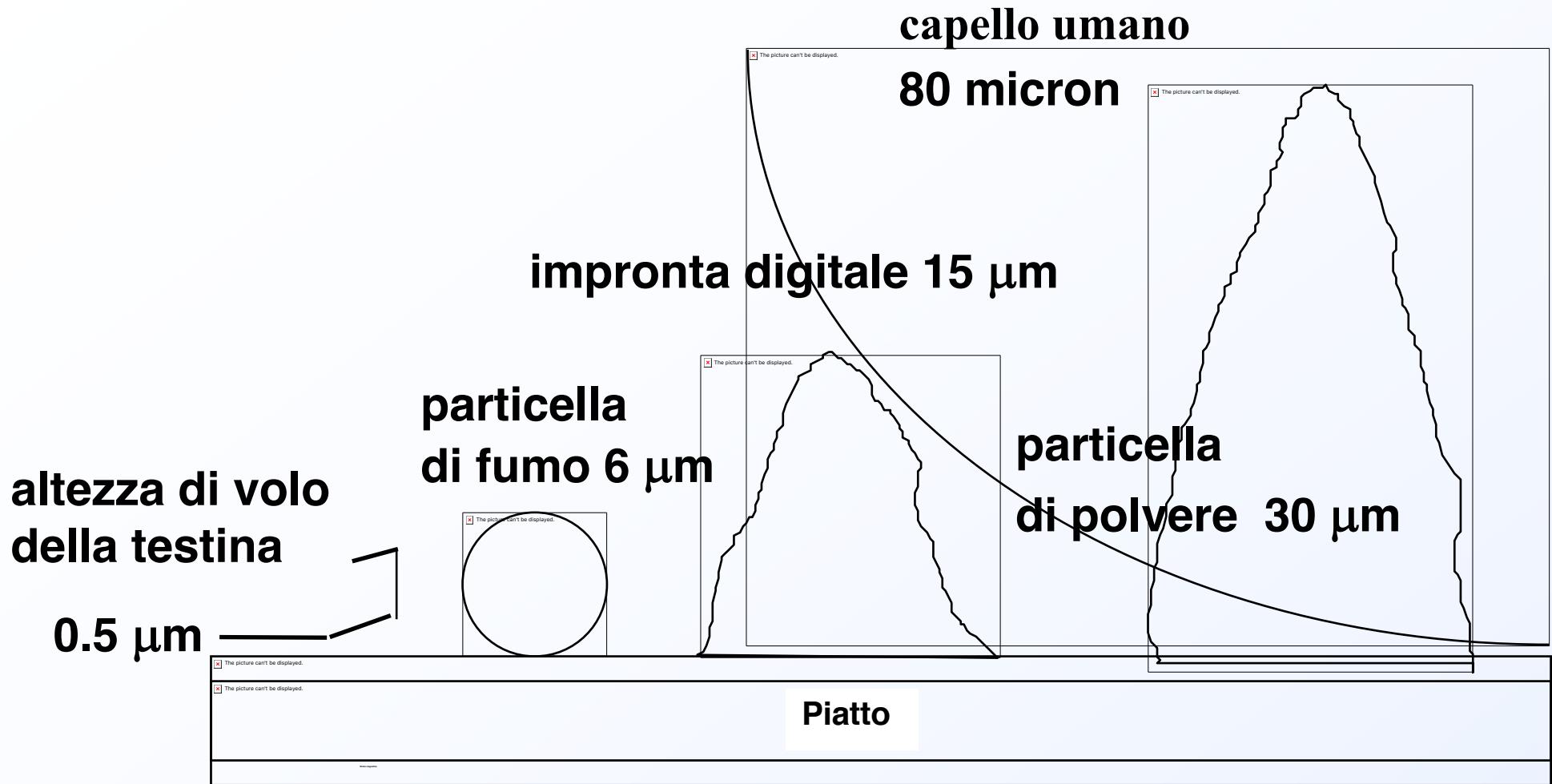
Testina di lettura



Dischi magnetici

- ✗ Per effettuare un'operazione di lettura (scrittura) su un blocco è necessario che la testina si posizioni in corrispondenza dell'indirizzo desiderato
- ✗ Il tempo di accesso alle informazioni sul disco è dato dalla somma di tre tempi dovuti a:
 - ✓ spostamento della testina in senso radiale fino a raggiungere la traccia desiderata (seek time);
 - ✓ attesa che il settore desiderato si trovi a passare sotto la testina; tale tempo dipende dalla velocità di rotazione del disco (latency time);
 - ✓ tempo di lettura vero e proprio dell'informazione

Dischi magnetici – hard disk



Dischi magnetici

- Dischi **Winchester**
- **Floppy** disk
- **IDE** (Integrated Drive Electronics, 504 MB, 4 MB/s) anni '80 e **EIDE** (Extended IDE, 128GB, 16,67 MB/s): controllore integrato nel drive
- **ATA**-3 (AT Attachement, 33 MB/s), ATAPI-4 (ATA Packet Interface, 66 MB/s), ATAPI-6 (100 MB/s): aumento della velocità di trasferimento e dello spazio degli indirizzi
- **ATAPI-7** (*serial* ATA, 150 MB/s): anziché aumentare la velocità di trasferimento aumentando la dimensione del connettore questo standard utilizza un trasferimento seriale.

Dischi magnetici

- **SCSI** (Small Computer System Interface), 1986, e SCSI-2, 1994: interfaccia che garantisce alta velocità di trasferimento, di fatto è costituita da un bus cui sono attaccati il controllore e fino a 7 dispositivi (hard disk, CD_ROM, scanner...)
- **RAID** (Redundant Array of Inexpensive/Independent Disk): di fatto è costituita da un insieme di dischi, organizzati a livelli e da un controllore. Un RAID si comporta come un unico disco rispetto al SO, ma il controllore può effettuare operazioni in parallelo, migliorando quindi prestazioni e affidabilità.

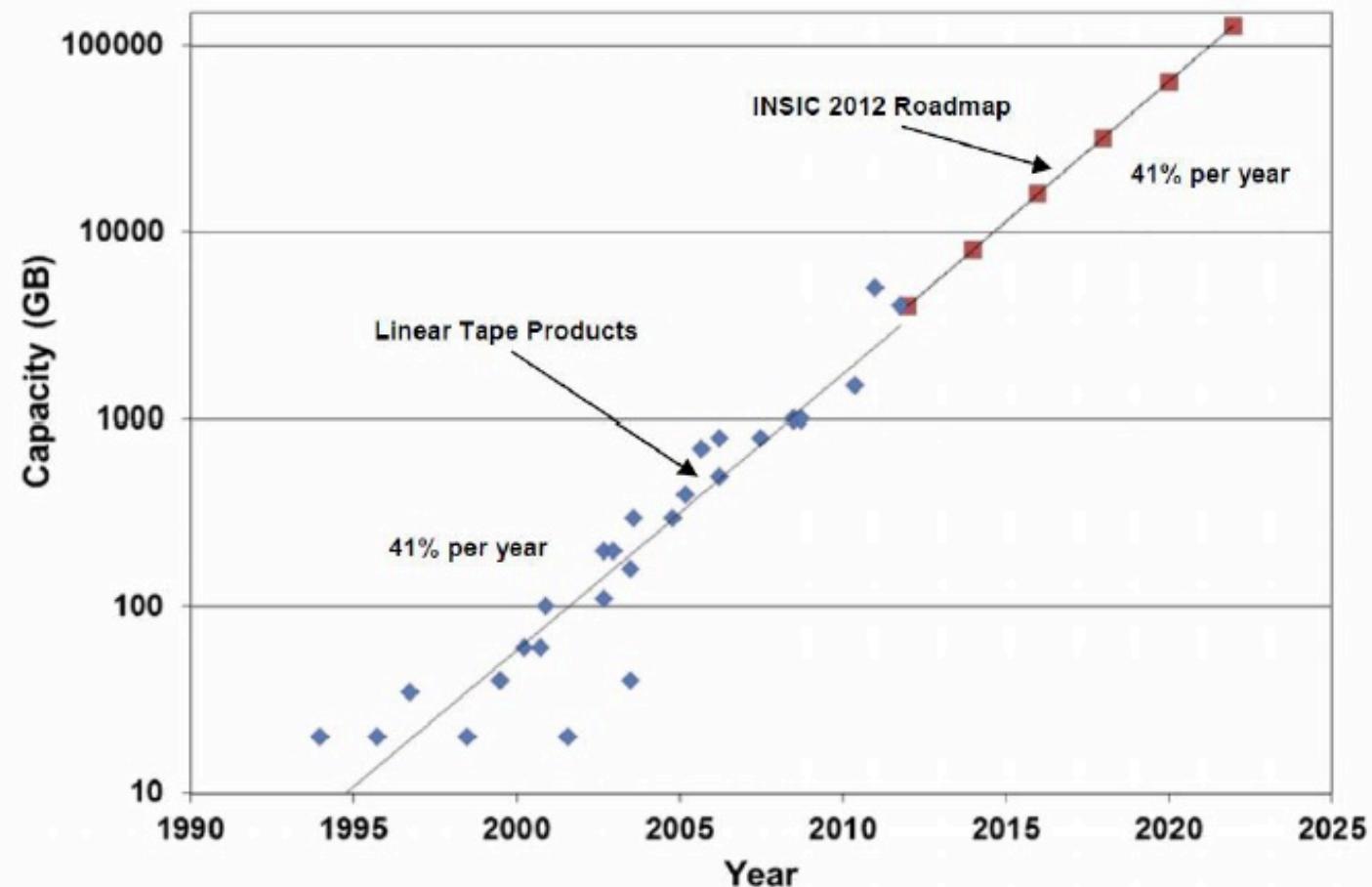
Dischi magnetici

- **Diametro:** tra 3 e 9 cm (per i portatili anche < 3 cm)
- **Settore:** in genere almeno 512 byte con alcuni byte di preambolo, di codice per correzione di errori e spazio tra settori.
 - Capacità dei dischi, a volte, include questi byte di supporto (capacità lorda). La capacità netta (solo dati) è, più o meno, un 15% in meno a causa della formattazione (scrittura preamboli, codici e spazi tra settori).
- **Dimensione (larghezza su traccia) di 1 bit:** tra 0.1 e 0.2 micron (milionesimi di metro)
- **Numero tracce:** intorno a 50000 per cm (larghezza di una traccia 200nm)

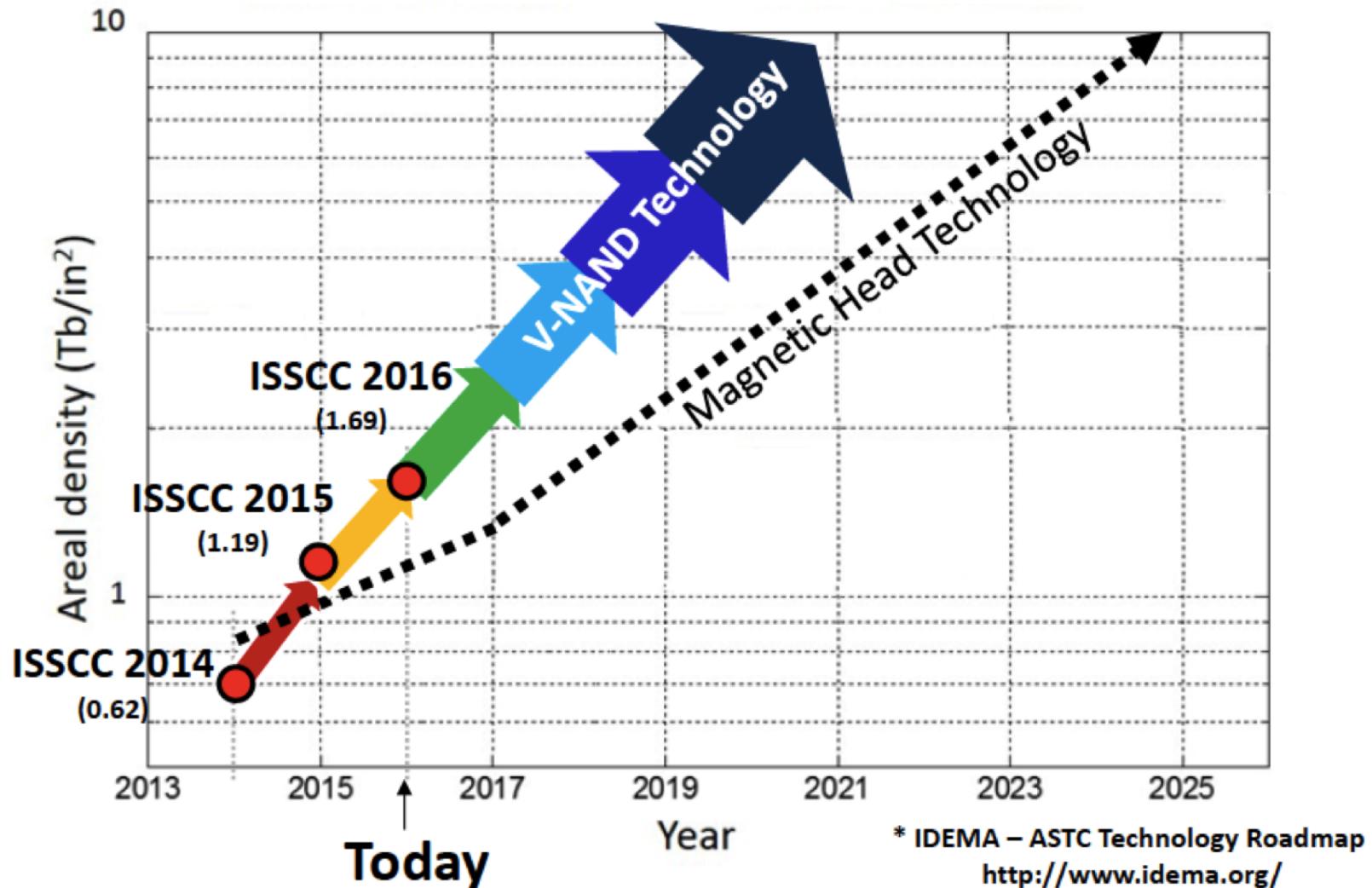
Dischi magnetici

- **Numero piatti:** tra 1 e 12 (tra 2 e 24 superfici)
- **Capacità linda per piatto:** fino a 1TB
- **Tempi medio di seek:** tra 5 e 10 ms
- **Velocità di rotazione:** 5400, 7200, 10800, 15000 RPM
(Round Per Minute)

Storage capacity per year



FLASH vs Magnetic



Storage features

	Memristor	PCM	STT-RAM	DRAM	Flash	HD
Chip area per bit (F^2)	4	8–16	14–64	6–8	4–8	n/a
Energy per bit (pJ) ²	0.1–3	2–100	0.1–1	2–4	10^1 – 10^4	10^6 – 10^7
Read time (ns)	<10	20–70	10–30	10–50	25,000	5 – 8×10^5
Write time (ns)	20–30	50–500	13–95	10–50	200,000	5 – 8×10^6
Retention	>10 years	<10 years	Weeks	<Second	~10 years	~10 years
Endurance (cycles)	$\sim 10^{12}$	10^7 – 10^8	10^{15}	$> 10^{17}$	10^3 – 10^6	10^{15} ?
3D capability	Yes	No	No	No	Yes	n/a

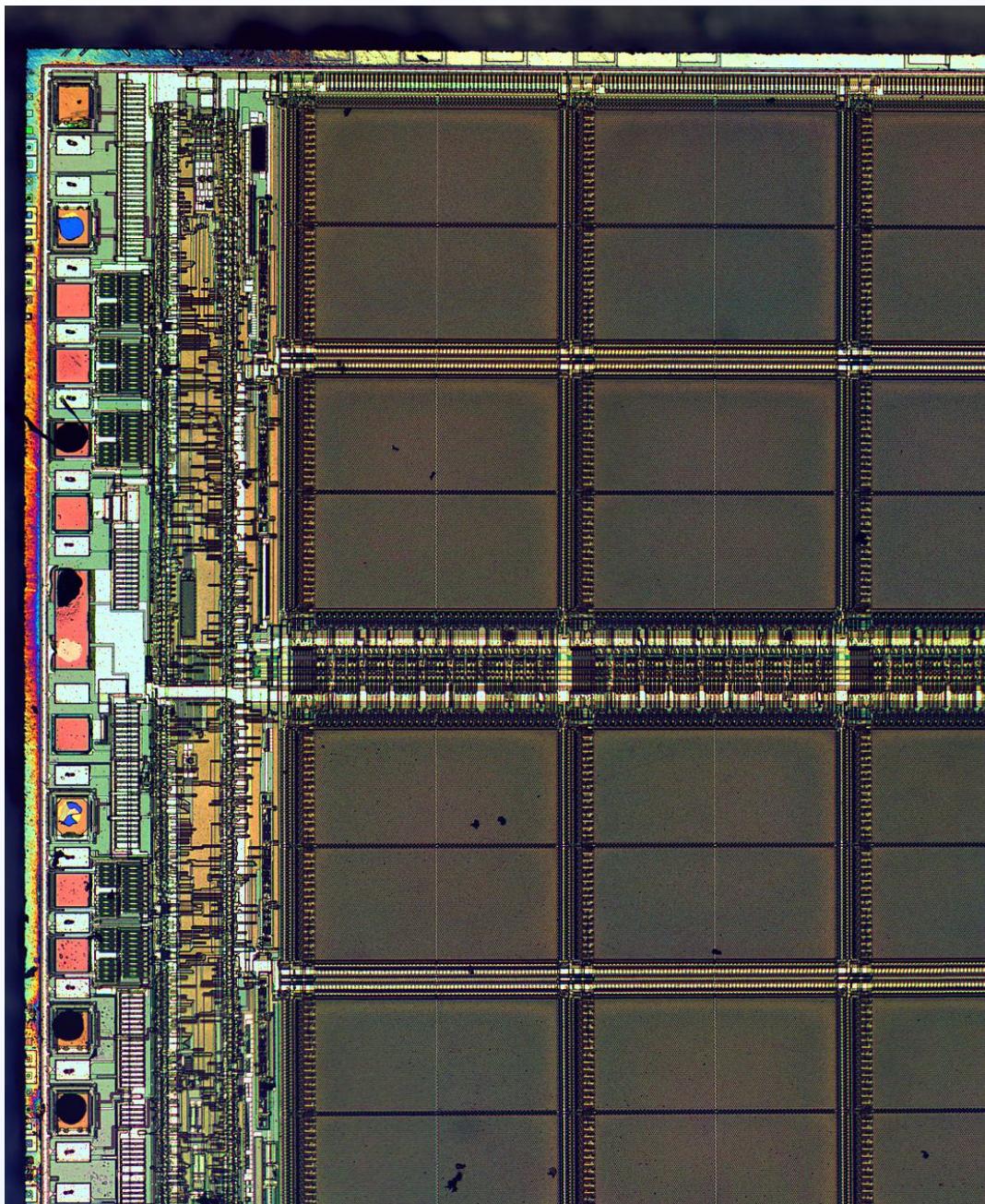
SRAM vs DRAM

Table 1: Comparison of various memory technologies for on-die caches.

	(A) SRAM	(B) STT-RAM	eDRAM	
			(C) 1T1C	(D) Gain cell
Cell schematic				
Process	CMOS	CMOS + MTJ	CMOS + Cap	CMOS
Cell size (F^2)	120 - 200	6 - 50	20 - 50	60 - 100
Data storage	Latch	Magnetization	Capacitor	MOS gate
Read time	Short	Short	Short	Short
Write time	Short	Long	Short	Short
Read energy	Low	Low	Low	Low
Write energy	Low	High	Low	Low
Leakage	High	Low	Low	Low
Endurance	10^{16}	$> 10^{15}$	10^{16}	10^{16}
Retention time	-	-	< 100 us *	< 100 us *
Features	<ul style="list-style-type: none"> (+) Fast (-) Large area (-) Leakage 	<ul style="list-style-type: none"> (+) Non-volatile (+) Potential to scale (-) Extra process (-) Long write time (-) High write energy (-) Poor stability 	<ul style="list-style-type: none"> (+) Low leakage (+) Small area (-) Extra process (-) Destructive read (-) Refresh 	<ul style="list-style-type: none"> (+) Low leakage (+) Decoupled read/write (-) Refresh

* 32 nm technology node

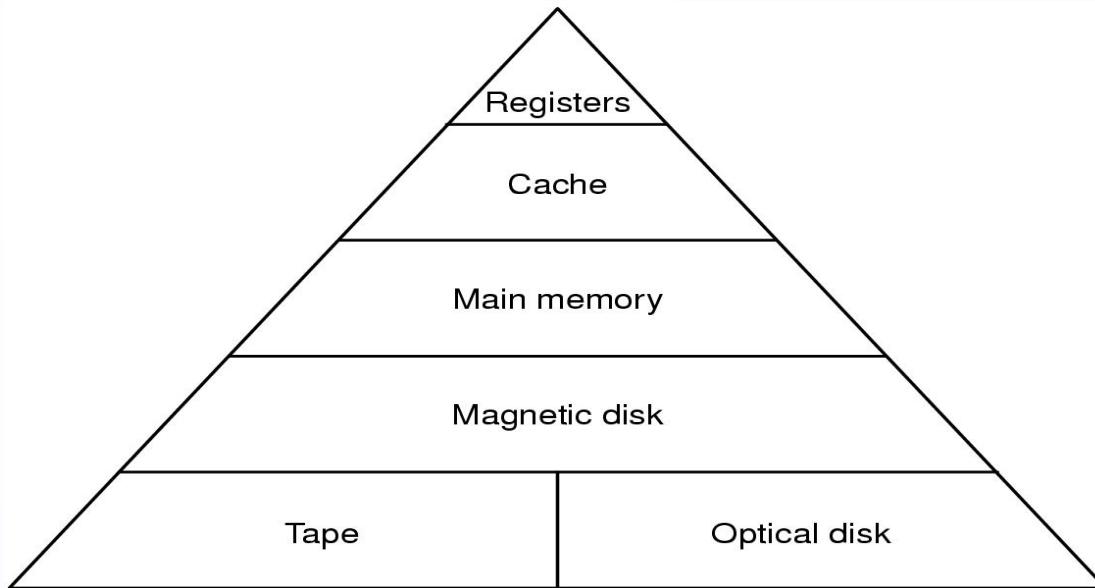
SRAM vs DRAM



Flash memory

- ✗ Si noti la differenza fra fonti simili
- ✗ https://en.wikipedia.org/wiki/Flash_memory
- ✗ https://it.wikipedia.org/wiki/Memoria_flash

Gerarchia della memoria



- Gerarchia della memoria secondo la capacità di memorizzazione
- Questa gerarchia rispetta i costi di memorizzazione (più in basso i più economici, più in alto i più costosi)
- Rispetta anche i tempi di accesso all'informazione