

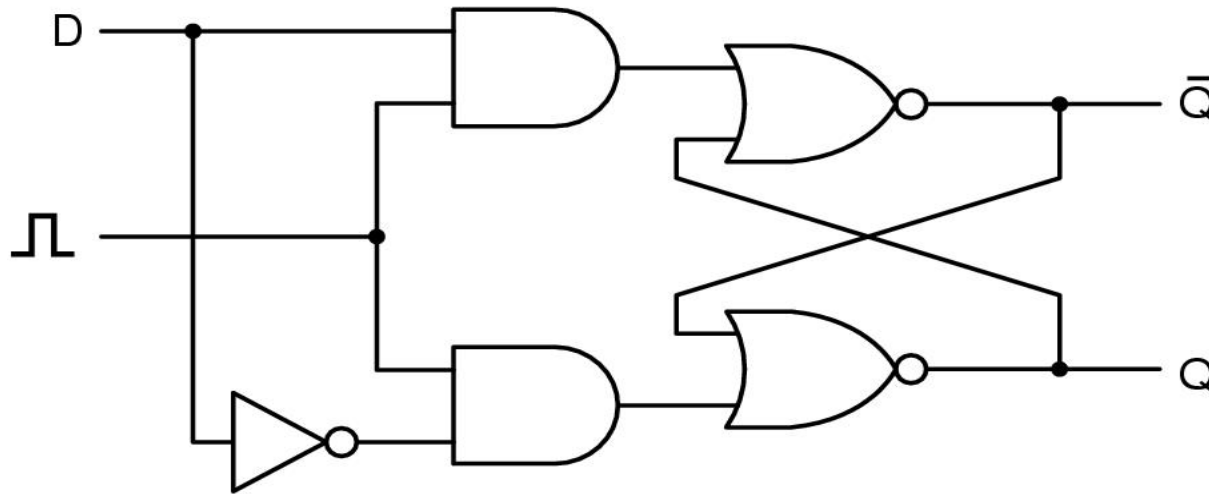
Corso di Laurea in Informatica

Architettura degli Elaboratori B – Laboratorio turno 2

Docente: Claudio Schifanella

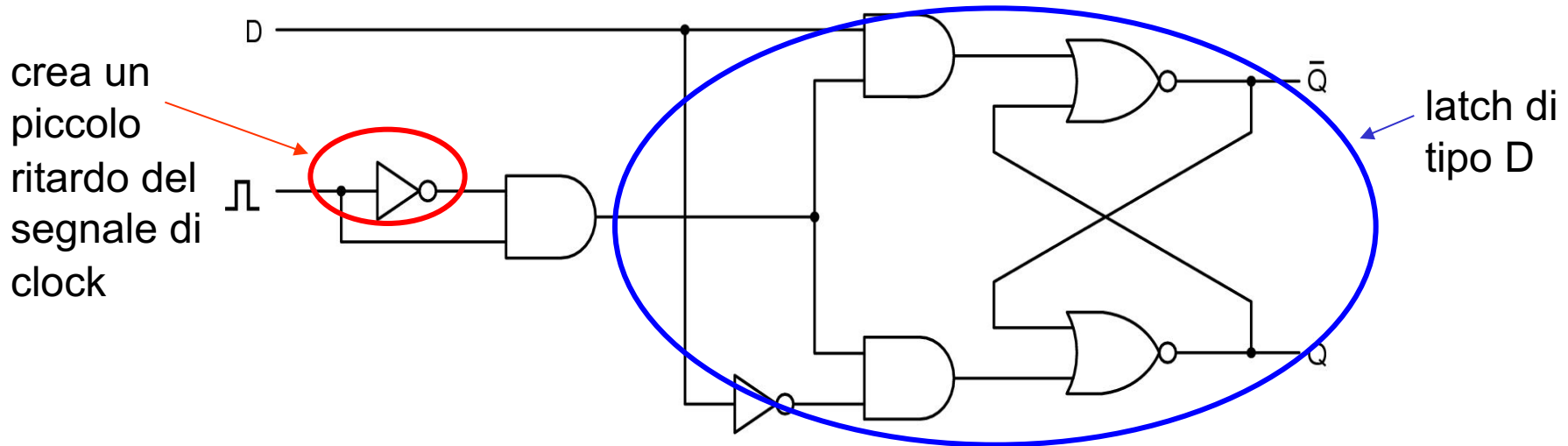
Esercitazione 7: circuiti sequenziali

Latch di tipo D sincronizzato



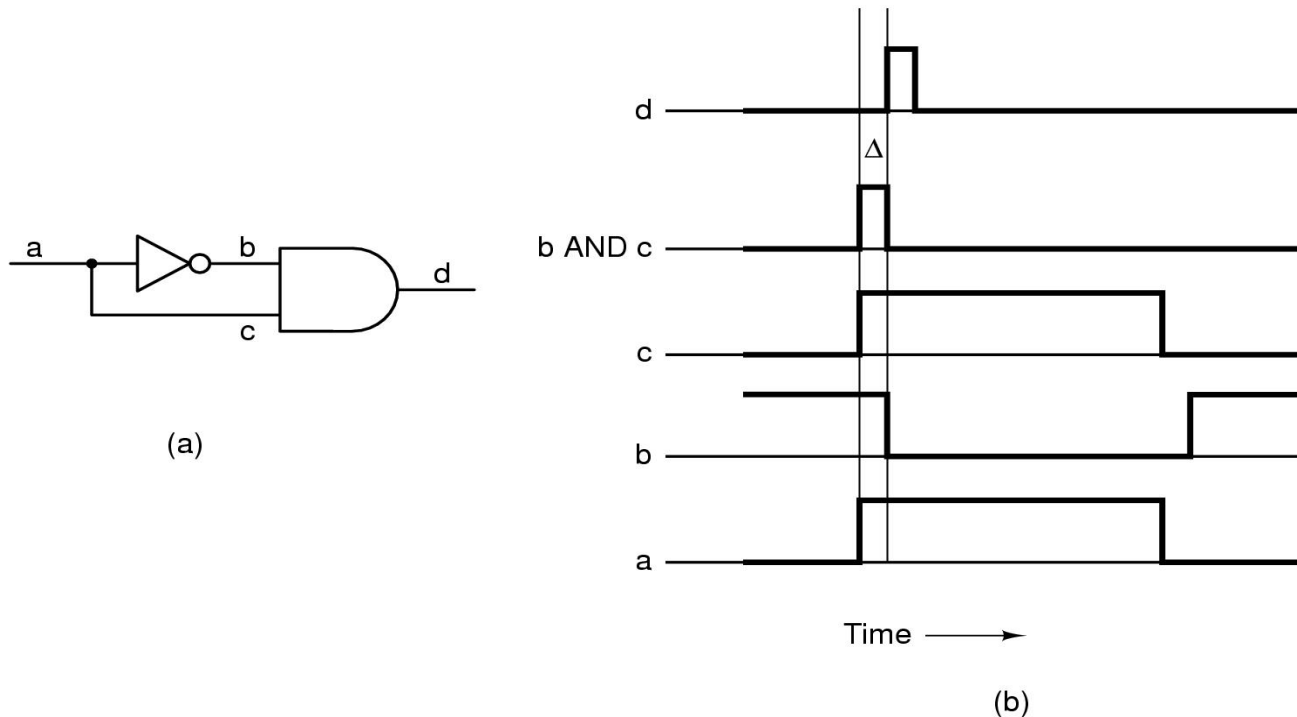
- $R = S = 1$ porta allo stato non coerente con i due output a 0
- Quando R e S tornano a 0 il latch passa in modo **non deterministico** allo “stato 0” o allo “stato 1”
- Il latch D evita questa ambiguità: **$D = 1$** e **clock = 1** allora si ha lo “**stato 1**”, $D = 0$ e clock = 1 allora “stato 0”

Flip-flop di tipo D



- Un latch è azionato dal livello nel senso che la transizione di stato avviene quando il clock è a 1(**level triggered**)
- Un flip-flop è azionato dal fronte nel senso che la transizione di stato avviene quando il clock passa da 0 a 1(**edge triggered**)
- La lunghezza dell'impulso di clock non è importante

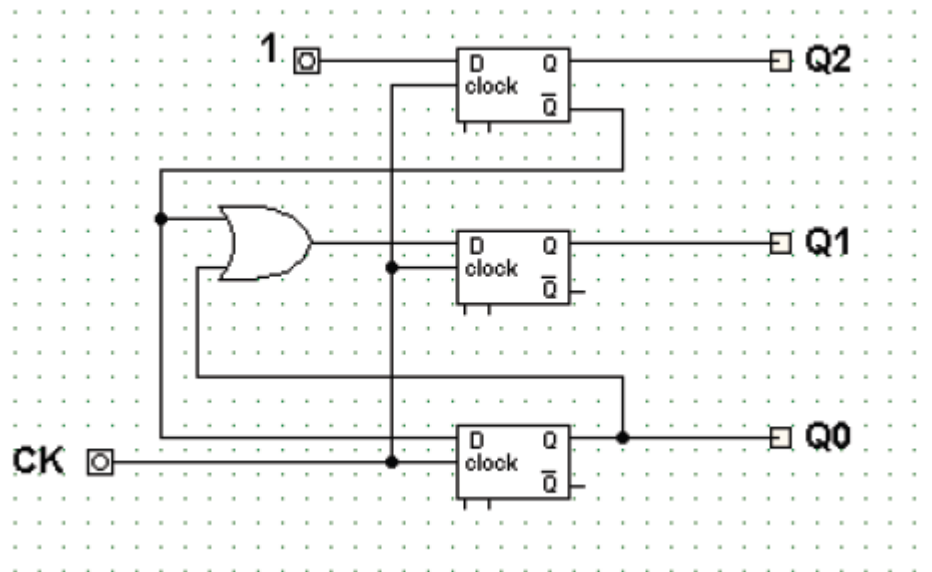
Flip-flop di tipo D



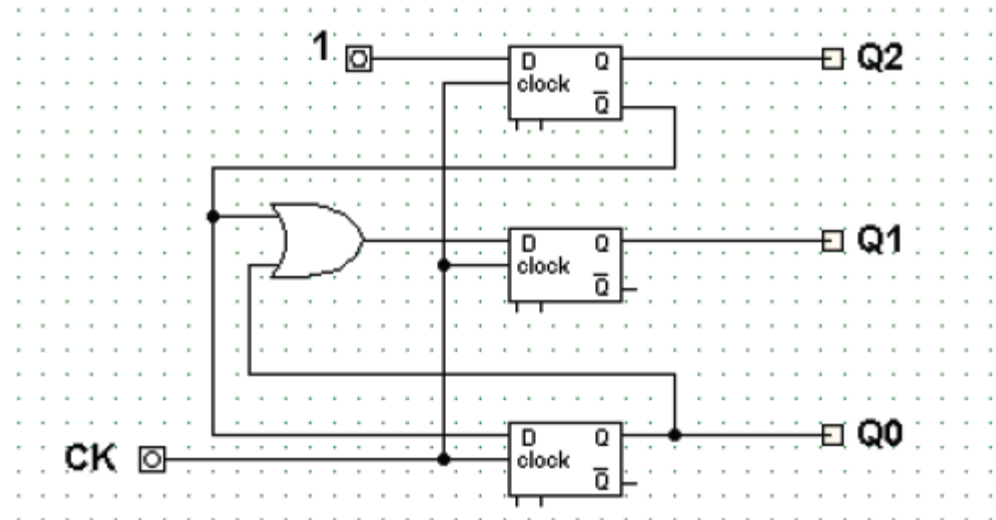
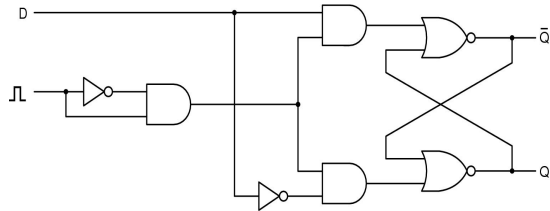
- L'invertitore crea un piccolo ritardo alla propagazione del segnale **a** verso **b**
- Il latch D verrà attivato ad un ritardo fisso dopo il fronte di salita del clock (per l'attraversamento dell'AND)

Esercizio 1

Dato il circuito sequenziale sottoriportato, supporre che inizialmente i 3 flip-flop di tipo D memorizzino lo stato $(Q_2, Q_1, Q_0) = (0, 0, 0)$. Scrivere la configurazione in uscita dopo 1, ..., 5 cicli di clock.

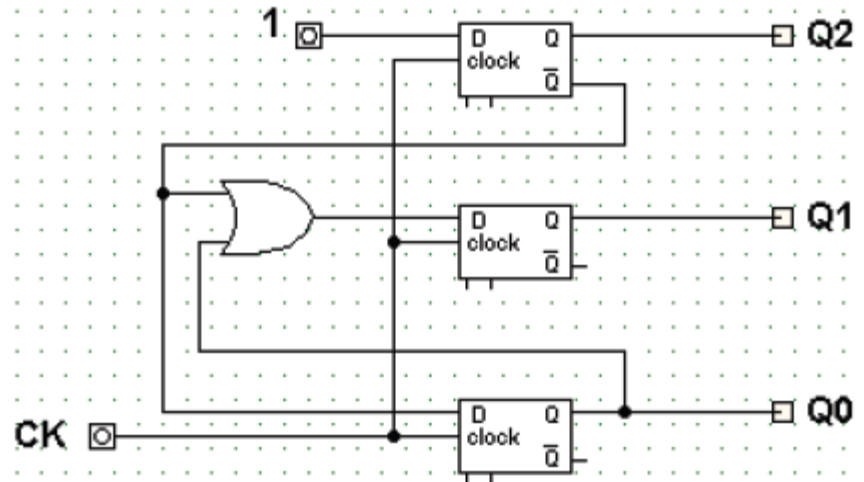
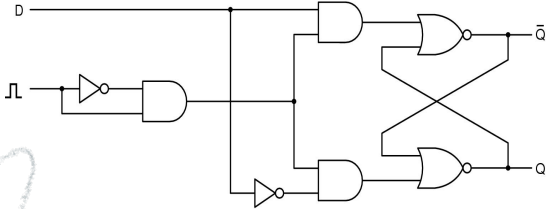


Esercizio 1



ciclo	D_2	$D_1 = Q_0 + \overline{Q_2}$	$D_0 = \overline{Q_2}$	CK	Q_2	Q_1	Q_0
0	1	1	1	0	0	0	0
1				1			
1				0			
2				1			
2				0			
3				1			
3				0			
4				1			
4				0			
5				1			

Esercizio 1



ciclo	D_2	$D_1 = Q_0 + \overline{Q_2}$	$D_0 = \overline{Q_2}$	CK	Q_2	Q_1	Q_0
0	1	1	1	0	0	0	0
1	1	1	0	1	1	1	1
1	1	1	0	0	1	1	1
2	1	0	0	1	1	1	0
2	1	0	0	0	1	1	0
3	1	0	0	1	1	0	0
3	1	0	0	0	1	0	0
4	1	0	0	1	1	0	0
4	1	0	0	0	1	0	0
5	1	0	0	1	1	0	0

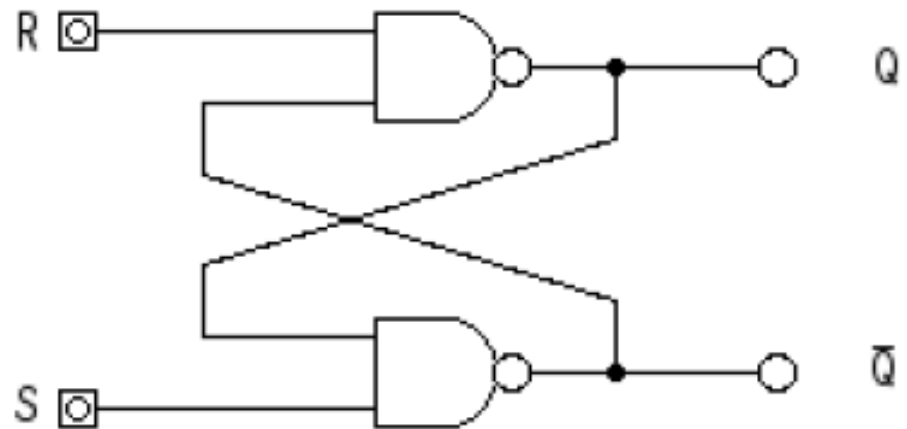
Esercizi su circuiti sequenziali

- **Esercizio 2**

Un latch di tipo SR può essere realizzato, oltre che mediante due porte NOR, utilizzando due porte NAND, come nella figura. Dire, in questo caso, per quale coppia di input S ed R (unica coppia) il circuito mostra i due stati stabili:

S0 : $Q = 0$; $\text{not}Q = 1$ e

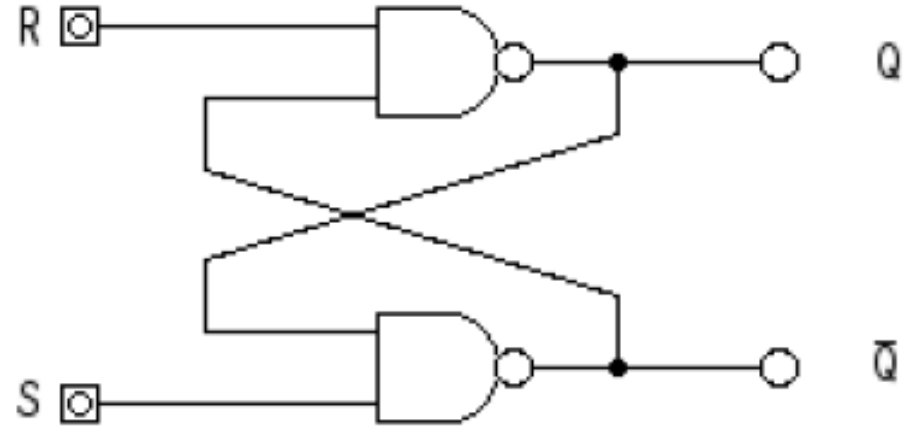
S1 : $Q = 1$; $\text{not}Q = 0$.



Latch SR: per quale coppia di input S ed R (unica coppia) il circuito mostra i due stati stabili:

S0 : $Q = 0$; $\text{not}Q = 1$ e

S1 : $Q = 1$; $\text{not}Q = 0$.

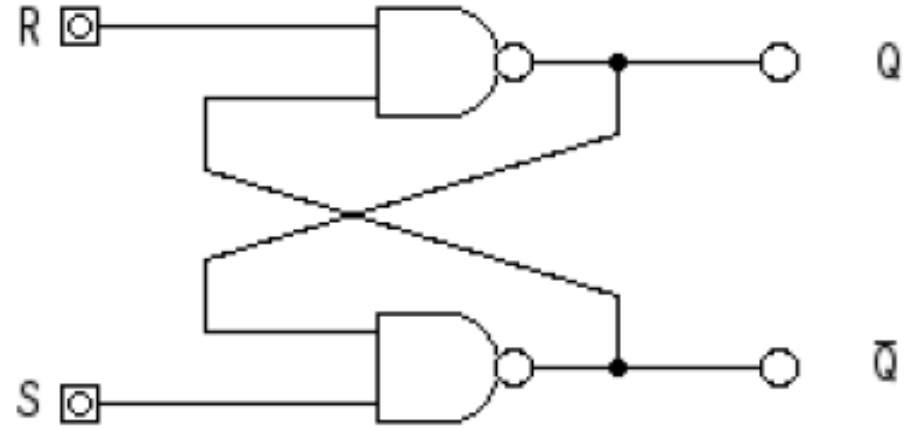


S	R	Q_{old}	Q_{new}	Q'_{New}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Latch SR: per quale coppia di input S ed R (unica coppia) il circuito mostra i due stati stabili:

S0 : $Q = 0$; $\text{not}Q = 1$ e

S1 : $Q = 1$; $\text{not}Q = 0$.



S	R	S	R
0	0	1	
0	1	1	
1	0	1	
1	1	0	

S	R	Q _{old}	Q _{new}	Q' _{New}
0	0	0	1	1
0	0	1	1	1
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0

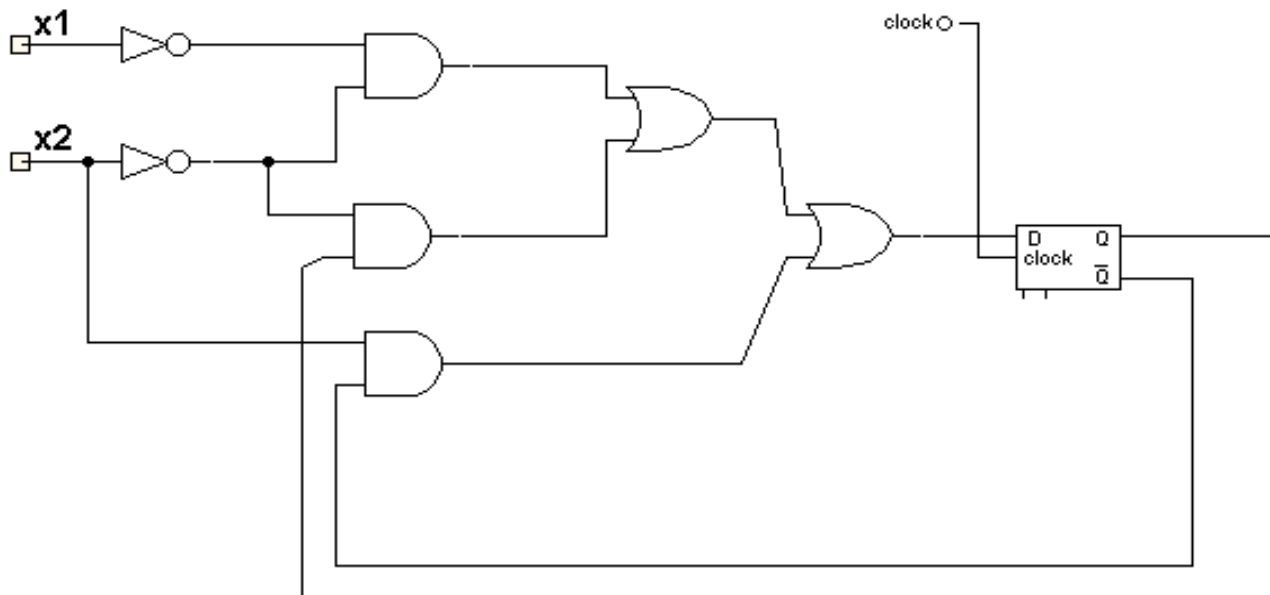
S = 1
R = 1



Esercizi su circuiti sequenziali

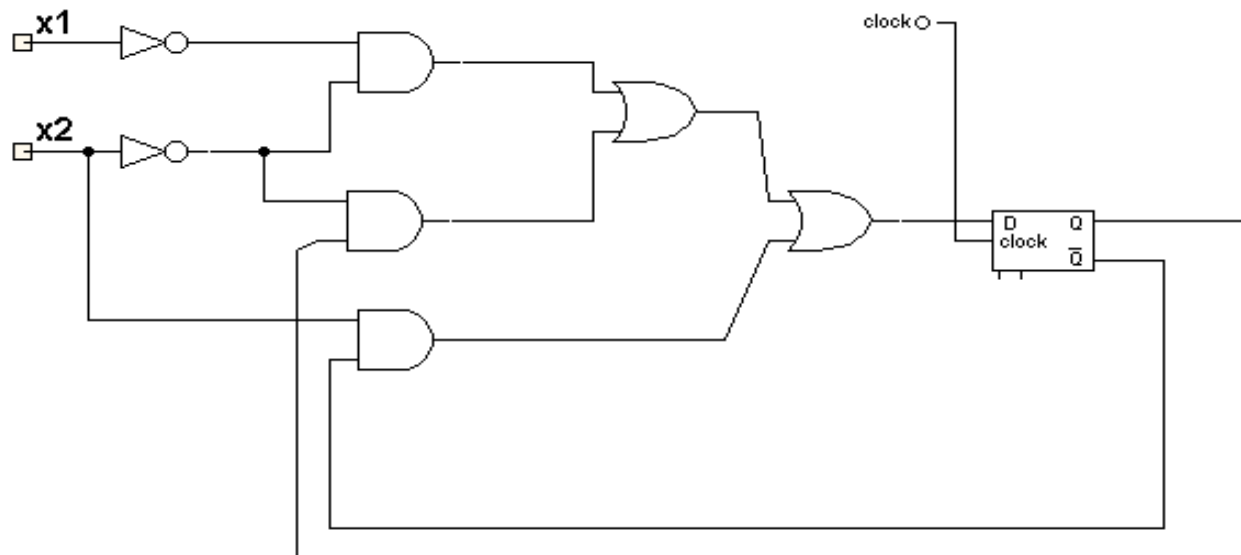
- Esercizio 3**

Nel circuito sequenziale sotto riportato, supporre che inizialmente il flip-flop di tipo D sia nello stato 0. Scrivere la configurazione dello stato dopo 1, 2, 3 cicli di clock nelle ipotesi che $x1=x2=1$.



Inizialmente il flip-flop D e' nello stato 0.

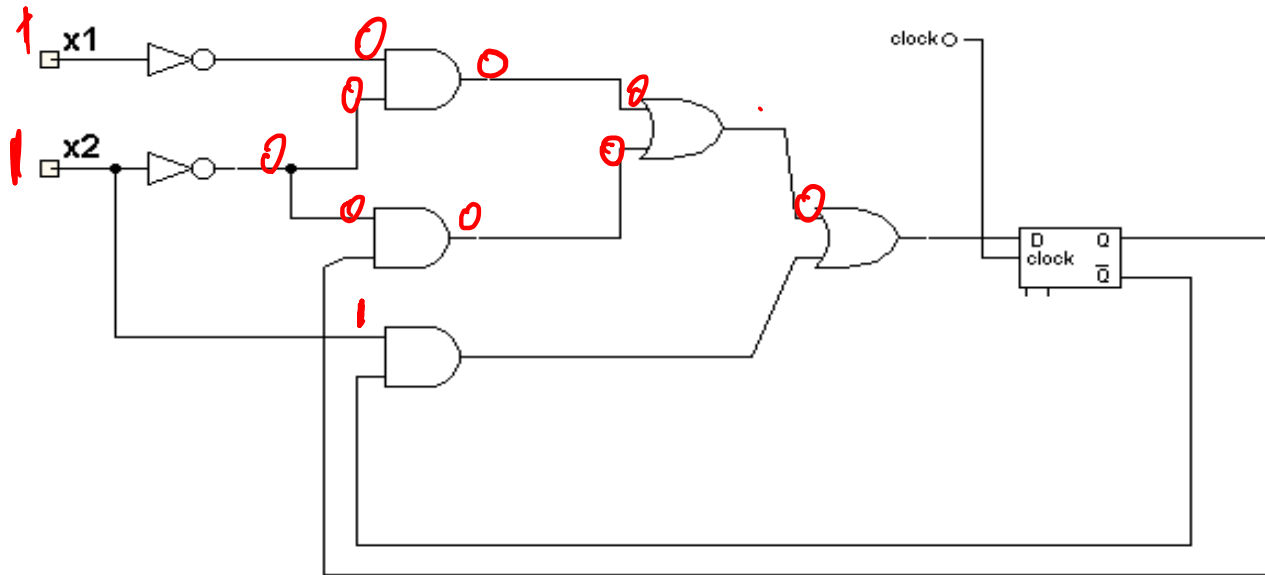
Stato dopo 1, 2, 3 cicli di clock nelle ipotesi che $x_1=x_2=1$.



ciclo	x_2	CK	$D = x_2 \overline{Q}$	Q	\overline{Q}
0	1	0	1	0	1
1	1	1			
1	1	0			
2	1	1			
2	1	0			
3	1	1			

Inizialmente il flip-flop D e' nello stato 0.

Stato dopo 1, 2, 3 cicli di clock nelle ipotesi che $x_1=x_2=1$.



ciclo	x_2	CK	$D = x_2 \overline{Q}$	Q	\overline{Q}
0	1	0	1	0	1
1	1	1	0	1	0
1	1	0	0	1	0
2	1	1	1	0	1
2	1	0	1	0	1
3	1	1	0	1	0

Es4. Organizzazione della memoria

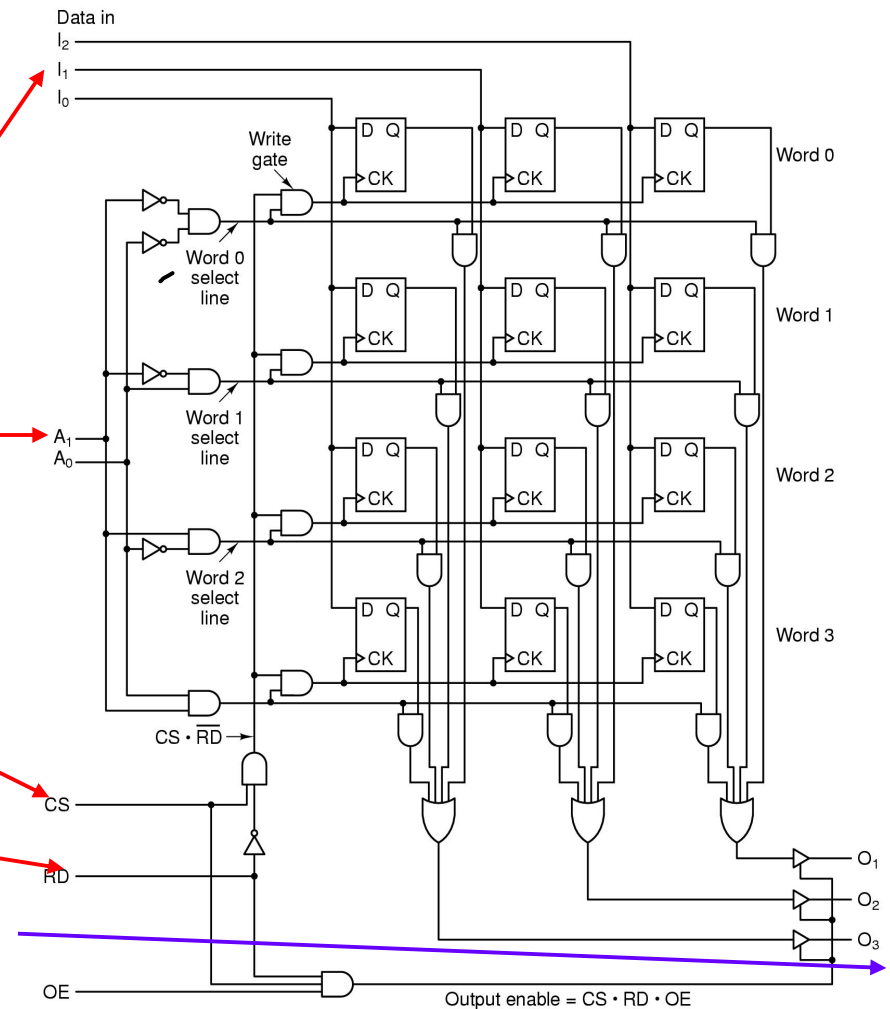
■ memoria 4 x 3

4 parole e 3 bit

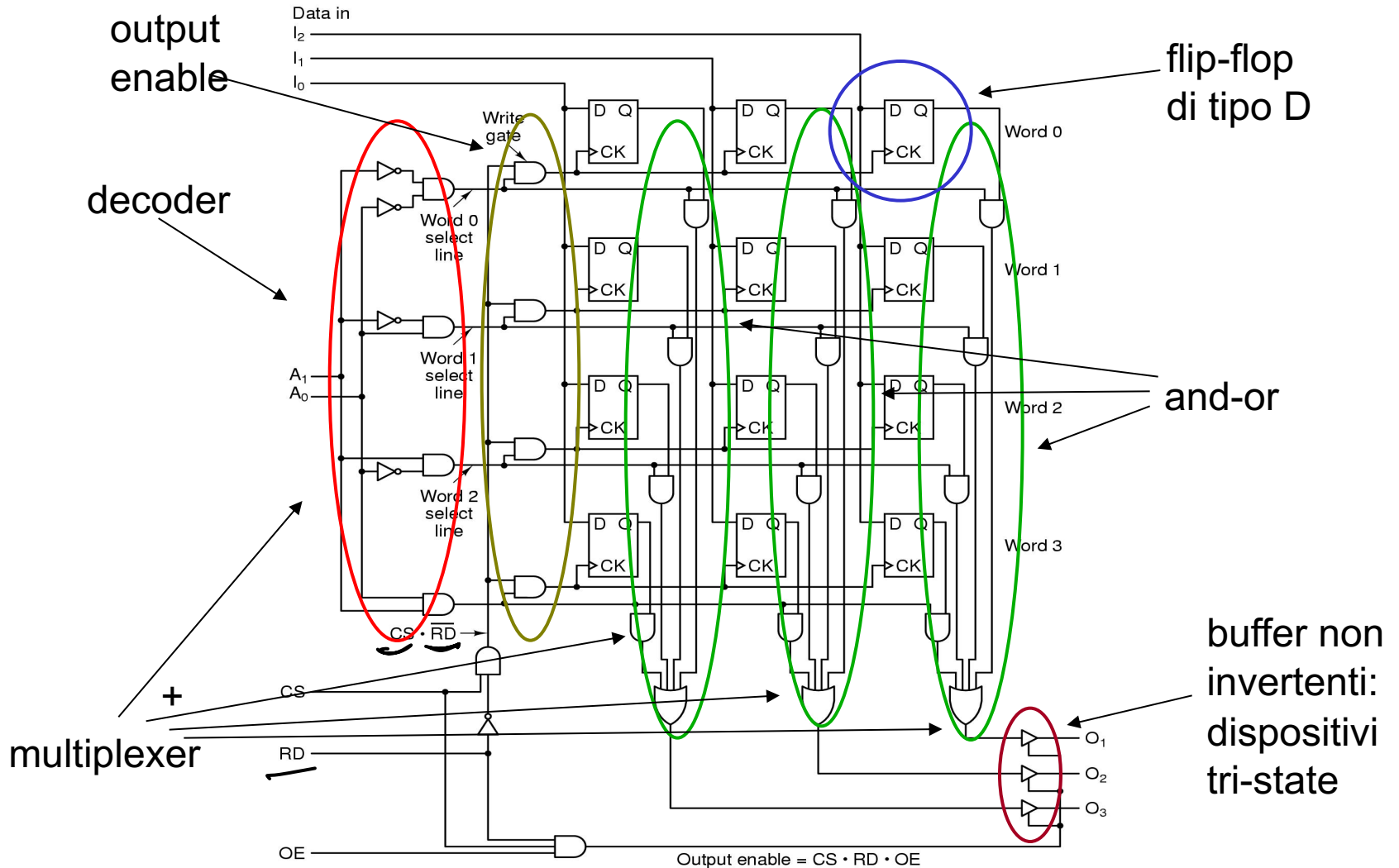
■ 8 linee di **input**:

- 3 per i dati di input
- 2 per l'indirizzo
- 3 per i bit di controllo:
 - CS per Chip Select
 - RD per distinguere tra read e write
 - OE per abilitare l'output

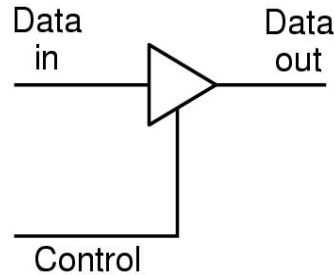
■ 3 per **output**



Organizzazione della memoria



Registri con buffer non invertente

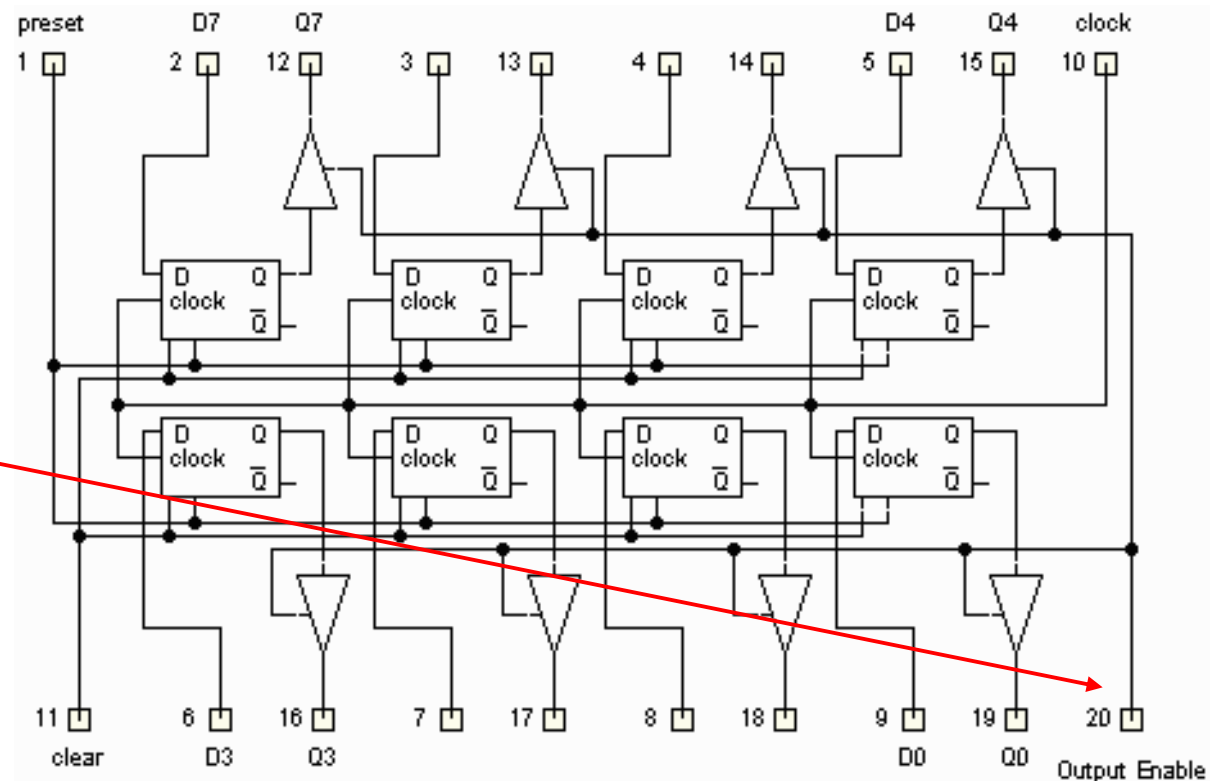


(a)



(b)

(c)



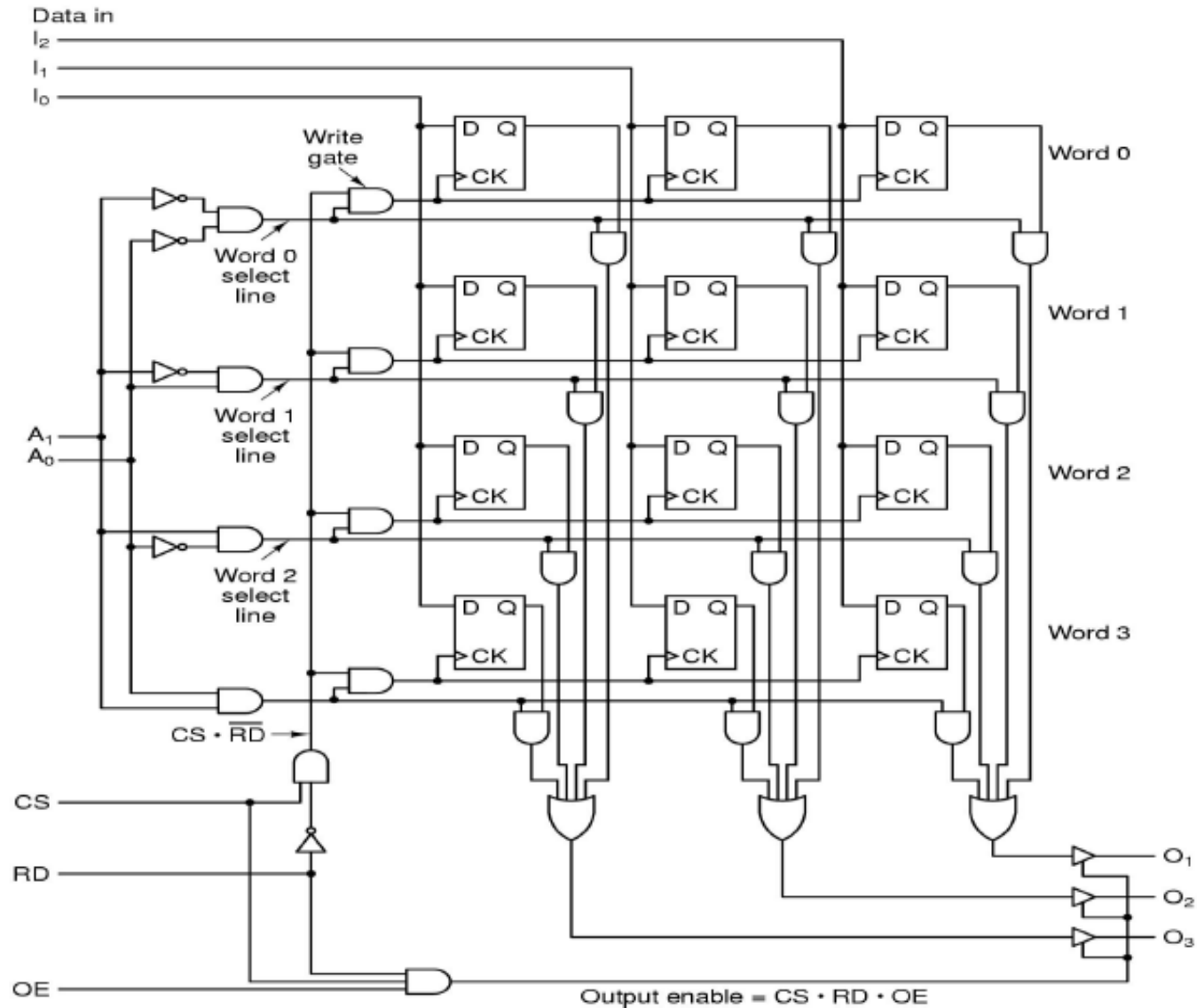
- Il buffer non invertente si comporta come un filo quando il controllo è alto e non lascia passare il segnale quando il controllo è basso
- L'*output enable* permette di connettere o disconnettere il registro dal bus di output

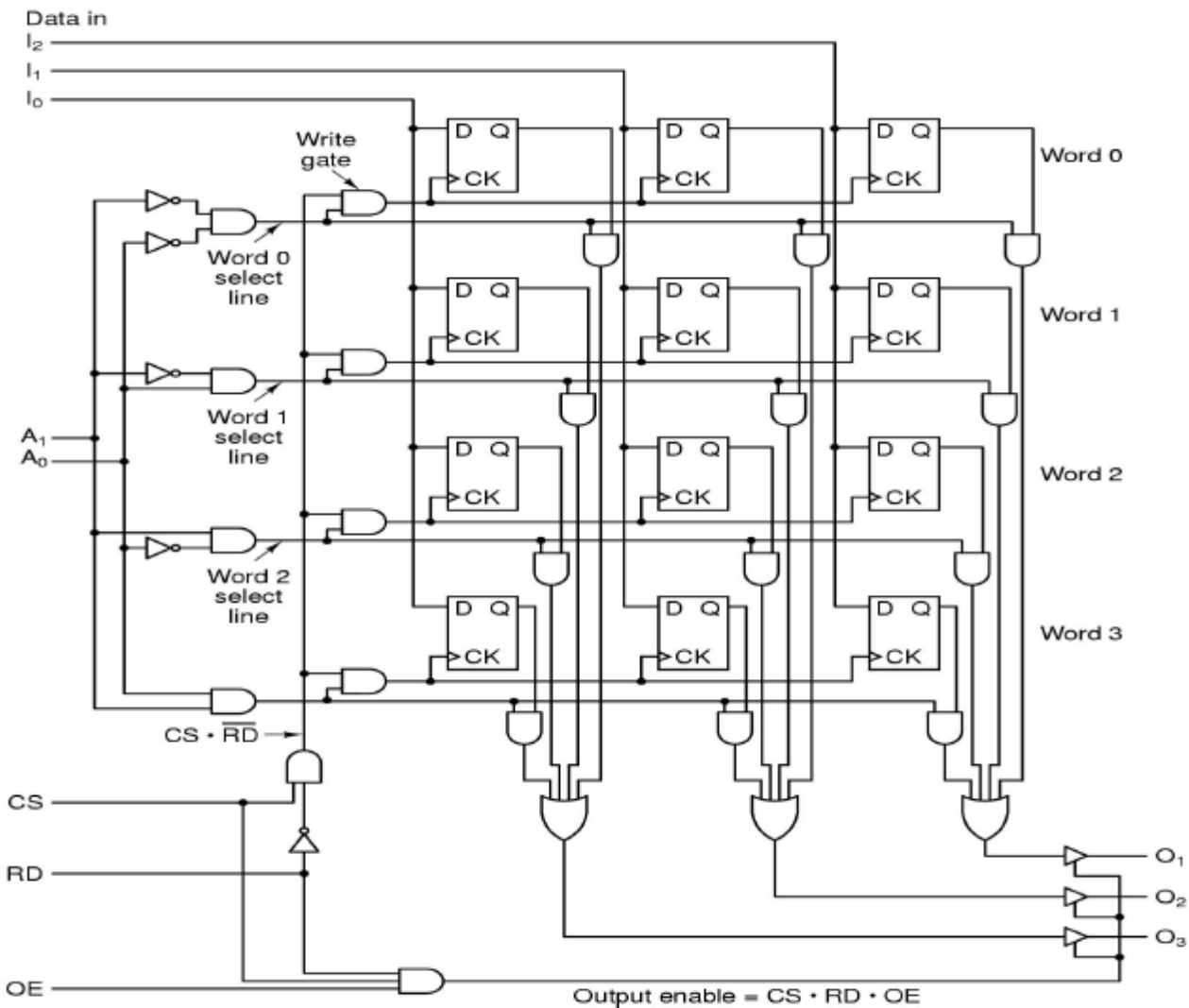
Esercizi su circuiti sequenziali

- **Esercizio 4**

Dato il circuito di memoria in figura, specificare i passi necessari per memorizzare nella parola 0 (Word 0 nella figura) il valore -1 (tenere conto che si utilizza la rappresentazione in complemento a 2). In particolare si specifichino i valori di I0, I1, I2, A0 e A1 e di CS, RD e OE. Quindi indicare i passi per ottenere tale valore come output O1, O2, O3.

Esercizi su circuiti sequenziali

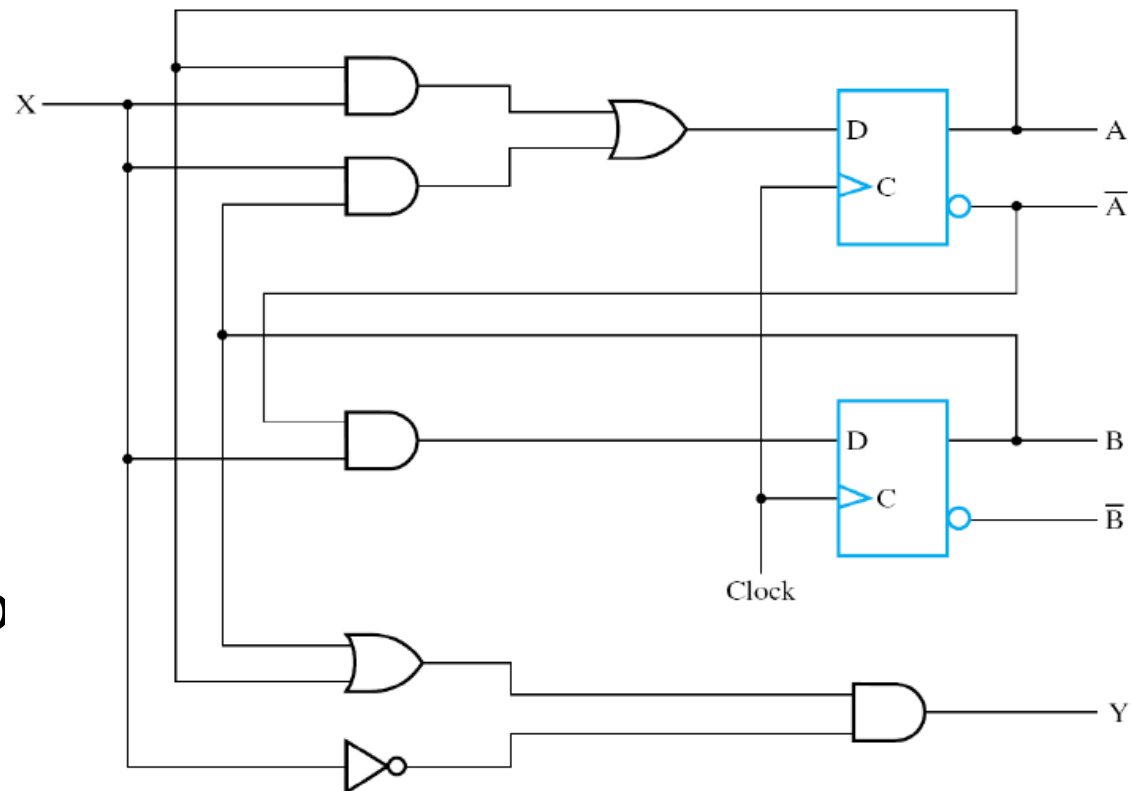




Esercizi su circuiti sequenziali

- Esercizio 5**

Dato il circuito di memoria in figura, determinare le equazioni d'ingresso D_A e D_B ai flip-flop, l'uscita Y , e la tabella/il diagramma di stato del circuito.



Esercizi su circuiti sequenziali ^{D₄}

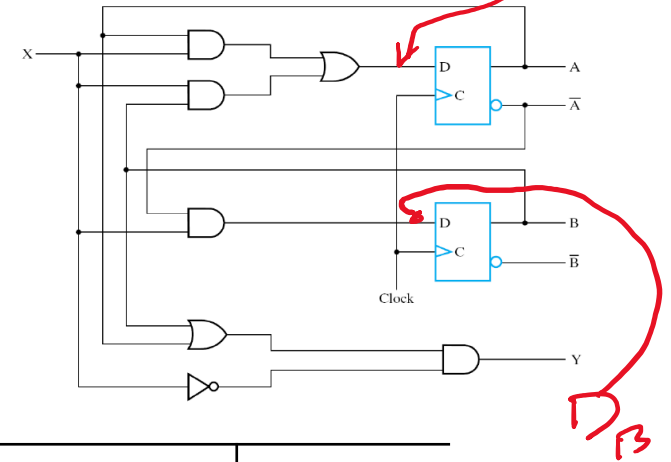
Equazioni di ingresso ai flip-flop:

$$D_A = AX + BX$$

$$D_B = \bar{A}X$$

Equazione di uscita:

$$Y = (A + B)\bar{X}$$



Stato presente		Input	Prossimo stato		Output
A	B	X	A	B	Y
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

Esercizi su circuiti sequenziali D₄

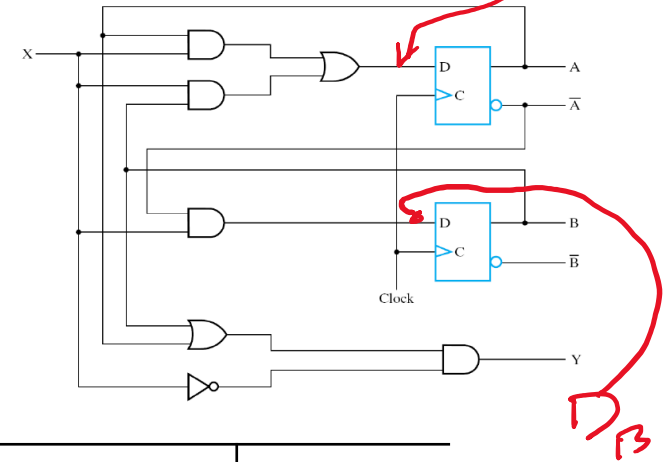
Equazioni di ingresso ai flip-flop:

$$D_A = AX + BX$$

$$D_B = \bar{A}X$$

Equazione di uscita:

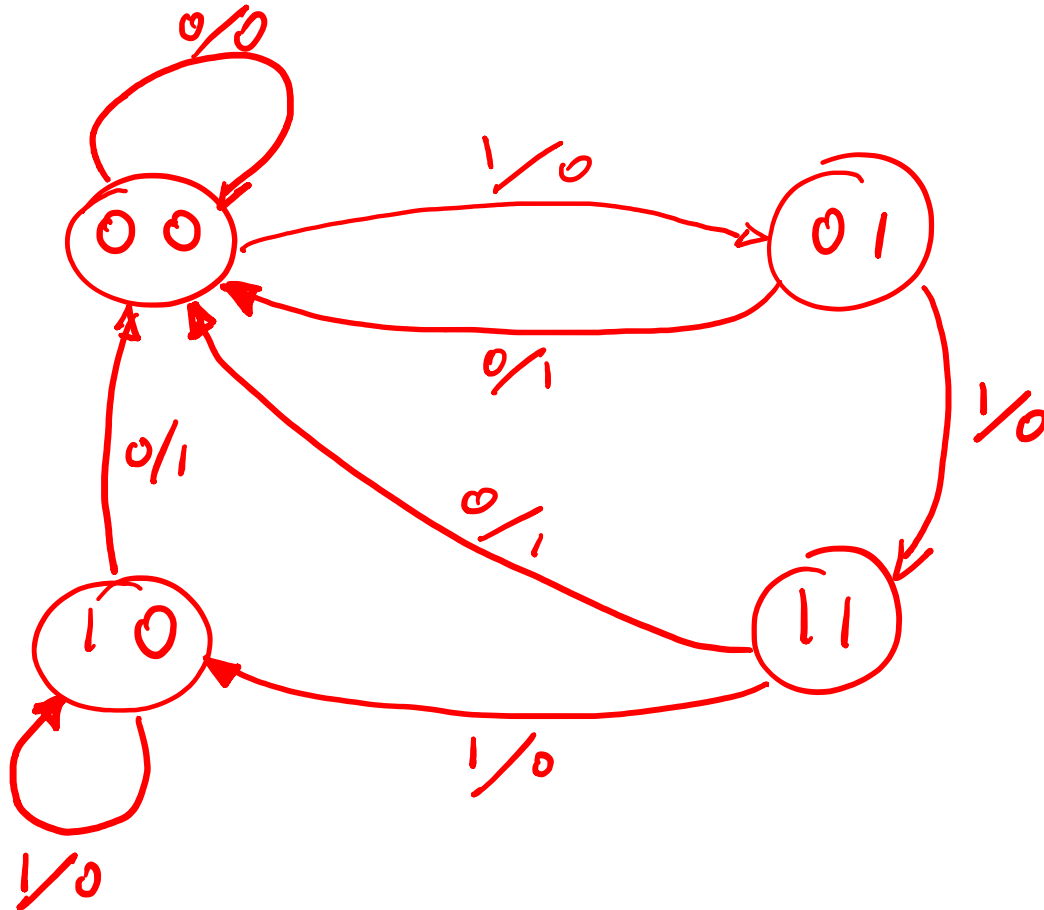
$$Y = (A + B)\bar{X}$$



Stato presente		Input	Prossimo stato		Output
A	B	X	A	B	Y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

Esercizi su circuiti sequenziali

Esercizi su circuiti sequenziali



Esercizio 6

Si consideri un flip-flop di tipo D, con clock attivato sul fronte di salita. Quali delle seguenti affermazioni sono vere?

1. se il valore dell'uscita Q è uguale a 1 ed il valore D è stabilmente uguale a 0, il variare dell'ingresso Ck non provoca nessun cambiamento sulle uscite del flip-flop;
2. una variazione da 0 a 1 dell'ingresso Ck provoca sempre un cambiamento sulle uscite del flip-flop;
3. per cambiare il valore dell'uscita Q basta far variare il valore sull'ingresso D ;
4. se l'ingresso Ck è fisso, il valore dell'uscita Q non risente delle variazioni dell'ingresso D ;
5. se si pone l'ingresso D ad 1 e poi si applica un impulso sull'ingresso Ck si ottiene il valore 1 sull'uscita Q ;
6. se si applica un impulso sull'ingresso Ck e poi si pone l'ingresso D ad 1 si ottiene il valore 1 sull'uscita Q

Esercizio 6

Si consideri un flip-flop di tipo D, con clock attivato sul fronte di salita. Quali delle seguenti affermazioni sono vere?

1. se il valore dell'uscita Q è uguale a 1 ed il valore D è stabilmente uguale a 0, il variare dell'ingresso Ck non provoca nessun cambiamento sulle uscite del flip-flop; **FALSO**
2. una variazione da 0 a 1 dell'ingresso Ck provoca sempre un cambiamento sulle uscite del flip-flop; **FALSO**
3. per cambiare il valore dell'uscita Q basta far variare il valore sull'ingresso D; **FALSO**
4. se l'ingresso Ck è fisso, il valore dell'uscita Q non risente delle variazioni dell'ingresso D; **VERO**
5. se si pone l'ingresso D ad 1 e poi si applica un impulso sull'ingresso Ck si ottiene il valore 1 sull'uscita Q; **VERO**
6. se si applica un impulso sull'ingresso Ck e poi si pone l'ingresso D ad 1 si ottiene il valore 1 sull'uscita Q **FALSO**