

# Appunti di fisica dei dispositivi elettronici per il corso di Fisica per Informatica

Ernesto Migliore

## 1 La conduzione della corrente elettrica nei solidi

La struttura dei solidi può essere descritta, a livello microscopico, come un *reticolo* in cui gli atomi sono legati tra loro tramite legami dovuti alla condivisione di elettroni. Il comportamento di tali elettroni è descritto in modo esauriente solo utilizzando le leggi della meccanica quantistica secondo le quali l'elettrone, come tutte le particelle elementari, ha sia le proprietà di un'onda sia quelle di una particella (per esprimere tale concetto si utilizza di solito l'espressione *dualismo onda-particella*). In un solido solo alcune onde sono possibili e nel caso degli elettroni esse sono chiamate *livelli*, caratterizzati ognuno da un preciso valore di energia<sup>1</sup>.

Il *principio di esclusione di Pauli* afferma che un dato livello non può essere occupato da più di due elettroni: poiché in un solido sono presenti moltissimi elettroni, questi tenderanno ad occupare molti livelli distinti. A basse temperature tale occupazione avviene a partire dai livelli di energia più bassi. Tuttavia la differenza di energia tra un livello ed il successivo non è costante ed è quindi possibile raggruppare i livelli con energie vicine in *bande* separate tra loro da intervalli di energie che gli elettroni non possono assumere (*energy gap*).

La struttura delle bande di energia e degli *energy gap* è alla base della distinzione del comportamento, in presenza di un campo elettrico, di *conduttori*, *semiconduttori* ed *isolanti*. Ad esempio collegando le estremità di un campione di materiale ad una forza elettromotrice (f.e.m.)  $V_0$  si verificano le seguenti situazioni (figura 1):

- **conduttori:** l'elettrone può accedere a livelli energetici differenti della stessa banda e quindi nel campione può scorrere corrente;
- **semiconduttori:** parallelamente al flusso di elettroni, vi è un flusso di *lacune* (in inglese *holes*), ovvero di spazi vuoti che gli elettroni possono occupare. Questa situazione è analoga a quella di una bolla in un fluido che noi trattiamo come un oggetto quando in realtà è assenza di fluido. In questo caso la corrente è data dalla somma dei flussi degli elettroni e delle lacune;
- **isolanti:** gli elettroni non possono cambiare livello energetico: non scorre corrente.

---

<sup>1</sup>La situazione è analoga a quella delle *onde stazionarie* presenti in una corda tesa di lunghezza  $L$ : in questo caso sono possibili solo stati con lunghezza d'onda  $\lambda = \frac{2L}{n}$  con  $n=1,2,\dots$

In assenza di un campo elettrico esterno:

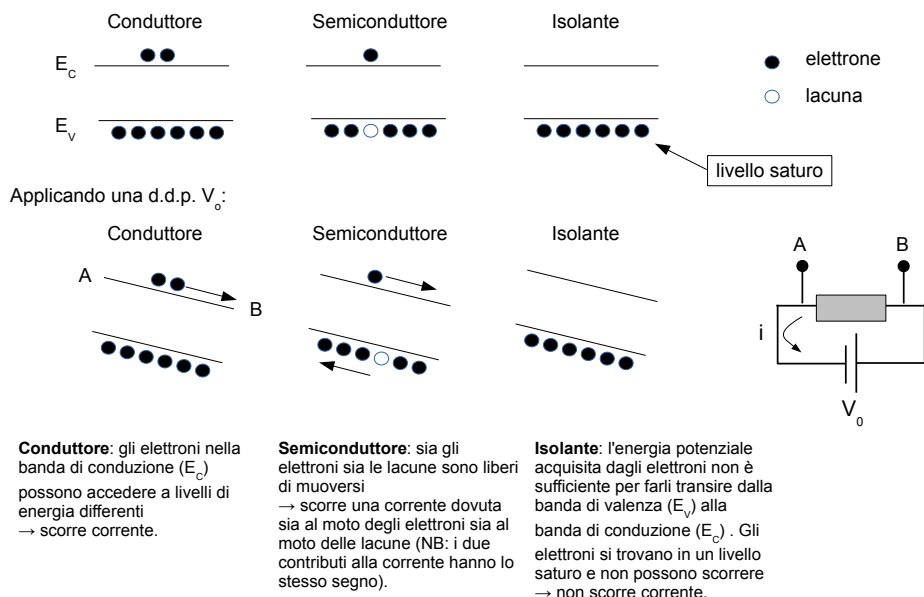


Figura 1: Bande di energia e meccanismo di conduzione della corrente elettrica in conduttori, semiconduttori ed isolanti in assenza (in alto) ed in presenza (in basso) di una d.d.p. esterna. Nella figura  $E_V$  rappresenta l'energia massima della *banda di valenza* ed  $E_C$  l'energia minima della *banda di conduzione*. Nel caso di conduttori ed isolanti i livelli energetici della banda di valenza sono completamente riempiti e la presenza di una d.d.p. non può fare scorrere gli elettroni presenti in questa banda; nel caso dei conduttori scorrono solo gli elettroni della banda di conduzione.

## 2 Silicio e drogaggio

Il principale semiconduttore usato nella realizzazione di dispositivi elettronici è il *silicio* (simbolo chimico: Si). In condizioni normali il silicio ha quattro elettroni di valenza, tutti impiegati nei legami con gli atomi vicini: il silicio si comporta perciò da *isolante*. Tuttavia è possibile introdurre all'interno della struttura reticolare alcuni portatori di carica permanenti, ad esempio modificando chimicamente un cristallo di silicio, ovvero introducendo all'interno del reticolo atomi di altri elementi chiamati droganti o impurità. Questo processo prende il nome di *drogaggio* ed i valori tipici sono di un atomo di drogante ogni  $10^6$  atomi di silicio.

- **Drogaggio di tipo n.** Se si utilizzano nel drogaggio elementi del V gruppo (fosforo, arsenico) dotati di 5 elettroni di legame, la carica mobile sarà data da un elettrone in eccesso (non impegnato nei legami con gli atomi vicini) e perciò sarà negativa. Questo processo è detto drogaggio di *tipo n* ed i droganti di questo tipo sono chiamati *donatori*.
- **Drogaggio di tipo p.** Se si utilizzano invece elementi del III gruppo (boro) dotati di 3 elettroni di legame, la carica mobile sarà dovuta ad una lacuna

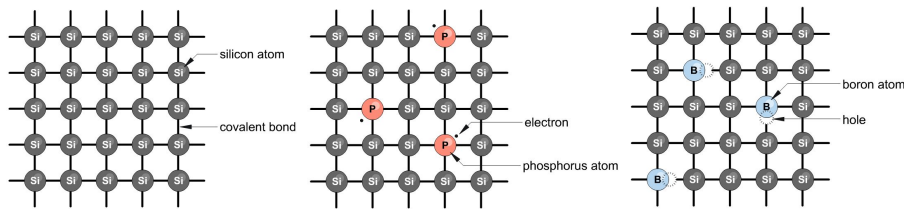


Figura 2: Schema del reticolo di un cristallo di silicio: non drogato (sinistra), con impurità di *tipo n* (centro) e con impurità di *tipo p* (destra). Tratto da [1].

(elettrone mancante) e quindi positiva. Questo processo è detto drogaggio di *tipo p* ed i droganti di questo tipo sono chiamati *accettori*.

Va notato che sia gli atomi di silicio sia quelli dei droganti sono *eletttricamente neutri*, ovvero hanno un numero di elettroni pari al numero di protoni. Pertanto il cristallo drogato è a sua volta elettricamente neutro.

### 3 La giunzione pn

La giunzione *pn* è costituita dalla composizione di un semiconduttore drogato *p* ed uno drogato *n*. Le sue proprietà sono alla base di tutta l'elettronica. In base al segno della differenza di potenziale presente ai suoi capi, si possono individuare due comportamenti distinti (figura 3):

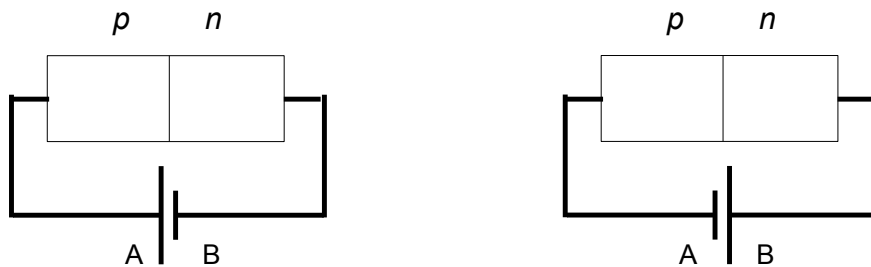


Figura 3: Giunzione *pn* polarizzata direttamente (sinistra) e polarizzata inversamente (destra).

- **polarizzazione diretta** (*p* collegato al terminale positivo, *n* collegato al terminale negativo della f.e.m.): la corrente scorre da *p* ad *n*;
- **polarizzazione inversa** (*p* collegato al terminale negativo, *n* collegato al terminale positivo della f.e.m.): in pratica attraverso la giunzione non c'è corrente.

La legge che fornisce l'andamento della corrente *i* nella giunzione *pn* in funzione della differenza di potenziale ai suoi capi,  $V_D = V_A - V_B$ , è:

$$i(V_D) = i_0 [e^{qV_D/\eta k_B T} - 1]. \quad (1)$$

dove  $\eta$  un parametro caratteristico del semiconduttore con cui è realizzata la giunzione<sup>2</sup>,  $k_B T/q = 0.026$  V a temperatura ambiente ( $T=300$  K) ed  $i_0 \approx 10^{-9}$  A. La corrente nella giunzione può variare dal nA al mA e  $V_D = 0.6 - 0.8$  V (figura 4). Il dispositivo elettrico costituito da una giunzione  $pn$  è chiamato *diodo*. Il diodo conduce corrente solo in un verso e perciò viene di solito impiegato come raddrizzatore di tensioni alternate.

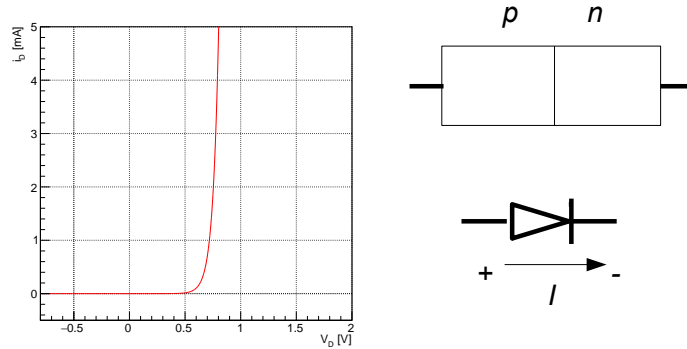


Figura 4: Tipica caratteristica  $IV$  di una giunzione  $pn$  (sinistra). Rappresentazione di una giunzione  $pn$  e simbolo circuitale del diodo. La freccia indica il verso della corrente quando il diodo è polarizzato direttamente (destra).

### 3.1 Analisi di un circuito con diodo

Vogliamo determinare la corrente  $i$  che attraversa il diodo e la d.d.p. ai suoi capi  $V_D$  in un circuito che contiene una f.e.m.  $V_0$  un resistore  $R$  ed un diodo (figura 5). Anche in presenza di un diodo vale la legge di Kirchhoff delle maglie:

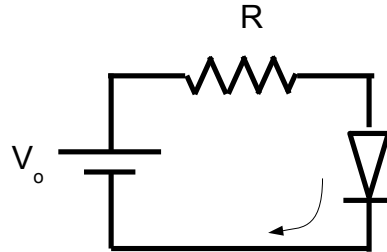


Figura 5: Circuito con f.e.m., resistore e diodo.

$$V_0 - iR - V_D = 0$$

e sostituendo l'espressione della corrente fornita dalla eq. (1) si ottiene:

$$\frac{V_0 - V_D}{R} = i_0 [e^{qV_D/\eta k_B T} - 1].$$

<sup>2</sup>Per il silicio  $\eta = 2$ .

In questa equazione l'unica incognita è  $V_D$  essendo  $i_0$ ,  $\eta$  e  $R$  caratteristiche (note) dei componenti del circuito. Questa equazione è trascendente. Quindi, per ricavare  $V_D$ , occorre usare metodi numerici oppure un approccio grafico. In questo caso si disegnano le equazioni come curve in un piano cartesiano in cui gli assi rappresentano  $(V, i)$ . La soluzione è rappresentata dalla intersezione delle due curve. Approssimando il diodo come un elemento in cui la corrente vale zero se  $V_D < 0.7$  V

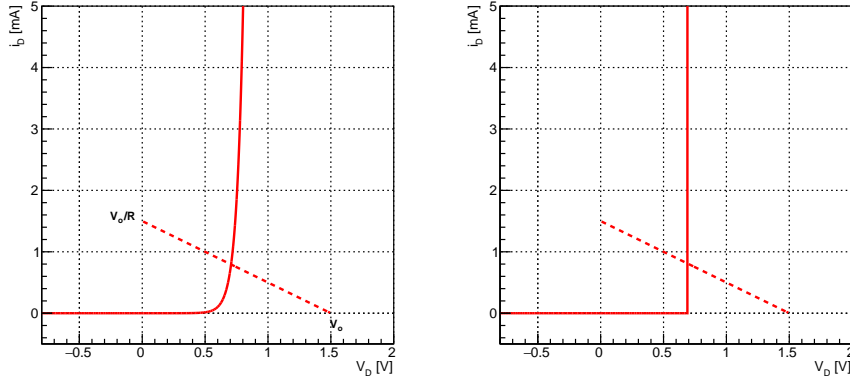


Figura 6: Soluzione grafica del circuito rappresentato in figura 5. La linea continua rappresenta la caratteristica  $IV$  del diodo, la linea tratteggiata rappresenta la retta di carico. La soluzione è data dall'intersezione delle due curve (*punto di lavoro*). Per la curva  $IV$  del diodo si è usata l'equazione ((1)) (sinistra) oppure l'approssimazione ((2)) (destra).

ed infinito altrimenti, si ottiene:

$$i = \begin{cases} 0 & \text{se } V_0 < 0.7 \text{ V} \\ \frac{V_0 - 0.7 \text{ V}}{R} & \text{se } V_0 > 0.7 \text{ V} \end{cases} \quad (2)$$

### 3.2 Conduzione nei semiconduttori

Vogliamo descrivere l'intensità della corrente  $i$ , che è un parametro macroscopico, in un semiconduttore drogato in termini di quantità fisiche microscopiche in analogia con quanto visto per la conduzione di corrente in un conduttore ohmico.

- **Conduttore ohmico.** Nel caso di un conduttore ohmico di lunghezza  $\ell$  e sezione  $S$  si ha:

$$i = \frac{V_A - V_B}{R}, \quad \text{con } R = \rho \frac{\ell}{S}, \quad \rho = \frac{1}{qn\mu}.$$

La quantità  $\rho$  è la resistività che si può scrivere in termini della densità di portatori di carica liberi  $n$ , della carica di un singolo portatore  $q$  (ovvero l'elettrone) e della mobilità degli elettroni<sup>3</sup>  $\mu$ . Di qui si può ricavare la velocità di deriva  $|\vec{v}_{drift}| = \mu|\vec{E}|$  che è responsabile della corrente.

<sup>3</sup>La mobilità elettronica  $\mu$  è legata al tempo medio  $\tau$  tra due collisioni consecutive di un elettrone con gli ioni del reticolo dalla relazione  $\mu = \frac{q\tau}{m}$ . Il fatto che  $\tau$  non dipenda da  $|\vec{E}|$  conduce alla legge di Ohm microscopica  $\vec{E} = \rho \vec{j}$ .

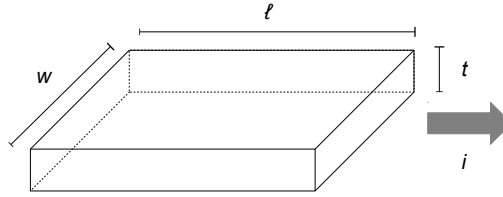


Figura 7: Schema di un conduttore ohmico sottile.

- **Conduttore ohmico sottile.** Considerando uno strato di conduttore ohmico di spessore  $t$  (figura 7) la resistenza del conduttore ohmico sarà:

$$R = \rho \frac{\ell}{S} = \rho \frac{\ell}{wt} = \frac{1}{qn\mu} \frac{\ell}{wt} = \frac{\ell/w}{\mu qnt}.$$

Introducendo  $Q = qnt$ , la densità superficiale di carica elettrica in uno stato *sottile* di spessore  $t$ , si ha:

$$R = \frac{\ell}{w} \frac{1}{\mu Q}. \quad (3)$$

In questa relazione  $\ell/w$  è il numero di quadrati di lato  $w$  ed  $1/\mu Q$  rappresenta la resistenza di un singolo quadrato che si può esprimere in  $\Omega/\square$ .

- **Semiconduttori.** Nel caso dei semiconduttori drogati, a seconda del drogaggio la *conduttività*  $\sigma = 1/\rho$  dipenderà dal moto degli elettroni o da quello delle lacune:

$$\text{tipo } n: \quad \sigma_n = qn_e\mu_e \approx qN_D\mu_e$$

$$\text{tipo } p: \quad \sigma_p = qn_h\mu_h \approx qN_A\mu_h$$

$N_D$  e  $N_A$  sono, rispettivamente, le *densità volumiche* dei donatori e degli accettori, mentre  $\mu_e$  e  $\mu_h$  sono le *mobilità* degli elettroni e delle lacune<sup>4</sup>. Tali mobilità valgono:

$$\mu_e \approx 1350 \text{ cm}^2/\text{Vs} = 0.1350 \text{ m}^2/\text{Vs}$$

$$\mu_h \approx 450 \text{ cm}^2/\text{Vs} = 0.0450 \text{ m}^2/\text{Vs}$$

- **Semiconduttore drogato sottile.** Pensando ad un processo di impianto delle impurità solo in superficie del semiconduttore, si può riutilizzare l'espressione precedente in cui  $N_D t$  e  $N_A t$  sono le densità superficiali di impurità impiantate.

**Esempio** Si consideri un pezzo di silicio sul quale sia stato impiantato uno strato sottile ( $t = 1 \text{ } \mu\text{m}$ ) di drogaggio tipo  $n$  ( $10^{12}$  donatori/ $\text{cm}^2$ ):

$$N_D \approx 10^{16} \frac{\text{donatori}}{\text{cm}^3} = 10^{22} \frac{\text{donatori}}{\text{m}^3}.$$

<sup>4</sup>Porre  $n_e = N_D$  e  $n_h = N_A$  equivale a supporre che ciascun atomo di drogante contribuisca alla conduzione con un elettrone (donatori) o con una lacuna (accettori).



Figura 8: Strato sottile di semiconduttore con  $\ell/w = 3$ .

La resistività vale:

$$\rho = \frac{1}{\sigma} = 4.63 \times 10^{-3} \Omega\text{m}$$

mentre la resistenza dello strato impiantato, per ciascun quadrato, è:

$$\frac{1}{\sigma \cdot t} = 4.63 \text{ k}\Omega/\square.$$

Nel caso di dispositivo formato da 3 quadretti (figura 8)  $R=3 \times 4.63 \text{ k}\Omega/\square \approx 14 \text{ k}\Omega$ .

Per quanto riguarda il comportamento della corrente in funzione della d.d.p applicata, questo dipende dall'andamento della mobilità  $\mu$  in funzione del campo elettrico  $\vec{E}$ . Si hanno due regioni (figura 9):

- **regione I:**  $|\vec{E}| < 1 \text{ V}/\mu\text{m}$ : *crescita lineare*  $|\vec{v}_{drift}| = \mu|\vec{E}|$
- **regione II:**  $|\vec{E}| > 1/\mu\text{m}$ : *saturazione*  $|\vec{v}_{drift,sat}| = 10^5 \text{ m/s}$ .

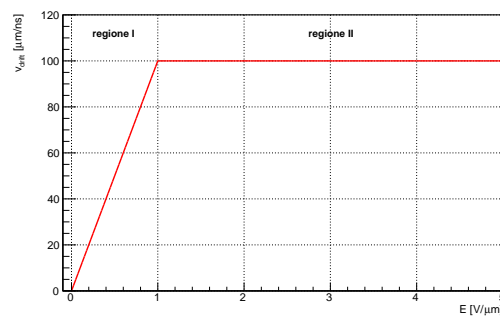


Figura 9: Andamento della velocità di deriva in funzione del campo elettrico in un semiconduttore.

## 4 Dispositivi MOS (Metal-Oxide-Semiconductor)

I dispositivi MOS sono formati da tre elettrodi in metallo chiamati *source*, *gate* e *drain* collegati ad un corpo (substrato) costituito da un semiconduttore drogato che può essere di tipo *p* (NMOS) o di tipo *n* (PMOS). Il gate è separato dal substrato da uno strato di ossido di silicio ( $\text{SiO}_2$ ) che svolge la funzione di isolante, ovvero non lascia fluire corrente dal substrato al gate.

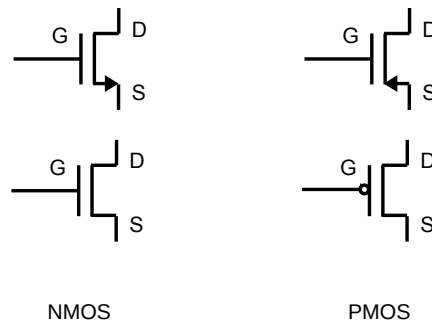


Figura 10: Simboli circuitali di transistor NMOS e PMOS.

**Funzionamento del MOS.** A titolo di esempio si consideri il transistor NMOS (substrato drogato di tipo *p*) mostrato in figura 11. Per semplicità si riferiscano i

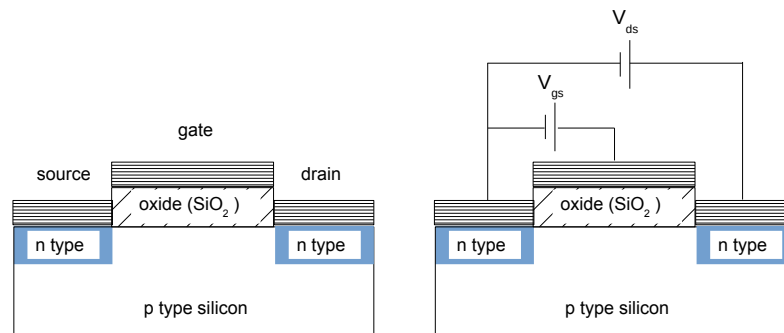


Figura 11: Sezione trasversale di un transistor NMOS.

potenziali dei vari elettrodi al potenziale a cui si trova il source (source collegato a terra o *ground*). In condizioni normali una delle due giunzioni *pn* è polarizzata inversamente e di conseguenza non c'è conduzione di corrente tra source e drain. Tuttavia, quando si applica al gate una tensione positiva si attirano elettroni del substrato che non potendo proseguire verso il gate si accumulano all'interfaccia tra il substrato e l'ossido di silicio. La regione all'interfaccia diventa temporaneamente di tipo *n* (*enhancement NMOS*).



- **Andamento di  $Q$  in funzione di  $V_{gs}$ .** La densità di carica elettrica presente sotto il gate in funzione della d.d.p. tra gate e source  $V_{gs}$  è mostrata in figura 12. Per  $V_{gs} > V_{thr}$ : gli elettroni vengono indotti sotto lo strato di ossido di silicio. Affinchè effettivamente scorra corrente tra drain e source deve in più essere applicata una d.d.p. ovvero  $V_{ds} \neq 0$ .
- **Andamento della corrente in funzione di  $V_{ds}$ .** Ricordando la definizione di capacità<sup>5</sup>  $C = Q/\Delta V$  si ha:

$$Q = C_{ox}(V_{gs} - V_{thr}) \quad (4)$$

Perciò, per valori  $V_{ds}$  non troppo elevati, ovvero per valori di  $|\vec{E}|$  per i quali  $|\vec{v}_{drift}|$  non è in saturazione, il MOS si comporta come un dispositivo ohmico (resistore) la cui resistenza, eq. (3), è regolata dal valore di  $V_{gs}$  in quanto  $Q$  dipende da  $V_{gs}$ . Ciò permette di regolare il passaggio di corrente nel dispositivo in un processo noto come *controlled switch*. Usando le relazioni (3) e (4), la corrente che attraversa il drain sarà:

$$i_d = \frac{V_{ds}}{R} = \frac{V_{ds}}{\frac{\ell}{w} \frac{1}{\mu C_{ox}(V_{gs} - V_{thr})}} = \frac{w}{\ell} \mu C_{ox}(V_{gs} - V_{thr}) V_{ds} \quad (5)$$

dove si è usato

$$R = \frac{\ell/w}{\mu} \frac{1}{Q}$$

che mostra come  $R$  diminuisca al crescere di  $Q$ , ovvero di  $V_{gs}$ .

Al crescere di  $V_{ds}$  la velocità di deriva  $|\vec{v}_{drift}|$  non cresce all'infinito, ma satura: di conseguenza anche  $i_d$  saturerà (figura 13).

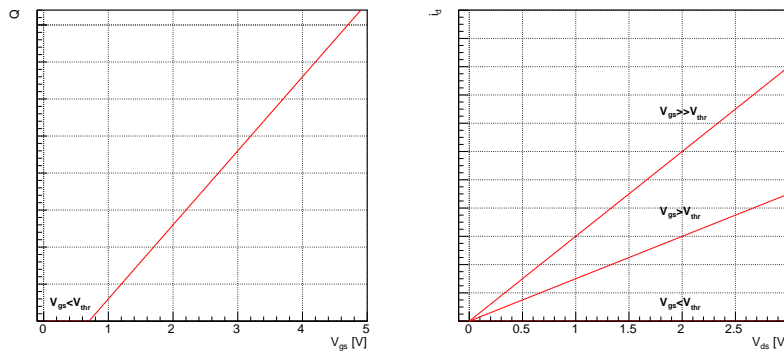


Figura 12: Andamento della densità superficiale di carica all'interfaccia  $Q$  in funzione di  $V_{gs}$  (sinistra) e della corrente di drain  $i_d$  in funzione di  $V_{ds}$  (destra).

<sup>5</sup>In analogia a  $Q$ ,  $C_{ox}$  è una capacità per unità di superficie.

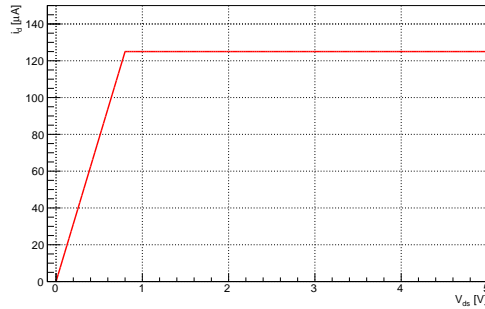


Figura 13: Andamento tipico della corrente di drain  $i_d$  in funzione di  $V_{ds}$ .

#### 4.1 Uso del transistor NMOS come controlled switch e porte logiche (gates)

Conviene pensare al transistor MOS come ad un dispositivo a tre terminali (figura 14):  $i_{out} = i_d$  è la corrente che attraversa il drain,  $v_{in}$  è un segnale (tensione) di controllo esterno applicato tra gate e source,  $V_{DD}$  indica la tensione di alimentazione [2]. Al variare del segnale di controllo  $v_{in}$ , la corrente  $i_{out}$  e la tensione in uscita  $v_{out}$  ( $= V_{ds}$ ) variano.

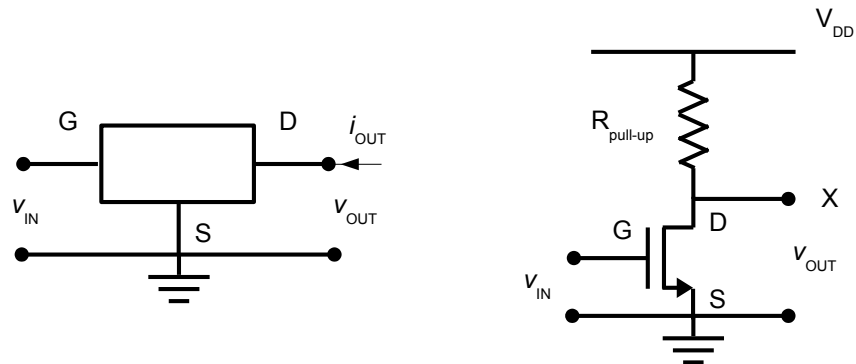


Figura 14: Visualizzazione di un transistor NMOS come dispositivo a tre terminali (sinistra). Schema del circuito con i vari collegamenti elettrici (destra). Il resistore  $R_{pull-up}$  collega il transistor alla tensione di alimentazione  $V_{DD}$  limitando la corrente massima che può attraversare il dispositivo.

**Gate NOT (inverter).** Lavoriamo in logica *positiva*: allo stato *F* (*false*) corrisponde un valore di tensione dei terminali (ingressi o uscita) *low* allo stato *T* (*true*) un valore di tensione *high*. La funzione logica *NOT* è descritta dalla seguente tabella di verità:

$A$	$X = \bar{A}$
$F$	$T$
$T$	$F$

ovvero l'uscita  $X$  è  $F$  (low) se l'ingresso  $A$  è  $T$  (high) e viceversa. La funzione logica NOT è realizzata con la configurazione del transistor NMOS illustrata in figura 14:

- se l'ingresso  $A$  è nello stato *high*, l'NMOS conduce corrente (switch *ON*) e l'uscita  $X$  va in uno stato *low*;
- se l'ingresso  $A$  è *low*, l'NMOS non conduce corrente (switch *OFF*) e l'uscita  $X$  resta nello stato *high*.

L'andamento della tensione in uscita  $v_{out}$  al variare di  $v_{in}$  è mostrato in figura 15.

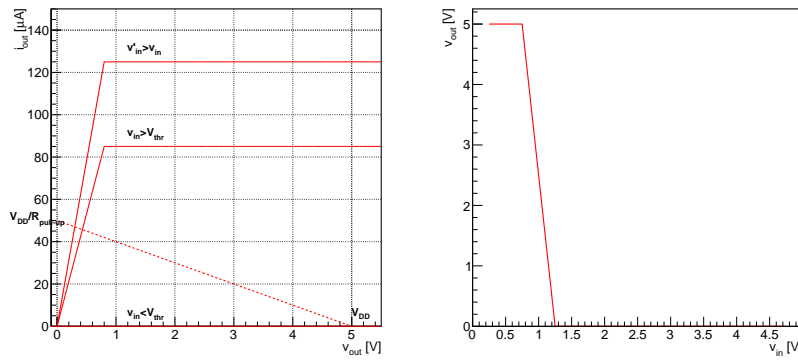


Figura 15: Soluzione grafica del circuito di figura 14 (sinistra). La retta di carico è determinata dal circuito esterno al transistor NMOS. Valori differenti di  $v_{in}$  corrispondono a differenti punti di lavoro  $v_{out}$  sulla stessa retta di carico. Per  $v_{in} < V_{thr}$  la corrente erogata dal transistor NMOS è nulla. L'insieme dei valori di  $v_{out}$  al variare di  $v_{in}$  costituisce la curva caratteristica di trasferimento (VTC) del porta logica NOT (destra).

**Gate NOR.** La funzione logica *NOR* è descritta dalla seguente tabella di verità:

$A$	$B$	$X = \overline{A + B}$
$F$	$F$	$T$
$F$	$T$	$F$
$T$	$F$	$F$
$T$	$T$	$F$

ovvero l'uscita  $X$  è  $F$  (low) se uno degli ingressi,  $A$  oppure  $B$ , è  $T$  (high). La funzione logica NOR è realizzata con la configurazione di due transistor NMOS disposti in parallelo illustrata in figura 16:

- se uno dei due ingressi  $A$  o  $B$  è nello stato *high*, il corrispondente NMOS conduce corrente (switch *ON*) e l'uscita  $X$  va in uno stato *low*;
- se i due ingressi  $A$  e  $B$  sono entrambi *low*, gli NMOS non conducono corrente (switch *OFF*) e l'uscita  $X$  resta nello stato *high*.

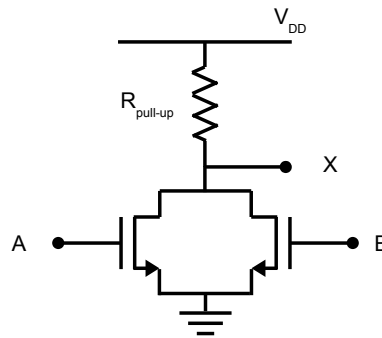


Figura 16: Gate NOR realizzato con due transistor NMOS.

**Gate NAND.** La funzione logica *NAND* è descritta dalla seguente tabella di verità:

<i>A</i>	<i>B</i>	$X = \overline{A \cdot B}$
<i>F</i>	<i>F</i>	<i>T</i>
<i>F</i>	<i>T</i>	<i>T</i>
<i>T</i>	<i>F</i>	<i>T</i>
<i>T</i>	<i>T</i>	<i>F</i>

ovvero l'uscita *X* è *T* (*high*) se uno degli ingressi, *A* oppure *B*, è *F* (*low*). La funzione logica *NAND* è realizzata con la configurazione di due transistor NMOS disposti in serie illustrata in figura 17:

- se uno dei due ingressi *A* o *B* è nello stato *low*, il corrispondente NMOS non conduce corrente (switch *OFF*) e l'uscita *X* va in un stato *high*;
- se i due ingressi *A* e *B* sono entrambi *high*, gli NMOS conducono corrente (switch *ON*) e l'uscita *X* si porta nello stato *low*.

## 4.2 Dispositivi CMOS (Complementary MOS)

Le porte logiche reali non usano una resistenza di pull-up ma un altro dispositivo MOS (PMOS da cui il nome *CMOS* = *Complementary MOS*) in quanto usando una resistenza di pull-up si presentano due problemi di tipo ingegneristico, ovvero legati alla realizzazione concreta del dispositivo.

- **Potenza dissipata.** Nella realtà si costruiscono dispositivi di circa 1 cm<sup>2</sup> al cui interno sono implementati migliaia di transistor MOS. Ogni transistor deve dissipare la minor potenza possibile<sup>6</sup>: affinché questo accada *i<sub>out</sub>* deve essere piccola anche quando *v<sub>out</sub>* = 0 V.
- **Pilotaggio di altri transistor.** L'uscita di una porta logica è in genere collegata all'ingresso di un altro. Ciò significa che ciascun transistor pilota altri transistor (detti *carichi*) schematizzabili come resistori *R<sub>L</sub>* (*load resistors*)

<sup>6</sup>La potenza dissipata è data da  $P = i_{out}^2 R_{pull-up}$ .

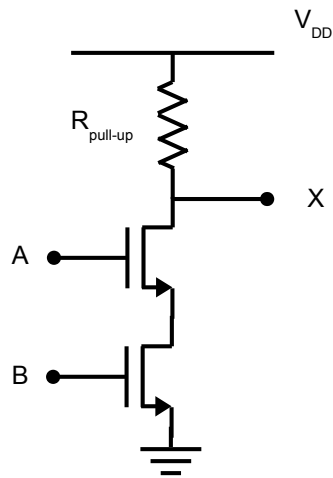


Figura 17: Gate NAND realizzato con due transistor NMOS.

posti tra il drain e il potenziale di riferimento (*ground*). La presenza di  $R_L$  modifica la pendenza della retta di carico (figura 18). Di conseguenza la VTC viene a dipendere dal carico pilotato dal transistor ovvero il comportamento della porta logica (leggi tabella di verità) viene a dipendere dal circuito in cui è inserito.

L'uso di un PMOS anzichè di un resistore consente di usare il valore di  $v_{in}$  per adattare in modo dinamico il valore della resistenza di pull-up. Una porta logica NOT CMOS è mostrato in figura 19.

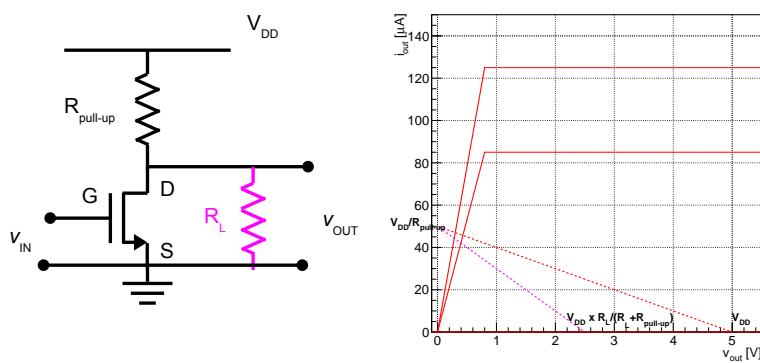


Figura 18: Retta di carico in presenza un carico  $R_L$  pilotato dal transistor NMOS. Il caso di assenza di carico corrisponde alla situazione in cui  $R_L \rightarrow \infty$ .

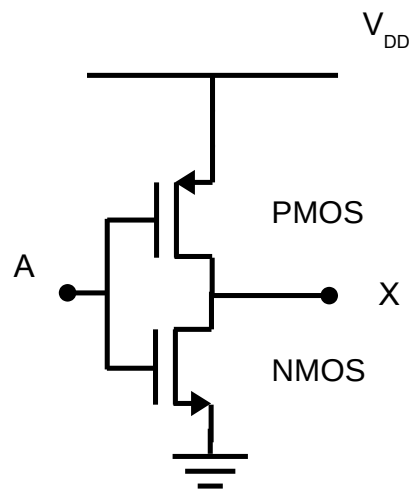


Figura 19: Porta logica NOT realizzata in tecnologia CMOS: il transistor PMOS (in alto) svolge il ruolo di resistore di pull-up mentre il transistor NMOS (in basso) di resistore di pull-down.

## Riferimenti bibliografici

- [1] <http://iamtechnical.com/silicon-lattice-doping-silicon-boron-phosphorous>.
- [2] <http://www-inst.eecs.berkeley.edu/%7eee42/sp03/LectNotes/LectNotes.html> lezioni 16, 17 e 24.