

Дипломная работа

Разработка RTL-описания интегрированного микропроцессорного модуля с RISC-архитектурой

Кареев Кирилл Андреевич¹

¹МИЭТ

МИЭТ, 2016

Содержание

- 1 Мотивация
 - Постановка задачи
 - Существующие решения
- 2 Процессор УП-1
 - Общее описание
 - Структура
 - Описание устройств
- 3 Результат



Постановка задачи

Создать процессорную систему, пригодную для:

- 1 Обучения низкоуровневому программированию
- 2 Демонстрации внутренней структуры процессора



ARM Thumb1

Главные недостатки

- Сложность бинарного представления машинного кода (из-за упора на уменьшенный размер).
- Сложность работы с ассемблерным представлением кода (следствие функциональной простоты).



OpenRISC 1000 (mor1kx)

Главные недостатки

- Наличие большого количества состояний процессора.
- Сложность RTL-описания.



MIPS32

Главные недостатки

- Относительно сложное построение инструкции
- Большинство реализаций не совместимы друг с другом



Вывод

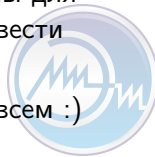
Недостатки существующих решений

- Сложность работы с машинным кодом и ассемблерным представлением.
- Сложность RTL-описания.
- Сложная структура блока исполнения.
- Закрытость RTL-описания



Преимущества

- Развитый набор команд, позволяющий в большинстве случаев обойтись без макросов и теневых определений.
- Практически все инструкции исполняются за один такт.
- Все инструкции могут использовать все регистры и иметь мгновенные значения для всех входных аргументов.
- Все инструкции относятся к основному набору, т.е. в процессоре нет сопроцессоров.
- Составные блоки конвейера достаточно универсальны для того, чтобы новый набор инструкций можно было ввести сменой лишь одного декодера.
- Открытое RTL-описание - читать и править можно всем :)



Недостатки

- Отсутствует достаточный функционал для реализации какого-либо CISC-набора инструкций.
- Нет функционала работы с числами с плавающей точкой.
- Большой размер бинарного представления машинного кода.
- Отсутствие особых свойств (флаги, префиксы) команд и состояний (ошибка, гипервизор, быстрое прерывание и т.д.) процессора.

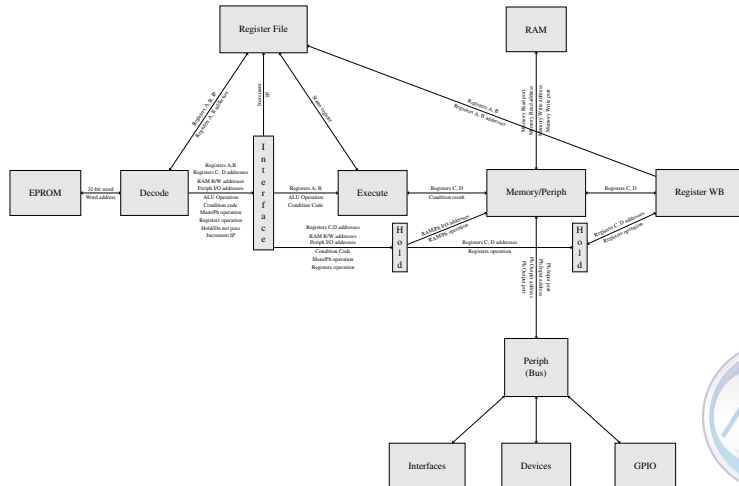


Характеристики

- 32-битная архитектура
- Набор из 33 (заложено до 128) инструкций
- 32 РОН (Регистра общего назначения) шириной 32 бита с четырёхпортовым интерфейсом (2 чтение, 2 запись + особые линии для PC и LR)
- Регистры PC и LR (счётчик инструкций и адрес возврата) также являются общими (31 и 29 соответственно)
- Однотактовый умножитель с возможностью сохранения всего результата (2 слова)
- Однотактовый комбинированный регистр сдвига (циклический, арифметический и обыкновенный сдвиг)
- Раздельные шины памяти и периферического устройств
- 16 кодов условного исполнения
- Четырёхшаговая архитектура конвейера (Декодирование, Исполнение, Память/Периферия и Регистры)
- Двухпортовое однотактовое ОЗУ ёмкостью 4 КБ (1 Кс) (1- чтение, 1 - запись)



Структурная схема



Структурная схема Устройства

- EPROM - ППЗУ. На выходе 32-битное слово, находящееся по адресу на входе. Текущий размер - 16 кб (4096 слов)
- Register File - регистровый файл. Имеет 32 регистра, 2 порта на чтение (A, B) и 2 порта на запись (C, D) и спецвыходы для IP и Status
- RAM - ОЗУ. Имеет 1 порт на запись и 1 порт на чтение. Текущий размер - 4 кб (1024 слов).
- Periph - Двухнаправленная шина периферических устройств. Имеет два отдельных (адрес+данные) направления - запись и чтение. К ней подключены:
 - GPIO - Ввод-вывод общего назначения - «ноги», с мультиплексорами для выбора дополнительных функций.
 - Interfaces - Различные интерфейсы ввода-вывода (SPI и UART, например)
 - Devices - Различные периферические устройства (RTC и ШИМ-контроллеры, например)



Структурная схема

Стадии конвейера

- Decode - стадия дешифрования входного слова (инструкции) в набор управляющих сигналов. (D)
 - Interface - специальная стадия задержки, нужна для осуществления многотактовых инструкций. (I)
- Execute - стадия исполнения инструкции. Содержит АЛУ и блок вычисления условных кодов. (EX)
- Memory/Periph - стадия комбинированных операций с памятью и шиной периферических устройств. (MEM)
- Register WB - стадия обратной записи в регистры.
- HOLD(n) - специальные подстадии, обеспечивающие удержание управляющих сигналов для синхронизации.



Схема АЛУ

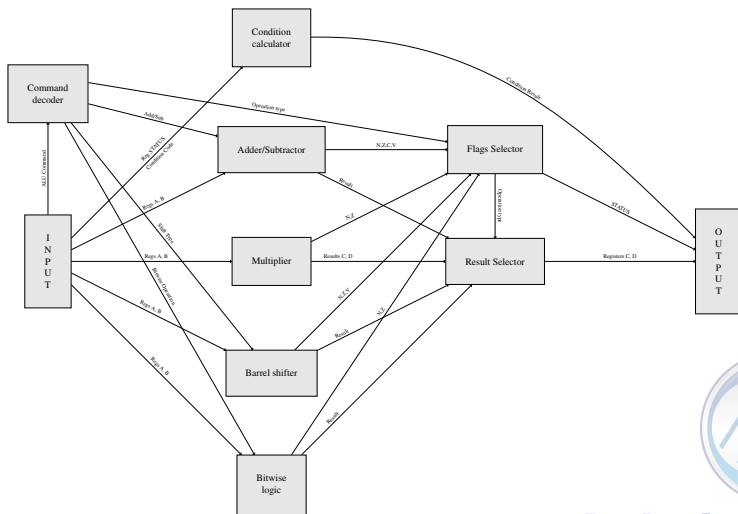


Схема АЛУ

Устройства

- Command Decoder - декодер команды АЛУ во внутренние сигналы управления
- Condition calculator - вычисляет условный результат из регистра STATUS и условного кода
- Adder/Subtractor - комбинированный сумматор-вычитатель $32 \times 32 = 33$
- Multiplier - беззнаковый умножитель $32 \times 32 = 64$
- Barrel shifter - комбинированный сдвиговый регистр $32 \times 5 = 33$
- Bitwise logic - комбинированный блок логических операций, $32 \times 32 = 32$



Периферийные устройства

Краткое описание

gpio_mux

Мультиплексор ноги устройства на 4 функции на вход и выход. Размер - 32 пина.
На каждый пин отведены два бита, значение которых определяет его функцию.
Регистры:

- xxxx0 - Младшая часть регистра управления
- xxxx1 - Старшая часть регистра управления

gpio_chip

Контроллер GPIO с поддержкой чтения/записи. Размер - 32 в/в.
Состояние каждого в/в управляется соответствующими битами в двух регистрах
Регистры:

- xxxx0 - Регистр VALUE - значение уровня на выходе в/в. 0 - низкий, 1 - высокий
- xxxx1 - Регистр DIR - направление в/в (0 - вход, (значение на выходе - z), 1 - выход)

Набор инструкций

- 6 логических инструкций (or, nor, and, nand, inv, xor).
- 6 видов сдвига (арифметический, логический и циклический), влево и вправо.
- Арифметический операции (сумма, разность, беззнаковое произведение, инкремент/декремент, сравнение)
- Операции потока исполнения (прыжок, вызов и возврат), в т.ч и относительные
- Операции с памятью (чтение и запись).
- Операция перемещения регистр-регистр (в т.ч двойная) и пустая операция
- Операции с шиной периферических устройств
- Все операции имеют возможность условного исполнения.



Моделирование

Тестовые воздействия

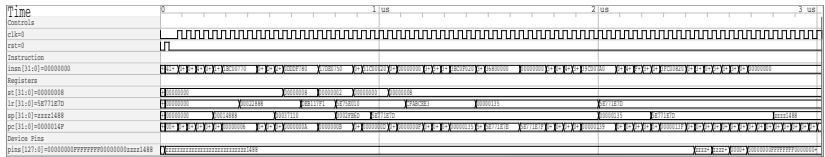
```

movs 0x14888 -> r30
nop
movs 0x22888 -> lr
add lr, r30 -> r30
add 0x35942, 0xDEADBEAF -> lr
mul lr, r30 -> lr, r30
xor lr, r30 -> r30
csr r30 by 11 -> lr
br to 0x132
[0x132]
out lr to r30
out r30 to lr
brl to r30
str to 16 from r30
mov lr, r30 -> r30, lr
out r30 to lr
movs 0xFFFFFFFF -> r1
out to 0xD from r1
out to 0xF from r1
out to 0x11 from r1
out to 0xE from r1
in from 0xA -> r30
[0x5E771E7D]
brpos to r0
retneg

```



Моделирование



Синтез Статистика

Был произведён синтез на 4 различные цели:

- Xilinx 7-Series FPGA:
 - Количество ячеек - 15635
 - Количество межсоединений - 31546
- iCE40 FPGA:
 - Количество ячеек - 74918
 - Количество межсоединений - 90832
- ASIC (библиотека osu025_stdcells):
 - Количество ячеек - 183060 (из них ram - 152208)
 - Количество межсоединений - 198968 (из них ram - 152307)
- Altera MAX10 FPGA:
 - Количество ячеек - 8694
 - Количество межсоединений - 35317



Временной анализ

Оценка рабочей частоты

Средствами САПР Quartus Prime была произведена оценка максимальной рабочей частоты на цели MAX 10 по двум моделям:

- Модель «Slow 1200 mV 85 C»
 - $F_{\max} = 93.14 \text{ МГц}$
- Модель «Slow 1200 mV 0 C»
 - $F_{\max} = 98.28 \text{ МГц}$



Результат

- Создано **RTL-описание** процессора УП-1.
- Создана **документация** к процессору УП-1 .
- Произведено **моделирование** процессора УП-1 в симуляторе Icarus Verilog.
- Произведён **синтез** процессора УП-1 с помощью набора синтезаторов Yosys и (отдельно) САПР Quartus Prime.

