

Sekwencyjne bloki funkcyjne

Rejestr - układ stworzony z tyłu przesuwników ile bitów zapamiętuje

Rejestr 4-bitowy

z asynchronicznym zerowaniem i ustawnianiem

$D_3 D_2 D_1 D_0$ - stan wejściowy, które zostanie zapamiętane przez rejestr
(wejścia informacyjne)

$Q_3 Q_2 Q_1 Q_0$ - stan wyjściowy, przechowywany przez rejestr

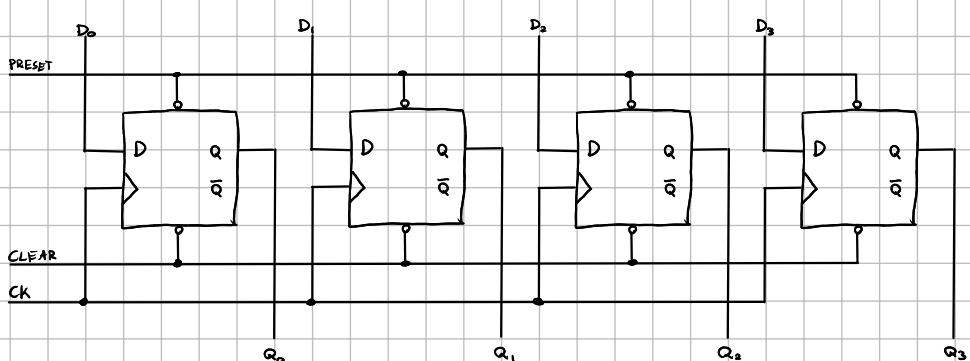
Wspólny sygnał zegarowy do końca do wszystkich przesuwników

Clear - nieważnicie od stanu i wejścia wpisuje 0 do przesuwnika

Preset - nieważnicie od stanu i wejścia wpisuje 1 do przesuwnika

Clear i Preset działały asynchronicznie (natychmiast, nieważnicie od zegara)

Aktualizowane stanem niskim (najpierw przy wyjściach)

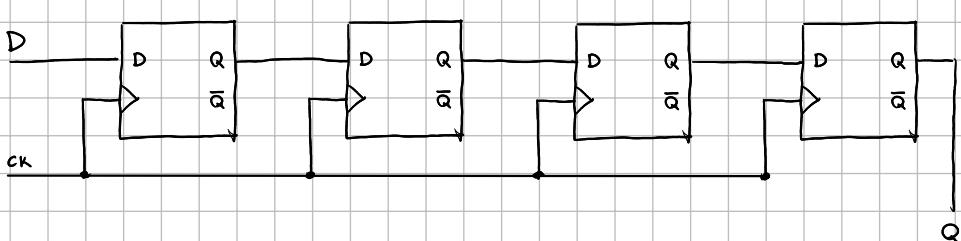


Preset i Clear mogą też być zrealizowane synchronicznie, wtedy nadpisują stan przesuwnika w momencie jego aktualizacji sygnałem zegara

Rejestr przesuwający

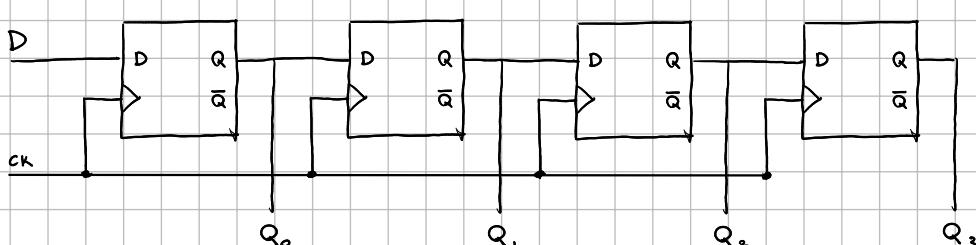
W takcie zegara, wszystkie bity przesuwają się o 1 bit

Stan usuwa się po 1 bicie na takt zegara



Rejestr przesuwający z dodatkiem równoległym

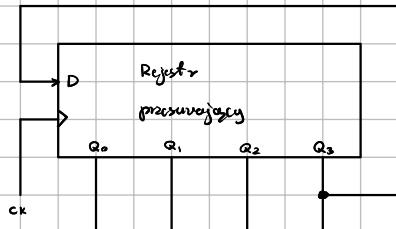
Umożliwia dodatkowe odczyty



Radejce rejestrów

- równoległy - równoległy równoległy zapis i odczyt
- szeregowy - równoległy szeregowy zapis, równoległy odczyt
- równoległy - szeregowy równoległy zapis, szeregowy odczyt
- szeregowy - szeregowy szeregowy zapis i odczyt

Licznik piersienny



Zapisuje się kolejno, zależnie od położenia zapisanego stanu, np.

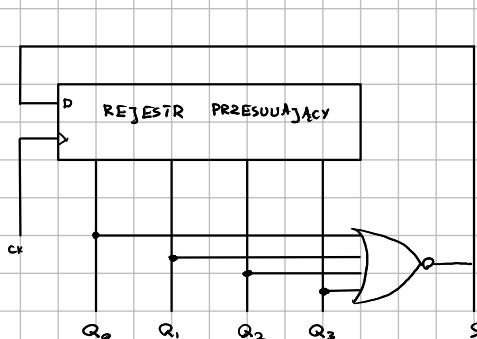
1	0	0	0	0	1	1	1
0	1	0	0	0	1	0	1
0	0	1	0	0	1	1	0
0	0	0	1	0	1	1	0
1	0	0	0	0	0	1	1

Licznik piersienny sumatora guyzera

z krańca jedynka

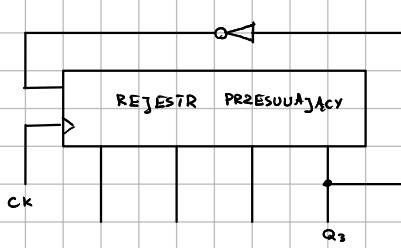
Odporny na problem z utratą zasilenia

Upisując 1 na wjcie kiedy wszyskie wyjcia dadao 0 i cykl się powtarza



S	
1	0
0	1
0	0
0	0
0	0
1	0

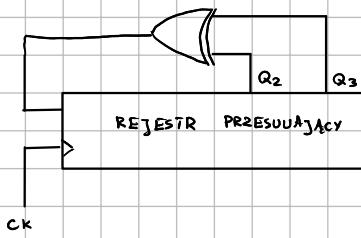
Licznik Johnsona



Stopniowa zapełnia się jedynekami po czym stopniowa zapełnia się zerami

1	0	0	0	
1	1	0	0	
1	1	1	0	
1	1	1	1	kod Johnsona
0	1	1	1	
0	0	1	1	
0	0	0	1	
0	0	0	0	

Liczniki liniowe (Taktyczne)



Zapewnia zgodnie wybrane bity, przetwarzane przez jakaś funkcję logiczną

Generator liczb pseudosłosowych
(lepszy dla dłuższych słów)

Liczniki bardzo często buduje się z rejestrów

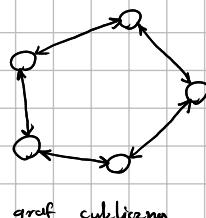
Liczniki - automat opisany przez graf cykliczny

Liczniki zliczające impulsy wejściowe

- synchroniczne (równoległe)
- asynchroniczne (szeregowo)

Liczniki zliczające cykle zegara

- Timery



- Następstwowe $\rightarrow 1, 2, 3, 4 \dots$
- Poprzednictwo $\rightarrow 4, 3, 2, 1 \dots$
- Rewersywne \rightarrow kierunek definowany przez wejście

Realizacja liczniaka synchronicznego nastepstwowego na przesuwnikach T

Tabela przejść

$Q_2 Q_1 Q_0$	x	0	1
000	000	001	
001	001	010	
010	010	011	
011	011	100	
100	100	101	
101	101	110	
110	110	111	
111	111	000	

Mapy Karnaugha funkcji wzbudzeń dla przesuwników T
(dla kolejnych bitów stanu wyjściowego)

$Q_2 Q_1 Q_0$	x	0	1
000	000	00	
001	001	00	
011	011	01	
010	010	00	
110	110	00	
111	111	01	
101	101	00	
100	100	00	

$Q_2 Q_1 Q_0$	x	0	1
000	000	00	
001	001	01	
011	011	01	
010	010	00	
110	110	00	
111	111	01	
101	101	01	
100	100	00	

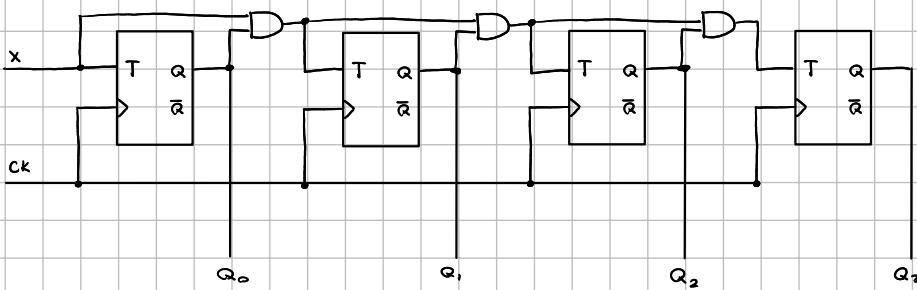
$Q_2 Q_1 Q_0$	x	0	1
000	000	01	
001	001	01	
011	011	01	
010	010	01	
110	110	01	
111	111	01	
101	101	01	
100	100	01	

$$T_2 = x Q_1 Q_0$$

$$T_1 = x Q_0$$

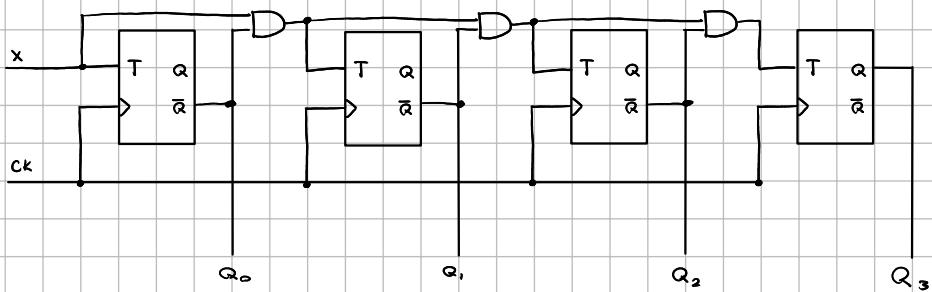
$$T_0 = x$$

$$T_i = x Q_0 Q_1 \dots Q_{i-1}$$

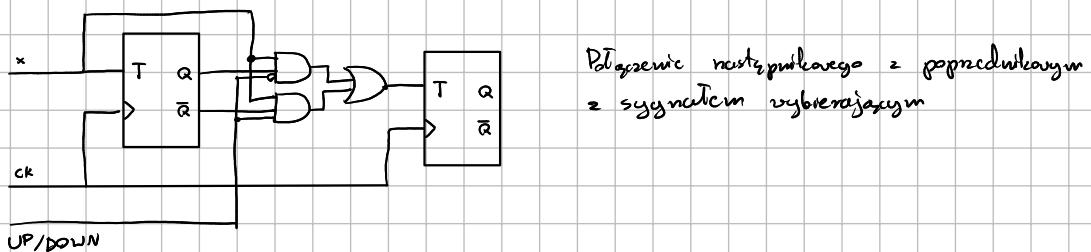


Analogicznie można zrobić licznik poprzednikowy

$$T_i = x \bar{Q}_0 \bar{Q}_1 \dots \bar{Q}_{i-1}$$

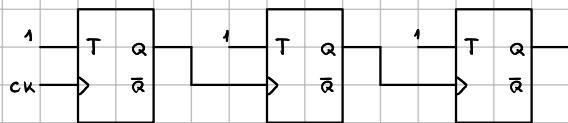


Licznik reverzyjny

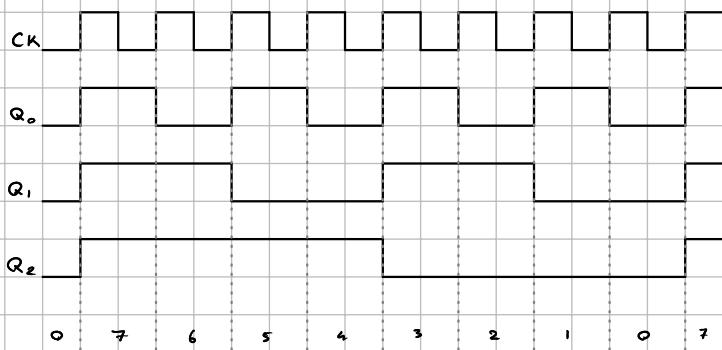


Potęgować następstwego z poprzednika
z sygnałem wybierającym

Licznik szeregowy poprzednikowy (asynchroniczny)



Każdy kolejny blok zmienia się
z 2 razy dłuższym czasem



Opoźniania wynikające z czasu propagacji powodują efekt przy asynchronicznym odczycie

Częstotliwość graniczna licznika

Maksymalna częstotliwość sygnału zegarowego, przy której licznik przyjmuje kolejno rzadne stany.

Najniższy zegar, przy którym licznik nadaje

Dla licznika równoległego
 $T_{\text{min}} \approx \tau$

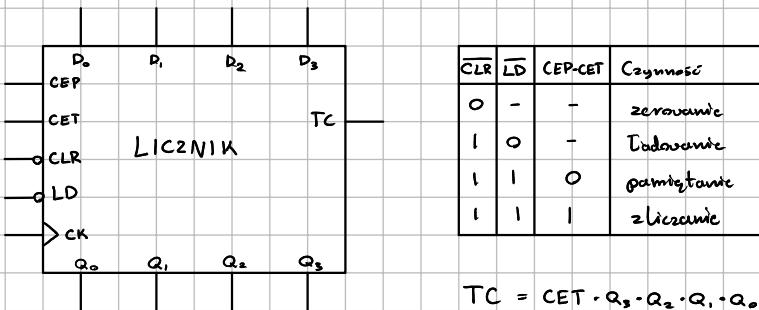
Dla licznika szeregowego
 $T_{\text{min}} = n \cdot \tau$

τ - czas propagacji

Wejścia i wyjścia liczników synchronicznych

- wejście dostępu CEP i CET - aktywne 1 (Count Enable Parallel, Count Enable Tristate)
- wejście Taktowania LD - aktywne 0 (Load)
- wejście zerowania CLR - aktywne 0 (Clear)
- wyjście przewietrzenia TC (Terminal Count)

Oznaczenie obstrukcyjnego licznika 4-bitowego

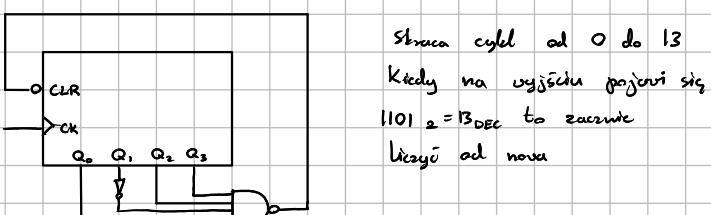


Działanie sygnalizacji TC musi być korelowane z licznikiem
(potęgią dwoi 4-bitowe w siedmiu 8-bitowym)

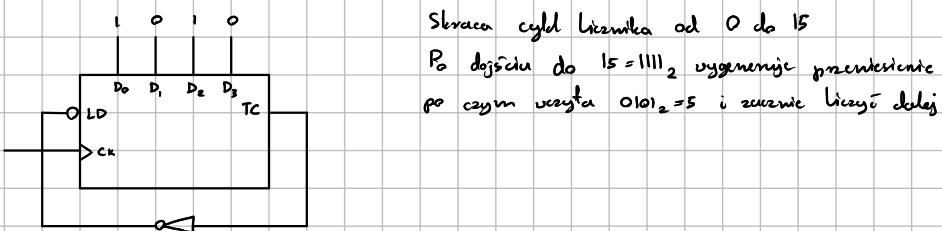
CLR ma najwyższy priorytet

CLR i LD mogą być zrealizowane synchronicznie lub asynchronicznie

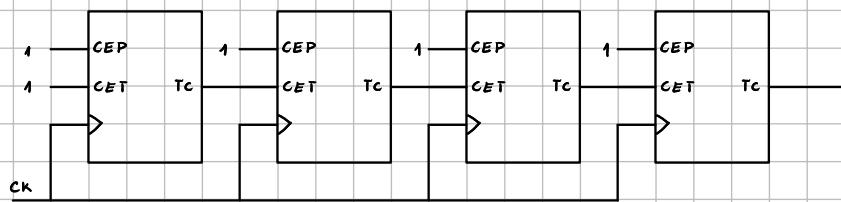
Skracanie cyklu licznika przez CLR



Skracanie cyklu licznika przez LD

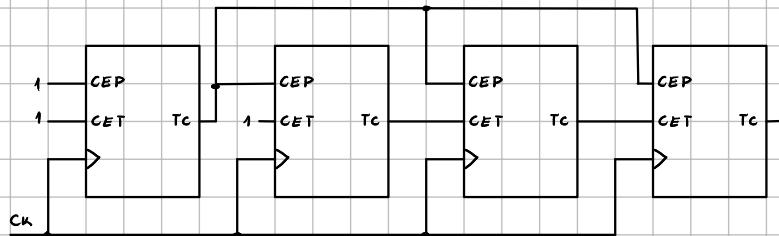


Skladanie liczników



Problematyczne, bo TC musi przeprowadzić przez wszystkie liczniki
a to ogranicza t_{max}

Szybkie połączende liczników



TC ma 16 boków zegara na propagację do ostatniego etapu