

układy kombinacyjne - najszybsze

układy iteracyjne - wolniejsze ale dają dobrą dekompozycję

look up table - ROM - proste, może być droższe

układ sekwencyjny

znacznie wolniejsze

bramkowanie zegara w układach sekwencyjnych

→ problemy

nie należy podawać sterowań na wejście zegarowe bloków sekwencyjnych

a szczególnie sygnałów uprzedzających z ROM

- przy przetwarzaniu stanów pojawiają się szpilki (w pamięci ROM też)

szpilka przetęczy wtedy układ

generalnie nie należy podawać czegoś co generuje szpilki na wejścia asynchroniczne

Wejścia asynchroniczne mogą być

statyczne - bardziej odporne na szpilki

dynamiczne - nieodporne na szpilki (każde wejście zegarowe)

nie można ingerować w sygnał zegarowy - wprowadza się szpilki

System cyfrowy

wejście ACK można wygenerować bezpośrednio z ROM

Każdy sposób ma swoje specyficzne wady i zalety