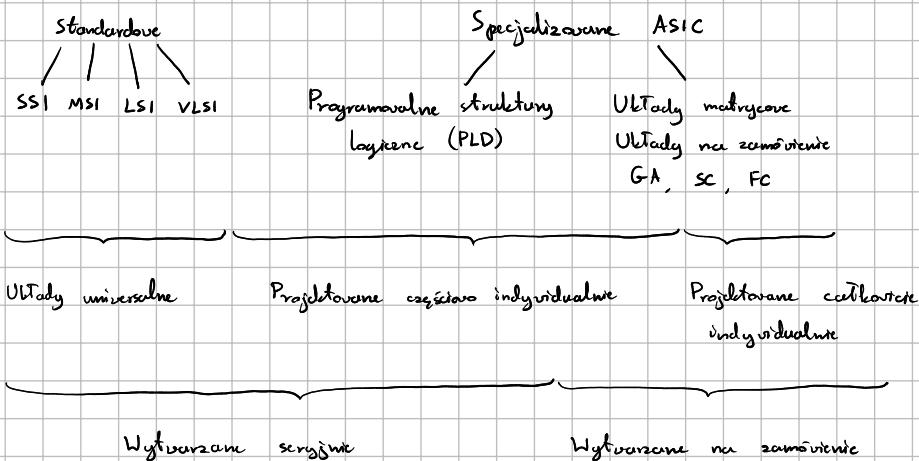


# Układy scalone

## Poziom



SSI Small Scale Integrated Circuit - bramki

MSI Medium Scale Integrated Circuit - bloki funkcyjne

ASIC Application Specific Integrated Circuit

## Układy programowalne

- SPLD Simple Programmable Logic Device - proste układy
- CPLD Complex Programmable Logic Device - złożone układy matrycowe
- FPGA Field-Programmable Gate Array - mniej bramek
- PSOC Programmable System on a Chip

## Programmable Logic Element

Look Up Table  
(PLE/LUT)

Stała matryca iloczynowa (wyciągana)

Programowalna matryca sumująca (wygięta)

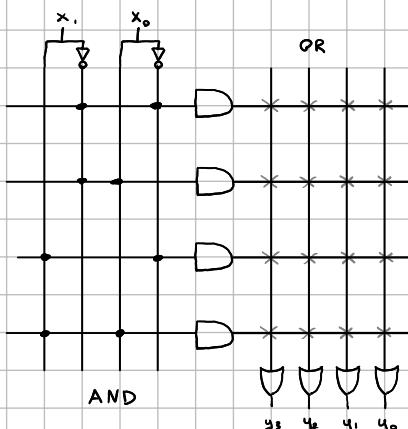
Programowalna postać APN zespołu funkcji

Wykrywanie potencjałów → mniej więcej  $\times$

$$k = 2^n$$

k - liczba iloczynów

n - liczba wejść



## Programmable Array Logic (PAL)

Programowalna matryca AND

Stała matryca OR

Mniej elastyczne od LUT

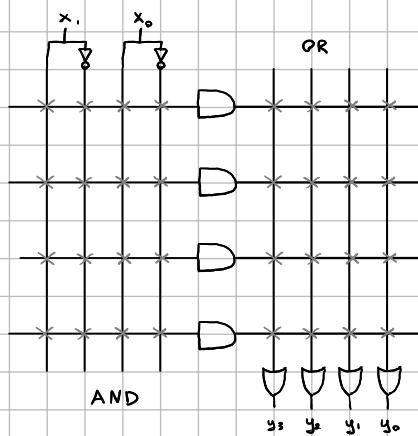
Najpopularniejsze - tanie i wygodne

$$k \ll 2^n$$

## Programmable Logic Array (PLA)

Programowalne matryce AND i OR

Działanie rozwiązań



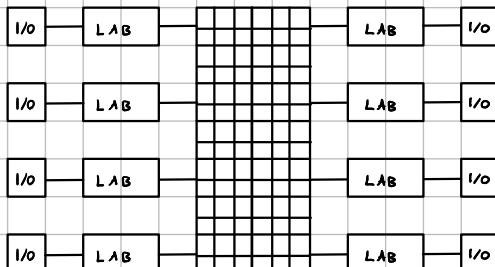
## Complex Programmable Logic Device (CPLD)

LAB - Logic Array Block

realizując funkcje logiczne programowalny

I/O - obciążają wejścia / wyjścia

Blok Tytuły programowalna matryca połączeń



## Field-Programmable Gate Array (FPGA)

CLB - Configurable Logic Block

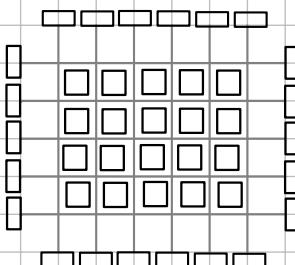
realizując funkcje logiczne programowalne

I/O - bloki wejścia / wyjścia

Struktura tablicowa

Programowalne połączenia między blokami

Elastyczne i wygodne w programowaniu



## Języki opisu sprzętu (HDL)

Hardware Definition Language

- Opisuje projektowanie układu behavioralny - jak działa strukturalny - jak jest zbudowany
- Przenosi wszystko z projektanta na komputer
- Udaje projektowanie i optymalizuje układ
- VHDL, AHDL, Verilog
- Wtór jest językiem programowania
- Ciąg bloków BEGIN...END wykonyuje się w jednej chwili (jednym taktu zegara) można wykonać tylko 1 przypisanie do registeru = 1 taktu nie możliwe jest przypisanie  $a = b + c$