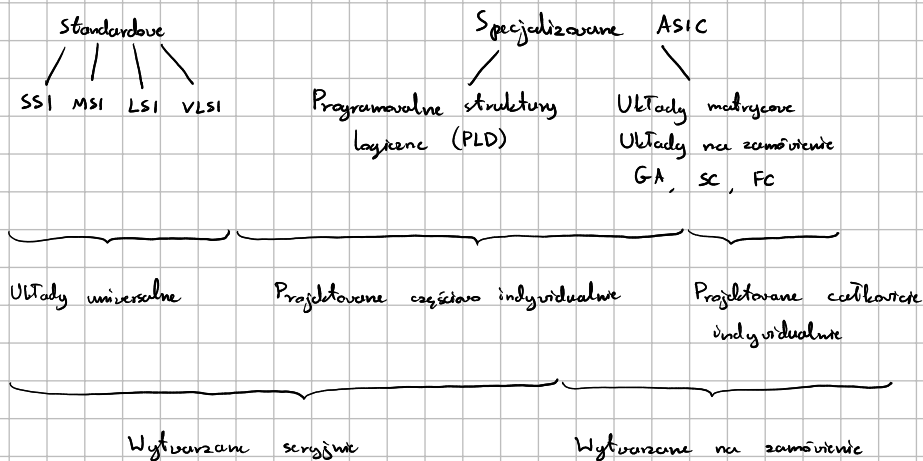


Układy scalone

Podział



SSI Small Scale Integrated Circuit - bramki
MSI Medium Scale Integrated Circuit - bloki funkcjonalne
ASIC Application Specific Integrated Circuit

Układy programowalne

- SPLD Simple Programmable Logic Device - proste układy
- CPLD Complex Programmable Logic Device - złożone układy matrycowe
- FPGA Field-Programmable Gate Array - macierz bramek
- SoC Programmable System on a Chip

Programmable Logic Element

Look Up Table
(PLE/LUT)

Stała matryca iloczynowa (wejściowa)

Programowalna matryca sumowa (wyjściowa)

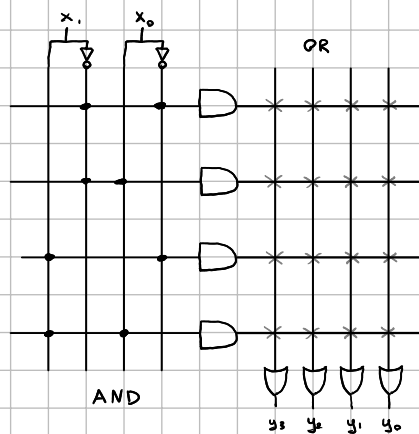
Programowalna postać APN zespołu funkcji

Wygodne połączenia w miejscu \times

$$k = 2^n$$

k - liczba iloczynów

n - liczba wejść



Programmable Array Logic (PAL)

Programowalna matryca AND

Stała matryca OR

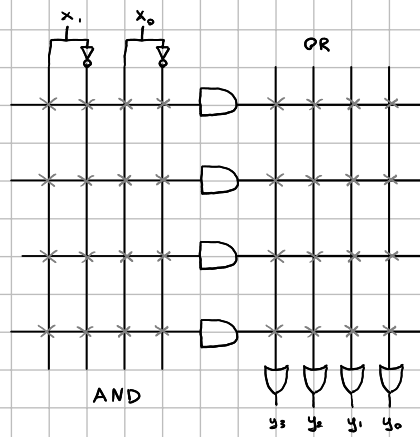
Mniej elastyczne od LUT

Najpopularniejsze - tanie i wygodne

$$k \ll 2^n$$

Programmable Logic Array (PLA)

Programowalne matryce AND i OR
Drozsze rozwiązanie

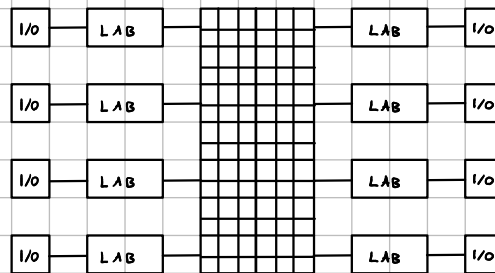


Complex Programmable Logic Device (CPLD)

LAB - Logic Array Block
realizuje funkcje logiczne
programowalne

I/O - obsługa wejścia / wyjścia

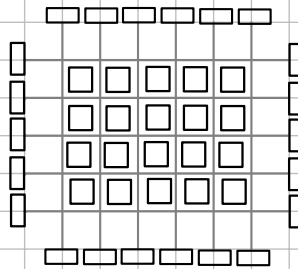
Blok łączący programowalną
matrycę potęgzienn



Field-Programmable Gate Array (FPGA)

□ CLB - Configurable Logic Block
realizują funkcje logiczne
programowalne

□ I/O - bloki wejścia / wyjścia



Struktura tablicowa

Programowalne połączenia między blokami

Elastyczne i wygodne w programowaniu

Języki opisu sprzętu (HDL)

Hardware Definition Language

- Opisuje projektowany układ
 - behavioralny - jak działa
 - strukturalny - jak jest zbudowany
- Przenosi wyniki z projektanta na kompilator
- Ułatwia projektowanie i optymalizację układu
- VHDL, AHDL, Verilog
- nie jest językiem programowania
- cały blok BEGIN...END wykonuje się w jednej chwili (jednym taktie zegara)
 - można wykonać tylko 1 przypisanie do rejestru w 1 taktie
 - nie możliwe jest przypisanie $a = b + c$