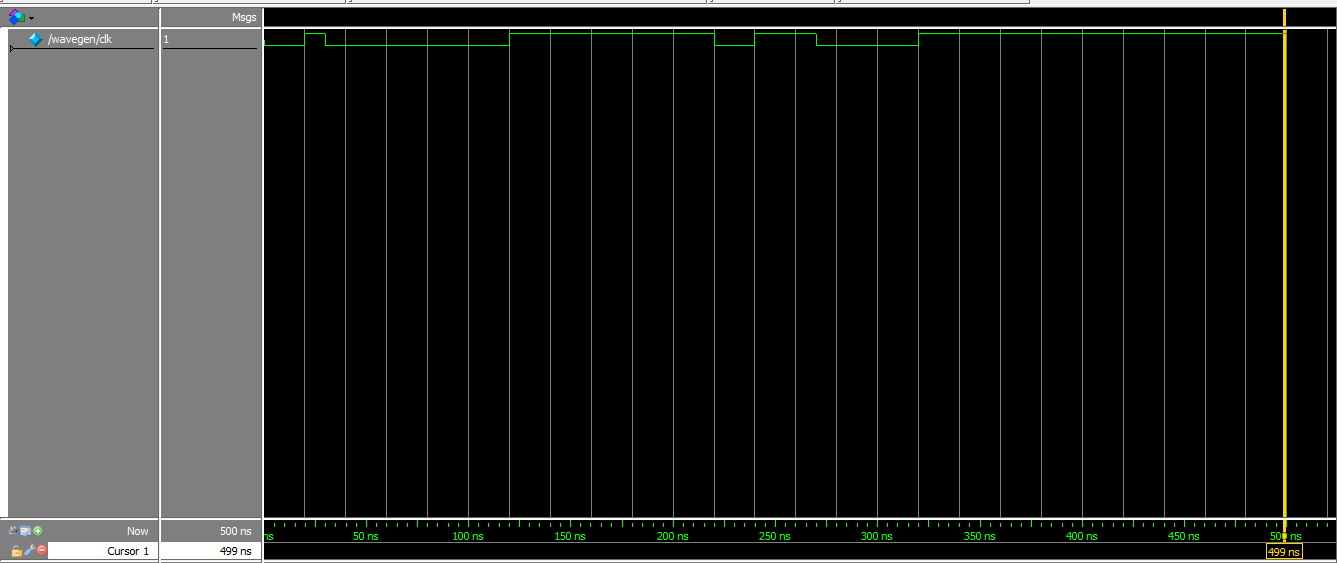
数字系统设计作业

**学号：516030910284 姓名： 马兴华 日期： 2018.11.25**

**第1题：**

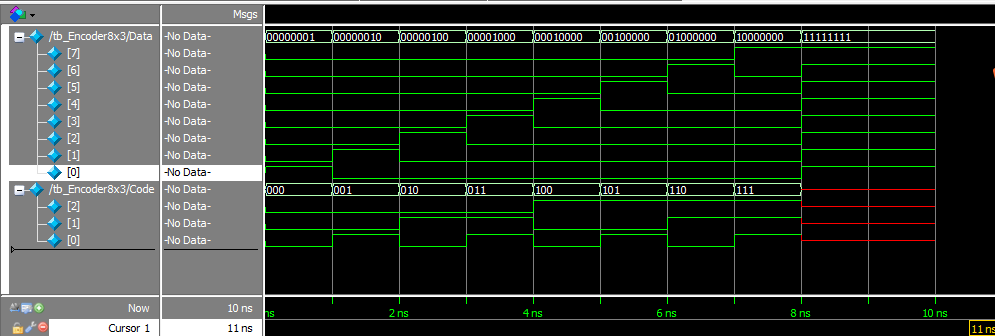
1. **设计模块**
2. `timescale 10ns/1ns
3. module wavegen;
4. reg clk=1'b0;
5. initial
6. begin
7. #2 clk=~clk;
8. #1 clk=~clk;
9. #9 clk=~clk;
10. #10 clk=~clk;
11. #2 clk=~clk;
12. #3 clk=~clk;
13. #5 clk=~clk;
14. end
15. initial
16. #50 $stop;
17. endmodule

**（2）测试波形图**

**（3）使用initial进行阻塞赋值，得到目标波形。**

**第2题：**

1. **设计模块**
2. //File:Encoder8x3.v
3. module Encoder8x3(output reg [2:0]code,input wire [7:0]data);
4. always @(\*)
5. **case**(data)
6. 8'b00000001: code=3'b000;
7. 8'b00000010: code=3'b001;
8. 8'b00000100: code=3'b010;
9. 8'b00001000: code=3'b011;
10. 8'b00010000: code=3'b100;
11. 8'b00100000: code=3'b101;
12. 8'b01000000: code=3'b110;
13. 8'b10000000: code=3'b111;
14. **default**: code=3'bx;
15. endcase
16. endmodule
17. **测试模块**
18. `include "Encoder8x3.v"
19. `timescale 1ns/1ns
20. module tb\_Encoder8x3;
21. reg [7:0]Data;
22. wire [2:0]Code;
23. Encoder8x3 encoder(.data(Data),
24. .code(Code));
25. initial
26. begin
27. Data=8'b00000001;
28. #1 Data=8'b00000010;
29. #1 Data=8'b00000100;
30. #1 Data=8'b00001000;
31. #1 Data=8'b00010000;
32. #1 Data=8'b00100000;
33. #1 Data=8'b01000000;
34. #1 Data=8'b10000000;
35. #1 Data=8'b11111111; //test default
36. end
37. initial
38. #10 $finish;
39. endmodule

**（3）测试波形**

**（4）设计说明:**

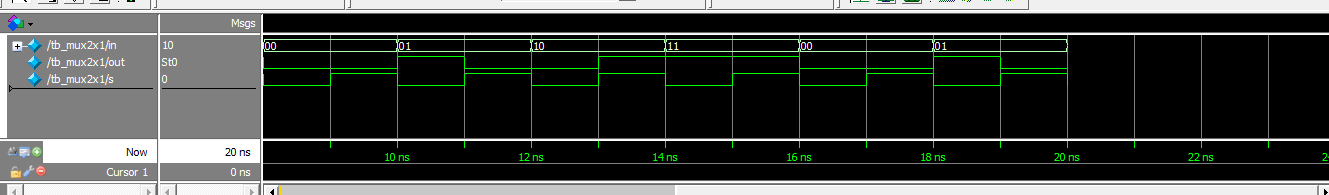
**使用case语句直接进行8选1操作，缺省值设为x**

**第3题：（a）**

1. **设计模块**
2. //File:"mux2x1.v"
3. module mux2x1(dout,sel,din);
4. input [1:0] din;
5. input sel;
6. output dout;
7. bufif1(dout,din[1],sel);
8. bufif0(dout,din[0],sel);
9. endmodule

**（2）测试模块**

1. //File:"tb\_mux2x1.v"
2. `timescale 1ns/1ns
3. `include "mux2x1.v"
4. module tb\_mux2x1;
5. reg [1:0] in=2'b0;
6. wire out;
7. reg s=1'b0;
8. mux2x1 mux(.dout(out),.sel(s),.din(in));
9. initial
10. begin
11. repeat(10)
12. #2 in=in+1;
13. end
14. initial
15. begin
16. repeat(20)
17. #1 s=s+1;
18. end
19. endmodule

**（3）测试波形图**

**（4）设计说明**

**直接使用内置的bufif1和bufif0门原语即可**

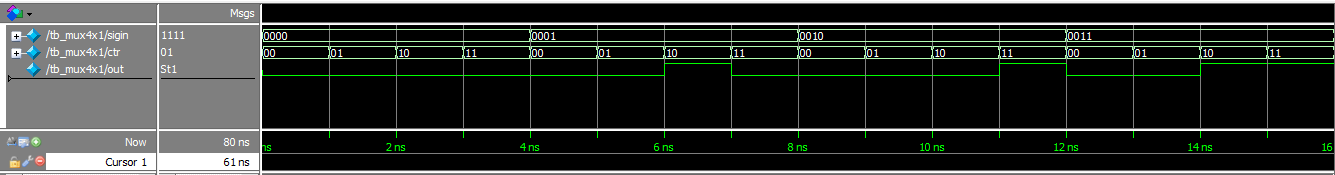
**（b）**

**（1）设计模块**

1. //File "mux4x1.v"
2. `include "mux2x1.v"
3. module mux4x1(dout,sel,din);
4. input[3:0]din;
5. input [1:0]sel;
6. output dout;
7. wire [1:0]middle;
8. mux2x1 mux1(.dout(middle[0]),.sel(sel[0]),.din(din[3:2]));
9. mux2x1 mux2(.dout(middle[1]),.sel(sel[0]),.din(din[1:0]));
10. mux2x1 mux3(.dout(dout),.sel(sel[1]),.din(middle));
11. endmodule

**（2）测试模块**

1. //File tb\_mux4x1.v
2. `include "mux4x1.v"
3. `timescale 1ns/1ns
4. module tb\_mux4x1;
5. reg [3:0]sigin=4'b0;
6. reg [1:0]ctr=2'b0;
7. wire out;
8. mux4x1 mux(.dout(out),.sel(ctr),.din(sigin));
9. initial
10. begin
11. repeat(20)
12. #4 sigin=sigin+1;
13. end
14. initial
15. begin
16. repeat(80)
17. #1 ctr=ctr+1;
18. end
19. endmodule

**（3）测试波形图**

**（4）设计说明**

**ctr是控制信号，10选择sigin[0]，11选择sigin[1],00选择sigin[2]，01选择sigin[3]**

**第4题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第5题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

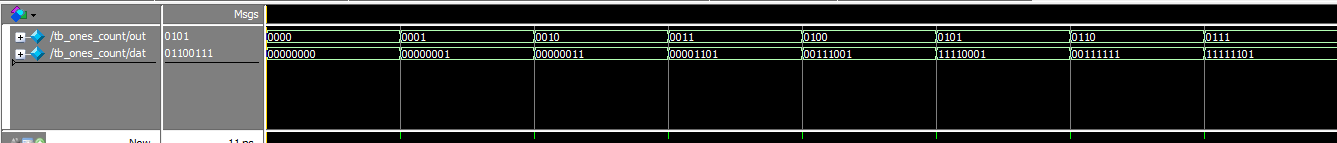
**第6题：**

**（1）设计模块**

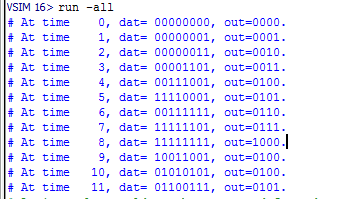
1. //File ones\_count.v
2. module ones\_count(count,dat\_in);
3. output [3:0]count;
4. input [7:0]dat\_in;
5. assign count=dat\_in[0]+dat\_in[1]+dat\_in[2]+dat\_in[3]+dat\_in[4]+dat\_in[5]+dat\_in[6]+dat\_in[7];
6. endmodule

**（2）测试模块**

1. //File tb\_ones\_count.v
2. `include "ones\_count.v"
3. `timescale 1ns/1ns
4. module tb\_ones\_count;
5. wire [3:0]out;
6. reg [7:0]dat;
7. ones\_count ones(.count(out),.dat\_in(dat));
8. initial
9. begin
10. dat=8'b0;
11. #1 dat=8'b00000001;
12. #1 dat=8'b00000011;
13. #1 dat=8'b00001101;
14. #1 dat=8'b00111001;
15. #1 dat=8'b11110001;
16. #1 dat=8'b00111111;
17. #1 dat=8'b11111101;
18. #1 dat=8'b11111111;
19. #1 dat=8'b10011001;
20. #1 dat=8'b01010101;
21. #1 dat=8'b01100111;
22. end
23. initial
24. $monitor( "At time %4t, dat= %b, out=%b.",$time, dat,out);
25. endmodule

**（3）测试波形图**

**（4）显示输出**



**（5）设计说明**

**使用数据流建模方式，利用连续赋值语句将dat­\_in的8位相加，即可得到1的个数。**

**第7题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第8题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第9题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第10题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第11题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第12题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第13题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第14题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第15题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**

**第16题：**

**（1）设计模块**

**（2）测试模块**

**（3）测试波形图**

**（4）显示输出**

**（5）设计说明**