# Elektronische Bauelemente: MOS-Transistor

Dies ist eine interaktive Oberfläche zur Erkundung verschiedener Zusammenhänge des MOS-Transistors auf Basis der Vorlesung

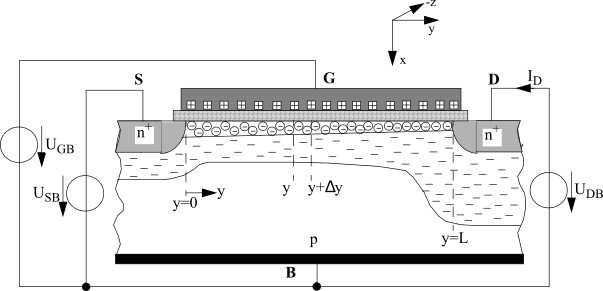
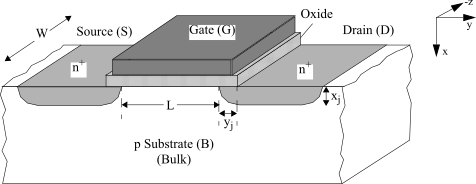
## Structur

Fig. 1(a) zeigt den schematischen Querschnitt eines n-Kanal MOS-Transistors mit für nach folgende Analyse wichtigsten Abmessungen:

\* Die (metallurgische) Kanallänge L ist durch den Abstand der pn-Übergänge von Source (S) und Drain (D) an der Silizium-Oberfläche unter dem Gate (G) definiert.

\* Die S-/D-Zonen sind bei einem n-Kanal-Transistor $n^+$-dotiert und dienen zum elektrischen Anschluss des Kanals. Die Eindringtiefe der Zonen und der damit verbundene pn-Übergang zum Substrat ist mit $x\_{\rm{j}}$ bezeichnet. Die laterale Erstreckung dieser Zonen (Unterdiffusion) unter das Gate, $y\_{\rm{j}}$, bestimmt die Kanallänge. Die Überlappung des Gates über die S/D-Zonen ist erforderlich für die Funktionsweise eines MOS-Transistors!

\* Die Kanalweite W erstreckt sich in z-Richtung.



(a) (b)

Fig. 1: (a) Schematischer Querschnitt eines n-Kanal MOS-Transistors and (b) Vorspannung eines n-Kanal MOS-Transistors mit bulk als Referenzelektrode.

## Biasing

Dazu ist in Fig. 1(b) die übliche Vorspannung eines n-Kanal (nMOS) Transistors gezeigt, wobei das Substrat (Bulk) aus Symmetriegründen als Referenz gewählt wurde.

\* Die Spannung $U\_{\rm{GB}}$ zwischen Gate und bulk ist positiv, um Elektronen an die Oberfläche zu ziehen und dort eine Inversion zu bewirken.

\* Die Spannungen $U\_{\rm{SB}}$ und $U\_{\rm{DB}}$ über den pn-Übergängen zwischen SB und DB sind größer oder gleich Null, so dass die Übergänge gesperrt sind und ein Stromfluss über die entsprechenden Raumladungszonen verhindert wird.

\* Die Raumladungszonen des SB- und DB-Übergangs gehen in die Verarmungszone unterdem Gate über, die durch die Spannung $U\_{\rm{GB}}$ (s. MIS-Struktur) gebildet wird.

\* Das Koordinatensystem ist für die Stromberechnung gezeichnet. Gemäß der technischen Konvention wird $I\_{\rm{D}}$ positiv gezählt.

In dieser Demonstration wird die Quelle als Referenz mit $U\_{\rm{S}}$ = 0 betrachtet und die Gate-, Drain- und Bulk-Spannungen werden als $U\_{\rm{GS}}$, $U\_{\rm{DS}}$ und $U\_{\rm{SB}}$ bezeichnet.

## Schwell- und Sättigungsspannung

Zwei Spannungen definieren verschiedene Bereiche der MOS-Operation

### Threshold voltage (gate-source extrapolated)

Die Schwellenspannung $U\_{\rm{th}}$ wird als die Gatespannung verteidigt, bei der MOS-Transistoren zu leiten beginnen (in diesem vereinfachten Modell). Sie hängt von der Bulk-Spannung und den Struktur- und Materialparametern ab, wie sie durch

$$U\_{\rm{th}} = U\_{\mathrm{th0}} + \gamma\left(\sqrt{\phi\_{h} - U\_{\rm{SB}}} - \sqrt{\phi\_{h}}\right)$$

wobei $U\_{\rm{th0}}=0.7\;\rm{V}$ die Schwellenspannung bei $U\_{\rm{SB}}=0\;\rm{V}$ und $\gamma$ der <i>"Körpereffekt-Koeffizient"</i> ist und gegeben ist durch

$$\gamma=\frac{1}{\bar{C\_{ox}}}\sqrt{2\epsilon\_0 \epsilon\_{r,si}qN\_{\rm{A}}^{-}}$$.

$\bar{C\_{ox}}$ ist die Oxidkapazität pro Flächeneinheit, $\epsilon\_0$ ist die Freiraumzulässigkeit, $\epsilon\_{r,si}$ ist die relative Zulässigkeit des Siliziums und $N\_{\rm{A}}^{-}$ ist die Akzeptorkonzentration des p-Typ-Substrats. Die Oxidkapazität $\bar{C\_{ox}}$ ist gegeben durch

$$\bar{C\_{ox}}=\frac{\epsilon\_0 \epsilon\_{r,ox}}{d\_{ox}}$$

wobei $\epsilon\_{r,ox}$ die relative Permittivität des Gate-Oxids (hier $\mathrm{SiO}\_2$) und $d\_{ox}$ die Oxiddicke ist. $\phi\_{h} \ge 2\phi\_{F}$ und das Fermi-Potential $\phi\_{F}$ ist gegeben durch

$$\phi\_{F} = U\_{\rm{T}}\ln\left|\frac{N\_{\rm{A}}^{-}}{n\_{\rm{i}}}\right|$$.

Hier ist $U\_{\rm{T}} = 25,9\;\rm{mV}$ die thermische Votlage und $n\_{\rm{i}}=1,45 \ mal 10^{10} \rm{cm}^{-3}$ ist die intrinische Ladungsträgerkonzentration (bei 300 K).

### Saturation voltage

Die Sättigungsspannung $U\_{\rm{DS,sat}}$ ist definiert als die Drain-Spannung, bei der MOS-Transistoren vom linearen Bereich in den Sättigungsbereich übergehen. Die Definition jeder Region und der Ausdruck für den Drainstrom in jeder Region werden weiter unten diskutiert. Ähnlich wie die Schwellenspannung hängt die Sättigungsspannung von den Struktur- und Materialeigenschaften sowie von der Gate-Source-Spannung und der Bulk-Spannung ab. Sie ist gegeben durch

$$U\_{\rm{DS,sat}}=\frac{U\_{\rm{GS}}-U\_{\rm{th}}}{1+a\_{th}}$$

wobei $a\_{th}$ die Steigung von $-\bar{Q\_d}/\bar{C\_{ox}}$ gegenüber dem Kanalpotential $V\_C$ ist, und sie ist gegeben durch

$$a\_{th} = \left.\frac{d(-\bar{Q\_d}/\bar{C\_{ox}})}{dV\_{c}}\right|\_{V\_{c0}=U\_{\rm{SB}}} = \frac{\gamma}{2\sqrt{\phi\_{h}+U\_{\rm{SB}}}}$$

Probieren Sie die Schieberegler für die Oxiddicke und die Akzeptorkonzentration aus und betrachten Sie die Änderungen der Haltespannung und der Sättigungsspannung

## Drainstrom

Der Drainstrom in MOS-Transistoren ist definiert als

$$I\_{\rm{D}} = \left\{\begin{array}{ll}

0, & \text{für } U\_{\rm{GS}} \le U\_{\rm{th}}\\

k'\_{n}\left[(U\_{GS}-U\_{th})U\_{DS} - (1+a\_{th})\frac{U\_{DS}^2}{2}\right], & \text{für } U\_{\rm{GS}} > U\_{\rm{th}},U\_{\rm{DS}}\le U\_{\rm{DS,sat}}\\

k'\_{n}\left[\frac{1-k\_{clm}}{2(1+a\_{th})}(U\_{\rm{GS}}-U\_{\rm{th}})^2 + \frac{k\_{clm}}{2}(U\_{\rm{GS}}-U\_{\rm{th}})U\_{\rm{DS}}\right], & \text{für } U\_{\rm{GS}} > U\_{\rm{th}},U\_{\rm{DS}} > U\_{\rm{DS,sat}}

\end{array}\right.$$

Sie hängt von den Strukturparametern wie Kanalbreite $W$ und Kanallänge $L$ und den Materialparametern wie Elektronenbeweglichkeit $\mu\_{n}$ und der Oxidkapazität $\bar{C\_{ox}}$ ab. Diese Parameter sind in $k'\_{n}$ enthalten, die gegeben sind durch

$$k'\_{n}=\frac{W}{L}\mu\_{n}\bar{C\_{ox}}$$

Für die Zwecke dieser Demonstration und der allgemeinen Anwendbarkeit dieser Gleichungen nur für Langkanal-MOSFETs $(L \ge 1\;\rm{\mu m})$ wird die Kanallänge mit 1 µm angenommen. Die Elektronenmobilität $\mu\_{n}$ hängt von der Akzeptorkonzentration $N\_{\rm{A}}^{-}$ im p-Typ-Substrat ab. Der in der Vorlesung diskutierte Kanallängenmodulationseffekt wird durch $k\_{clm}$ modelliert und ist gegeben durch

$$K\_{clm}=\frac{U\_{\rm{DS,sat}}}{U\_{\rm{A}}+U\_{\rm{DS,sat}}}$$

wobei $U\_{\rm{A}}$ die early Spannung ist und für die Zwecke dieser Demonstration als 50 V betrachtet wird.

## Kleinsignal parameters

Die Kleinsignal-Leitfähigkeitsparameter definieren die kleine Änderung des Drainstroms in Bezug auf die kleine Änderung der Klemmenspannung. Sie sind

### 1. Kleinsignal-Ausgangsleitwert

$$g\_{\rm{ds}} = \left.\frac{\partial I\_{\rm{D}}}{\partial U\_{\rm{DS}}}\right|\_{U\_{\rm{GS}},U\_{\rm{SB}}}$$

### 2. Kleinsignal-Steilheit

$$g\_{\rm{m}} = \left.\frac{\partial I\_{\rm{D}}}{\partial U\_{\rm{GS}}}\right|\_{U\_{\rm{DS}},U\_{\rm{SB}}}$$

### 3. Kleinsignal Bulk Steilheit

$$g\_{\rm{mb}} = \left.-\frac{\partial I\_{\rm{D}}}{\partial U\_{\rm{SB}}}\right|\_{U\_{\rm{GS}},U\_{\rm{DS}}} = \left(\frac{\partial I\_{\rm{D}}}{\partial U\_{\rm{th}}}\right)\left(-\frac{\partial U\_{\rm{th}}}{\partial U\_{\rm{SB}}}\right)$$

Ändern Sie nun die unten stehenden Schieberegler, um die Verzerrung der Ausgangs- und Übertragungseigenschaften sowie der Kleinsignal-Leitfähigkeitsparameter zu betrachten. (Der Punkt in der Darstellung $I\_{\rm{D}}(U\_{\rm{GS}})$ bezeichnet die Schwellenspannung $U\_{\rm{th}}$)