

第一届全国大学生集成电路创新创业大赛（邀请赛）

章程

一、概况

1.1 大赛背景和宗旨

集成电路是信息技术产业的核心，是支撑经济社会发展和保障国家安全的战略性、基础性和先导性产业，在国民经济关键领域中起着关键作用。为贯彻落实国家集成电路发展战略重要部署，服务我国集成电路产业发展大局，创新集成电路产业人才培养模式，为集成电路产业提供大批优秀的后备人才，工业和信息化部人才交流中心决定举办全国大学生集成电路创新创业大赛。

“全国大学生集成电路创新创业大赛”以促进我国集成电路产业人才培养质量为目标，将行业发展需求融入教学过程，提升在校大学生和研究生创新实践能力和工程素质，打造校企合作新平台，营造良好的产学研用氛围，助力我国集成电路产业健康快速发展。

1.2 大赛特色

1.2.1 紧密围绕产业发展方向

大赛以服务产业发展需求为导向，聚焦重点发展领域，创新人才培养方式，使高校人才培养与行业人才发展需求相对接，集聚一批优秀的行业企业资源，充分发挥企业在大赛中的积极作用。

1.2.2 健全行业人才培养体系

大赛主办方（工业和信息化部人才交流中心）将建立面向高校集成电路人才的培养体系，健全集成电路人才培养模式。（1）通过竞赛提升学生的创新和动手能力；（2）联合国内外优秀企业，开发优质课程和实践培训资源，组织学生参加培训学习，提升专业技术水平；（3）结合企业需求，为学生提供参与企业课题研究的机会。

1.2.3 获奖者支持计划

在全国总决赛中获奖的学生有机会获得如下支持：（1）获得相应名次的奖金及奖品；（2）获得企业直接面试实习或就业的机会；（3）获得创业孵化的支持；（4）参加集成电路行业人才推介会。

二、组织构架

2.1 组织架构

主办单位：工业和信息化部人才交流中心

协办单位：国家示范性微电子学院产学研融合发展联盟

支持单位：Xilinx、ADI、ARM、中星微电子集团

2.2 大赛组委会

全国大学生集成电路创新创业大赛组委会设在工业和信息化部人才交流中心，负责全国范围内的大赛组织工作。

大赛组委会主任由国务院参事、国家信息化专家咨询委员会主任、原信息产业部副部长曲维枝同志担任。

大赛首席科学家由中国工程院邓中翰院士担任。

2.3 全国专家委员会

大赛全国专家委员会顾问由严晓浪教授担任。

大赛全国专家委员会由高校专家和企业专家共同组成：9 所示范性微电子学院、17 所筹备建设的示范性微电子学院有关负责人及大赛支持企业专家各 1 人，负责把握赛题方向、大赛章程、验收评审等工作。

三、比赛题目及评审标准

【题目一】Xilinx 哈夫曼编码

1. 设计要求

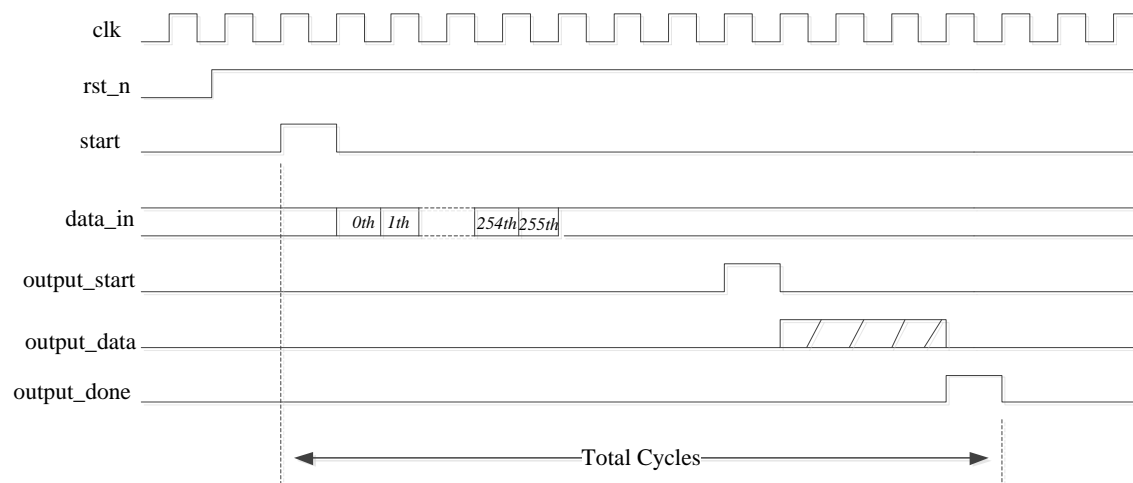
要求对一段数据序列进行哈夫曼编码，使得平均码长最短，输出各元素编码和编码后的数据序列。

- (1) 组成序列的元素是[0-9]这 10 个数字，每个数字其对应的 4 位二进制数表示。比如 5 对应 0101，9 对应 1001。
- (2) 输入数据序列的长度为 256。
- (3) 先输出每个元素的编码，然后输出数据序列对应的哈夫曼编码序列。

2. 电路接口

RTL 级代码顶层模块名统一为 HuffmanCoding，可参考电路接口与时序如下：(可以根据自身设计需求，对电路接口进行修改)

```
module HuffmanCoding(  
    input wire          clk,  
    input wire          rst_n,  
    input wire [3:0]    data_in,  
    input wire          start,  
    output wire         output_data,  
    output wire         output_start,  
    output wire         output_done  
);
```



(1) 复位之后，当 **start** 信号高有效后开始连续输入 256 个数据序列，**data_in** 数据宽度为 4，输入需要 256 个时钟周期。

(2) 经过运算后，**output_start** 信号高有效后，开始输出结果 **output_data**。**output_data** 信号数据宽度是 1，因此输出是二进制序列。最后 **output_done** 高有效说明整个编码过程结束。

(3) **output_data** 数据包含 2 个部分。先输出[0-9]这 10 个数字的哈夫曼编码(具体的输出格式可以自行设定)，然后输出数据序列哈夫曼编码后的序列。

评分标准：

1. TestBench

建议先用 C/C++或者 Matlab 等高级语言实现上述哈夫曼编码设计需求，并以此为基准，作为电路仿真的 TestBench。

2. 电路功能

电路功能的完成情况，包括是否满足设计要求、源代码、仿真程序和文档说明等。要求代码书写规范，可读性强。**严禁抄袭**，如果需要使用第三方 IP 或者借鉴其他人的部分源码，请注明出处。

3. 性能

评价设计的三个性能指标如下：

(1) TotalCycles，即 start 信号与 output_done 之间的时钟周期数。TotalCycles 越小。电路性能越高。

(2) 资源占用率。电路设计完成后，统一使用 Xilinx Vivado 工具，目标器件为 XC7A100T-1CSG324C 进行综合实现，查看对应的硬件资源使用情况。资源使用越少越好。

(3) 时序，即电路能够运行的最高时钟，越高越好。

【题目二】ARM SoC 竞赛

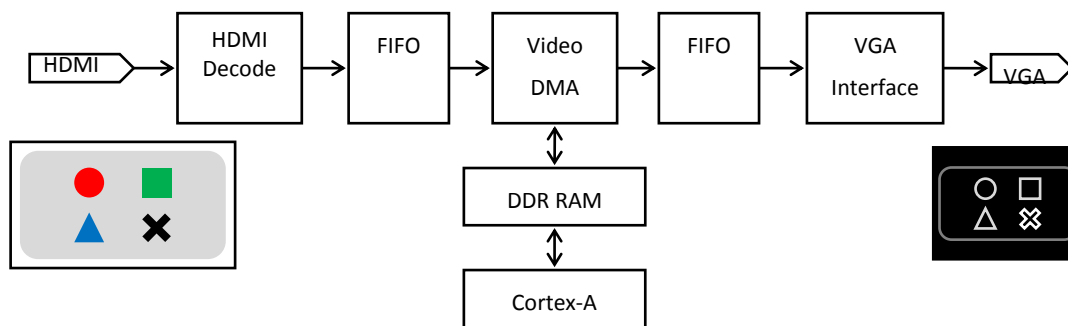


图 1. 硬件系统示意图

利用基于 ARM 处理器的可编程逻辑平台，设计如图所示的片上系统，实现 HDMI 输入、VGA 输出的实时视频处理系统，并运行 Prewitt 算子计算输入视频的二维梯度。

1. HDMI 输入分辨率为 1280×720 ，VGA 输出分辨率为 640×480 ，帧速率均为 60fps 逐行扫描，每个像素的红、绿、蓝通道分别为 1 字节（8 位）数据。系统将 HDMI 输入的图像数据存储在 DDR RAM 中的一个 $1280 \times 720 \times 3$ 字节的帧缓冲区内，同时从另一个 $640 \times 480 \times 3$ 字节的帧缓冲区读取图像数据并输出至 VGA。如果 DDR RAM 的数据接口为 32 位，计算 HDMI 输入和 VGA 输出分别需要占用的存储器带宽。

2. CPU 完成 Prewitt 算子计算的基本过程是：顺序扫描输出图像中的每个点，设坐标为 $(x/2, y/2+60)$ ，找到在输入图像中对应的点 (x, y) ，CPU 从输入图像缓冲区中读取附近 8 个点的数据，并计算它们的灰度

$$A = \begin{bmatrix} A_{x-1,y-1} & A_{x,y-1} & A_{x+1,y-1} \\ A_{x-1,y} & * & A_{x+1,y} \\ A_{x-1,y+1} & A_{x,y+1} & A_{x+1,y+1} \end{bmatrix},$$

则该点在 x 、 y 方向的一阶梯度分别为

$$G_x = \begin{bmatrix} -1 & 0 & +1 \\ -1 & 0 & +1 \\ -1 & 0 & +1 \end{bmatrix} * A, G_y = \begin{bmatrix} -1 & -1 & -1 \\ 0 & 0 & 0 \\ +1 & +1 & +1 \end{bmatrix} * A。$$

输出点的灰度为两个方向梯度的均方根：

$$G = \sqrt{G_x^2 + G_y^2}。$$

CPU 将计算结果 G 加以适当增益后，写入输出图像缓冲区的红、绿、蓝通道。输出图像上下空白处用黑色填补。

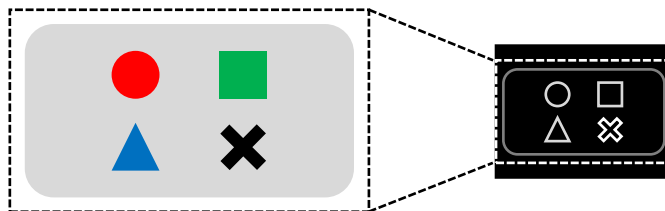


图 2. 输入、输出图像像素对应

考虑 Prewitt 算子计算每个输出图像中的点时，需要 8 个输入图像中的点的数据。根据你使用的硬件平台性能参数，计算并验证 DDR RAM 存储器带宽是否满足 60fps 实时处理的需求。

3. 在硬件平台上实现该系统，并编写 ARM 处理器的程序，在不使用操作系统的情况下，仅由 CPU 完成 Prewitt 算子的计算。借助 GPIO 输出，观察 CPU 计算 1 帧输出图像需要的时间。

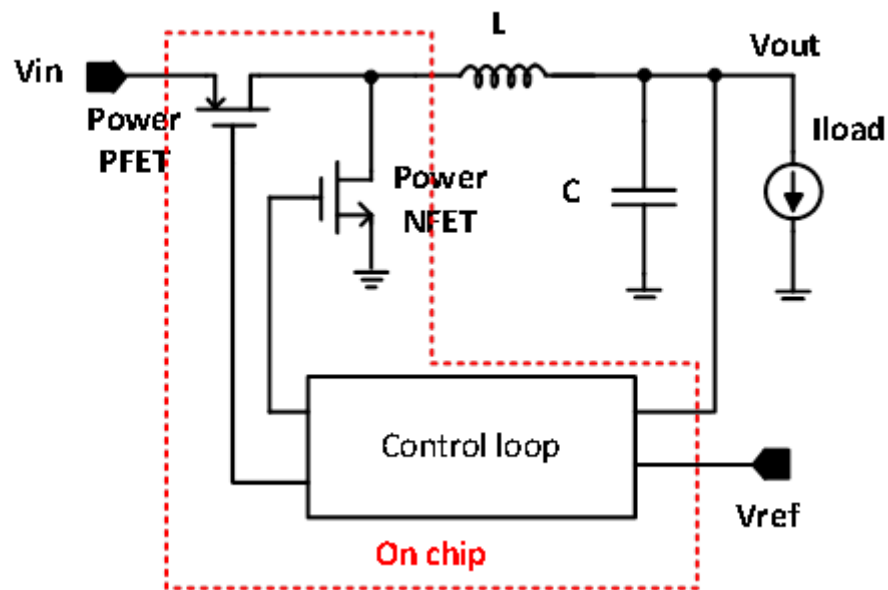
4. 利用 ARM 处理器中的 NEON 加速引擎，可以同时运行多个计算。编写程序使用 NEON 引擎完成这样的并行计算，以加速 Prewitt 算子的计算过程，

观察计算 1 帧输出图像需要的时间，与没有 NEON 引擎参与的情形对比并简要分析结果。

评分标准：

1. 计算得到合理结果；
2. 正确计算 CPU 占用带宽；正确获取实际平台参数并验证实时计算可行或不可行；
3. 实现并能够验证 HDMI 输入至存储器；实现并能够验证存储器输出至 VGA；正确编程实现 Prewitt 梯度算子并观察到边缘梯度图像输出；正确观测到 CPU 计算时间；
4. 正确编程实现 NEON 加速计算；根据对结果的分析，按使用 NEON 引擎加速的效果。

【题目三】ADI DC-DC converter 竞赛



设计一款如图所示结构的降压型直流转换器电路，实现将范围为 2.5V~5V 的输入电压 V_{in} 转化为 1.8V 的固定输出电压 V_{out} 。其中片外无源器件的参数为：电感 $L=0.47\mu H$ （寄生电阻 100mohm），电容 $C=10\mu F$ （寄生电阻 5mohm）。外部基准 $V_{ref}=0.6V$ ，开关频率为 10MHz，最大负载电流为 600mA。

1. 为了使得输出效率在 $V_{in}=3.6V$ ， $I_{load}=300mA$ 时达到最优，根据工艺参数计算功率管 PMOS 与 NMOS 的尺寸，并通过仿真进行验证。
2. 采用纯电压模式实现环路控制，利用 PID 补偿实现 1MHz 的系统单位增益带宽（ $V_{in}=3.6V, I_{load}=300mA$ 时），并保证环路的稳定性。建立系统的小信号控制模型，计算补偿参数，并通过 AC 仿真验证环路的带宽与稳定性。
3. 将整体控制环路通过电路实现，通过仿真得到稳态情况下的电感电流纹波与输出电压纹波值，并与理论值进行比较。
4. 通过仿真得到负载电流在 0 与 600mA 之间进行跳变时，输出电压的 overshoot 和 undershoot 值，并提出可行的优化方案。
5. 分析控制环路的静态电流，并提出可行的优化方案。
6. 采用电流模式实现环路控制，利用 PI 补偿实现 1MHz 的系统单位增益带宽（ $V_{in}=3.6V, I_{load}=300mA$ 时）。建立系统的小信号控制模型，计算补偿参数，并通过 AC 仿真验证环路的带宽与稳定性。
7. 实现电流采样电路，并通过仿真验证其采样精度。

评分标准：

1. 分析影响效率因素及损耗来源，提出优化方案，并通过计算和仿真验证。
2. 画出环路框图，给出小信号模型，并进行环路分析，选择正确的补偿形式，分析计算补偿网络的 RC 值，带宽与相位裕度。通过仿真验证。
3. 电路实现，并比较计算和仿真结果，能进行合理的分析。
4. 提出可行性方案，并且电路实现。
5. 电路功耗优化一半以上。
6. 给出方案及系统框图，得出小信号模型及计算结果，通过仿真选择合理的电阻电容值。
7. 给出峰值电流的检测方案并设计电路，仿真结果。

【题目四】中星微电子集团 深度学习——卷积神经网络(CNN)优化

设计要求：

在深度学习网络中，卷积层占据着及其重要的地位，因此卷积层算法的优化及其关键。

1. 卷积层一般有若干组（channel）的分辨率相同的输入图像（也称之为 feature map），根据卷积核的大小（例如 3x3，5x5 等）进行卷积运算，输出若干组（channel）分辨率相同的图像。

2. 图像的卷积运算，可以理解为有一个滑动窗口，把权重与对应的输入图像像素的值进行乘加运算。

3. 卷积的具体公式如下，其中： kw 为单个卷积核的水平宽度， kh 为单个卷积核的垂直高度， sw 为水平方向的滑动窗口 step， sh 为垂直方向的滑动窗口 step。 xn 表示输入图像的 channel 数， $o(n,i,j)$ 表示第 n 个输出图像内 (i,j) 的输出值， $x(m,i,j)$ 表示第 m 个输入图像内 (i,j) 的输入值， $w(n,m,u,v)$ 表示 weight 的值， n 对应输出图像的 channel， m 对应输入图像的 channel， u 和 v 表示对应单独卷积核的位置。

$$o(n,i,j) = \sum_{m=0}^{xn-1} \left(\sum_{v=0}^{kh-1} \left(\sum_{u=0}^{kw-1} w(n,m,u,v)x(m,u+i*sw,v+j*sh) \right) \right)$$

4. 将上述算法在硬件平台上实现并优化，主要考虑总线带宽，内部缓存，Pipeline 设计，计算单元等因素，给出不同缓存下，总线带宽计算公式和典型案例下的数据。

5. 给出 100G MAC 加速单元的架构、框图和整体的 Pipeline 设计。

6. 输入图像和输出图像的 channel 数目一般比较大，可达到 1024，图像的分辨率一般为 150x150。

评分标准：

1. 计算得出正确的结果，建议先使用 C/C++，matlab 或 python 等语言实现上述算法。

2. 提出硬件实现可行性方案，给出实现原理框图，要突出优化的过程，主要从占用带宽、内存缓存、Pipeline 设计和计算速度等方面考虑。

四、参赛对象

9 所示范性微电子学院、17 所筹备建设的示范性微电子学院电子电气相关专业（电子、信息、计算机、自动化等）的在校本科生和硕士研究生。学生自行组队，每队人数为 3 人。分本科生组和硕士研究生组，团队中如有 1 人是硕士研究生，则该队划入硕士研究生组。

五、赛程安排

5.1 时间安排

(1) 报名时间及初赛选拔时间：2016 年 11 月-2017 年 3 月 15 日，报名截止日期：2017 年 3 月 15 日。（报名材料详见 5.3）

学院/学校自行组织校内选拔，作为大赛的初赛选拔赛环节，组委会不再统一组织初赛，并按照组委会配额择优推荐进入全国总决赛；如学院/学校需要，可与组委会联系出席初赛选拔赛。各学院/学校可将校内选拔情况报组委会，由组委会在大赛官网上进行宣传报道。

(2) 作品准备时间：2017 年 3 月-2017 年 4 月。

(3) 作品验收时间：2017 年 4 月 10 日。各学院/学校在该时间点之前将各赛队设计文档以电子邮件形式报大赛组委会。

(4) 全国总决赛：2017 年 5 月，南京。具体时间、地点另行通知。

5.2 报名名额及方式

(1) 报名要求：每队只可选报 1 个题目，不可重复填报。

(2) 名额：本届大赛采取邀请赛的形式，组委会将报名名额进行了分配，原则上示范性微电子学院每校可报 5 个赛队，筹备建设的示范性微电子学院每校可报 4 个赛队。

(3) 报名方式：以学校/学院为单位统一报名，参赛学校/学院需为每个参赛团队配备一名指导教师。各学院/学校指定 1 名大赛负责人通过邮件进行报名，报名邮箱为：icbaoming@miitec.org.cn。

5.3 报名材料

报名时，需提交如下材料：**报名表（需加盖学校/学院公章）、所有队员身份证复印件、学生证复印件、1 寸证件照**，以上均需要电子扫描版。

作品验收，需提交如下材料：作品设计文档、作品照片 2-5 张、团队成员合照 2 张，以上均需要电子扫描版。

组委会根据大赛专家委员会专家的验收意见，确定入围全国总决赛名单，并发布在大赛网站上。

5.4 参赛费用

本届大赛不收取任何报名费。

选手及指导老师在全国总决赛期间产生的交通、住宿、用餐等费用自理。

六、总决赛管理

6.1 总决赛竞赛方式

大赛总决赛采用现场集中评审的方式进行，包括：演讲汇报、作品演示、现场答辩 3 个环节。参赛团队全部人员必须按组委会通知及时报到，携带好作品相关全部物品。

6.2 总决赛评审

总决赛评审工作由大赛组委会组织评审专家进行评审，评审专家须严格遵守大赛专家委员会制定的评分及考核标准。组委会根据赛题设置评审组，每评审组设组长 1 名，副组长 2 名，评审员若干，由组长负主要责任，每位评审专家的原始评分及评审记录须交由大赛组委会保存。决赛评审结果上报大赛组委会时，须同时提交含评审组每位评审专家签字的各项详细评分记录，否则其评审结果无效。

七、评选办法及奖项设置

7.1 评选办法

按照赛题的评审标准，根据参赛团队在演讲汇报、作品演示、现场答辩 3 个环节的现场表现，由评审组专家现场评分，组委会根据评审分数决定获奖名次，评审组专家由高校专家和企业专家共同组成。

7.2 总决赛奖项设置

全国总决赛按参赛项目和专家评审成绩，为获奖团队、教师和组织单位颁发相应证书和奖励。其中：

7.2.1 参赛团队奖

(1) 根据各评审专家组评审意见，选拔出获奖团队，各赛题均设置一、二、三等奖；

一等奖，占进入总决赛团队数量的 10%，团队奖金 1 万元人民币；

二等奖，占进入总决赛团队数量的 20%，团队奖金 6000 元人民币；

三等奖，占进入总决赛团队数量的 30%，团队奖金 3000 元人民币；

同时，

获得【题目一】总决赛前 3 名的团队学生可获得 Xilinx 面试实习的机会；

获得【题目一】总决赛一、二等奖的团队每队有机会获得 Vivado 软件平台 1 套；

获得【题目二】总决赛一等奖的团队学生可获得 ARM 面试实习/就业的机会；

获得【题目二】总决赛一、二、三等奖的团队每队将获得 zynk 开发板卡 2 块；

获得【题目三】总决赛一、二等奖的团队学生可获得 ADI 面试实习的机会。

(2)所有获奖选手均可获得由工业和信息化部人才交流中心颁发的获奖证书。

7.2.2 教师奖

获得【题目一】总决赛前 10 名获奖团队的指导教师可获得 Zynq 硬件平台。

所有获奖团队的指导教师，均可获得大赛“优秀指导教师”证书。

7.2.3 集体奖

对大赛组织工作成绩突出、经审批符合相关条件的单位，可获大赛“优秀组织单位”奖；

对参赛团队成绩优异、经审批符合相关条件的学校可获大赛“优才培养单位”奖。

八、其他事项

1. 参赛作品严禁抄袭、盗用、提供虚假材料或违反相关法律法规一经发现，将丧失参赛相关权利并自行承担一切法律责任。
2. 大赛期间，组委会所有关于大赛的宣讲会、培训等活动动态均以大赛网站提供，并指定答疑和交流的渠道。
3. 大赛结束后，组委会将整理出版优秀获奖作品文集，大赛组委会与参赛队共同拥有设计文档和作品视频的发布使用权。
4. 全国大学生集成电路创新创业大赛组委会保留对本章程的最终解释权。

全国大学生集成电路创新创业大赛组委会