

硬件组培训大纲

第一部分 FPGA 篇

1、培训简介

FPGA (Field - Programmable Gate Array) , 即现场可编程门阵列, 它是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路 (ASIC) 领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点, 开发者使用 VHDL 或 Verilog 语言进行编程。目前全球知名的 FPGA 生产厂商有 Xilinx、Altera、Actel、Lattice、Atmel 等。

本次培训指定使用 Xilinx(中文译名: 赛灵思)的 FPGA 产品, 开发平台 ISE13.3, 编程语言为 Verilog, 电路图绘制工具 PADS9.0。参加培训的学生可向陈浩申请电路板、FPGA 仿真器、串口转接器, 获取 ISE13.3 软件、PADS9.0 软件、串口调试助手等软硬件资源。申请成功后应妥善保管, 严禁使用期间如非正常损坏或遗失。

- 培训总时间: 6 周
- 培训负责人: 陈浩
- 培训的目标: 让新生掌握基于 FPGA 的图像处理的程序结构, 为后期的算法研究、算法开发、外场调试打下坚实的基础
- 内容的安排:

时间	培训安排	学习要求	考核
第一周	实验 1	熟悉搭建硬件调试环境	考核两次：第三周和第六周 考核方式：对实验内容进行问答和演示
第二周	实验 2	掌握串口通信，学会设计帧结构	
第三周			
第四周	实验 3	精通 IP 核使用方法	
第五周	实验 4	使用状态机实现 YUV 视频编解码的流程	
第六周			

2、基础知识

2.1 赛灵思 FPGA

Xilinx 的主流 FPGA 分为两大类，一种侧重低成本应用，容量中等，性能可以满足一般的逻辑设计要求，如 Spartan 系列；还有一种侧重于高性能应用，容量大，性能能满足各类高端应用，如 Virtex 系列，用户可以根据自己实际应用要求进行选择。在性能可以满足的情况下，优先选择低成本器件。

表 型号说明和使用情况

系列	型号	芯片特点	项目使用情况
Spartan 系列	Spartan-3/3L	90nm 工艺 FPGA，1.2v 内核，于 2003 年开始陆续推出	Q1、16、TTL 等项目使用
	Spartan-3E	基于 Spartan-3/3L，对性能和成本进一步优化	无
	Spartan-6	Xilinx 最新推出的低成本 FPGA。成本低廉，总体性能指标不是很优秀，适合低成本应用场合，是 Xilinx 未来几年在低端 FPGA 市场上的主要产品	无
Virtex 系列	Virtex-II	2002 年推出，0.15um 工艺，1.5v 内核，大规模高端 FPGA 产品	无
	Virtex-II pro	基于 VirtexII 的结构，内部集成 CPU 和高速接口的 FPGA 产品	紫外项目使用
	Virtex-4	采用 90nm 工艺制造，包含三个子系列：面向逻辑密集的设计：Virtex-4 LX，面向高性能信号处理应用：Virtex-4 SX，面向高速串行连接和嵌入式处理应用：Virtex-4 FX	Cameralink、Q1 项目使用
	Virtex-5	65nm 工艺的产品	Cameralink、Y18、207、融合等项目使用
	Virtex-6	45nm 工艺的产品，IO 电压最高为 2.5V	无
	Virtex-7	2011 年推出的超高端 FPGA 产品	无

特注：该小节概括介绍了赛灵思的产品分类和芯片特点，详细资料请参考赛灵思官方网站：www.xilinx.com

2.2 PADS 简介

PADS 软件是 MentorGraphics 公司的电路原理图和 PCB 设计工具软件。目前该软件是国内从事电路设计的工程师和技术人员主要使用的电路设计软件之一，是 PCB 设计高端用户最常用的工具软件。

关于软件的版本号，按时间先后：Powerpcb——PADS2005——PADS2007——PADS9.0——PADS9.1——PADS9.2——PADS9.3——PADS9.4……，注意没有 PADS2009。

我们实验室的前期项目一直使用 PADS2007，最新研发项目使用 PADS9.0。软件向下兼容，只需安装 PADS9.0 即可。

3 实验大纲

3.1 实验 1：嵌入式环境搭建

- 1) 实验目的：建立嵌入式开发的软硬件环境，实现二分频电路
- 2) 实验时间：1 周
- 3) 实验步骤：
 - ✧ 打开原理图和 PCB 文件，比对实际开发板，找到 FPGA、烧写配置电路、晶振、复位、电源芯片(3.3V、2.5V 和核电压)等最小外围电路的位置，并使用万用电表测量电气连接特性，保证关键信号线不短路、不断路。
 - ✧ 根据原理图的网络标识，建立 UCF 文件，为嵌入式开发做准备。
 - ✧ 熟悉开发板的基本功能：SRAM 存储、视频解码(模数转换、LVDS 解码等)、视频编码、串口控制、扩展 IO 等。
 - ✧ 连接 FPGA 仿真器，打开 ISE 软件，进行连接测试，如果下载线正常识别 FPGA 型号，表示硬件开发环境搭建成功。新建工程，然后选择 FPGA 型号、系列、编程语言、速度等选项，添加 TOP 文件和 UCF 文件，Verilog 逻辑实现二分频电路，即 $CLK_OUT = CLK_IN / 2$ ，编译程序并生成 BIT 文件，在线烧写 BIT 文件，使用示波器测量时钟输出频率，并与晶振始终比对。

特注：

- a) 烧写方法见附件
- b) 搭建调试环境举例：

下图以 Q1 为例介绍硬件连接图，调试设备包括：PAL 制相机、监视器、稳压电源和计算机(装有 ISE)。

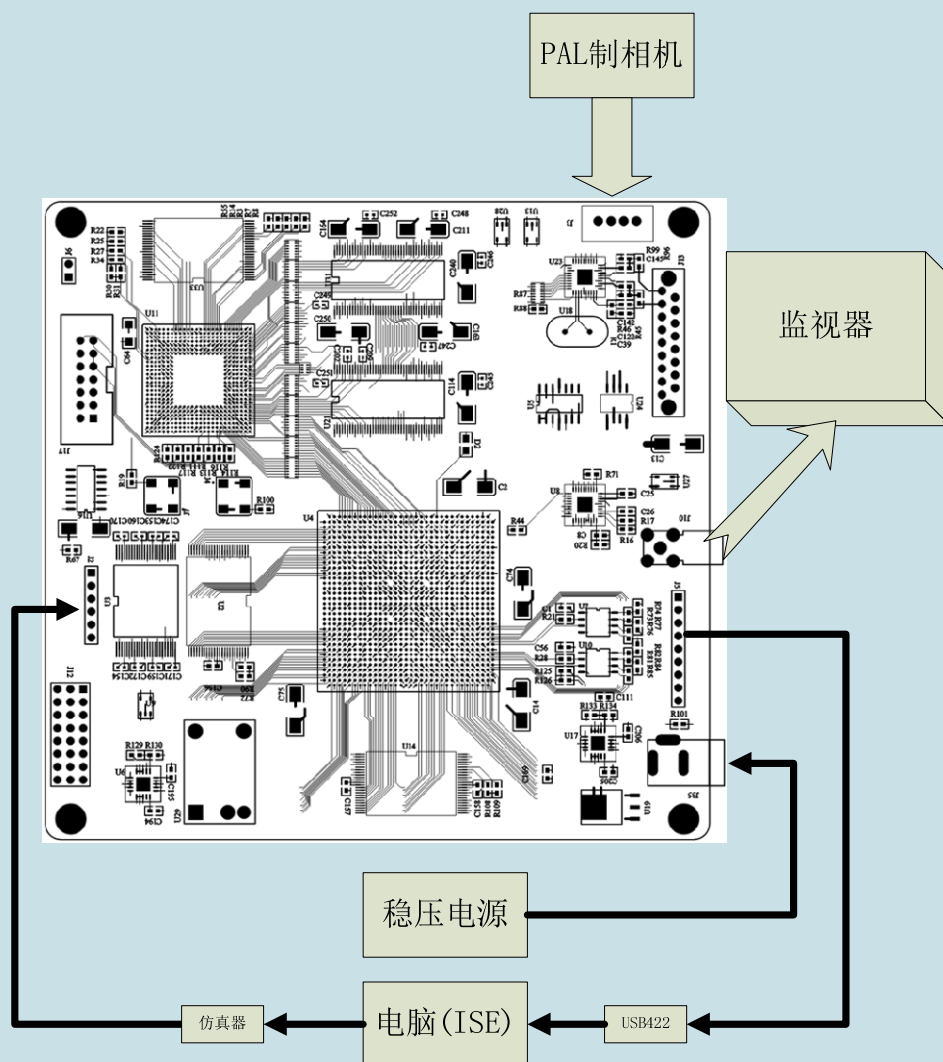


图 调试连接图

搭建调试环境时应特别注意电源供电电压，最好使用稳压电源，可以实时监测电压和电流，另外仿真器的插针顺序也应该仔细比对。务必建立安全意识，避免受伤和造成额外损失。

3.2 实验 2-串口通信

- 1) 实验目的：本实验旨在掌握串口通信的逻辑实现，强化 Verilog 语言的编程能力。
- 2) 实验时间：2 周
- 3) 实验步骤：
 - ✧ 了解 RS232、RS485、RS422 的异同点，理解单工、半双工、双工的概念，并重点掌握 RS422 的设计方法。实验以 RS422 为例进行。
 - ✧ 测试连接的完整性。首先连接开发板、串口转接器和串口调试助手，然后建立 ISE 工程，完成简单闭环回路逻辑，即 TXD=RXD，最后使用串口调试助手发送数据，并观察接收数据是否正确。
 - ✧ 完成基于状态机的发送模块和接收模块的调试；
 - ✧ 按照以下要求设计帧结构模块，并结合发送、接收模块进行串口通信。帧结构要求：
 - 通信速率：115200 bit/s
 - 发送帧：F5 55 XX MM
 - 接收帧：3F AA XX MM

特注：发送和接收的概念以电路板为参考。XX 为 01-FF，MM 为前三个字节的异或值。

参考书籍：《Verilog 数字系统设计教程》，夏宇闻，北京航空航天大学出版社

3.3 实验 3-调用 IP 核

- 1) 实验目的：本实验旨在学习 ISE 内部 IP 核的使用方法，提高 ISE 开发水平。
- 2) 实验时间：1 周
- 3) 实验步骤：
 - ✧ 建立 ISE 工程，选择添加 IP 核，根据 FPGA 型号选择相应的时钟 IP 核。分别输出 2 倍频和 2 分频时钟，并使用示波器进行测量验证。

- ✧ 建立 ISE 工程，选择添加 IP 核，根据 FPGA 型号选择相应的存储器 IP 核，添加单口 RAM 的 IP 核。添加串口通信模块，首先接收串口调试助手连续发出的 256 个数据并存入内部存储器，然后发送模块读取存储器数据，并连续发送给串口调试助手，并判断其正确性。
- ✧ 建立 ISE 工程，选择添加 IP 核，根据 FPGA 型号选择相应的数学运算 IP 核，添加除法 IP 核。自行指定被除数和除数，使用串口通信将商传送给串口调试助手，并判断其正确性。

特注：该处建议直接阅读 IP 核的 DATASHEET，了解其详细用法。每个 IP 核的 DATASHEET 在其生成页面的左下角，点击即可打开。

3.4 实验 4-模拟视频编解码

- 1) 实验目的：本实验旨在编写模拟视频编解码模块，学习 YUV 格式图像数据转换流程。
- 2) 实验时间：2 周
- 3) 实验步骤：
 - ✧ 理解奇偶场、消隐期、有效期、720X576、行起始字节 FF0000XX 等 ITU656 的概念和具体含义；
 - ✧ 学习 AD 和 DA 的 I2C 配置，能通过配置寄存器输出彩条显示；
 - ✧ 建立 ISE 工程，新建 Decoder 和 Encoder 两个模块，注意连接 AD_27M、[7:0]AD_DATA 等信号，初期可以通过视频直通进行板子测试，即 DA_DATA=AD_DATA，以此判断 AD 和 DA 工作正常；
 - ✧ 基于有限状态机解码，生成行计数、列计数、场标志、帧标志等信号，并从视频码流中提取出亮度信号、色差信号，以 16 位形式存入外部 SRAM；编码过程类似。
 - ✧ 在 Encoder 中添加电十字，即图像中心生成“十”，通过改变读地址，实现 2 倍电子变倍功能。

参考书籍：《FPGA 数字电子系统设计与开发实例导航》，刘韬，楼兴华，人民邮电出版社

第二部分 DSP 篇

1.1 培训简介

数字信号处理(Digital Signal Processing, 简称 DSP)是一门涉及许多学科而又广泛应用于许多领域的新兴学科。20 世纪 60 年代以来,随着计算机和信息技术的飞速发展,数字信号处理技术应运而生并得到迅速的发展。数字信号处理是一种通过使用数学技巧执行转换或提取信息,来处理现实信号的方法,这些信号由数字序列表示。在过去的二十多年时间里,数字信号处理已经在通信等领域得到极为广泛的应用。德州仪器、Freescale 等半导体厂商在这一领域拥有很强的实力

本次培训制定使用德州仪器(TI)公司的 C6000 系列 DSP-TMS320C6416,开发平台 CCS2.2.018 或 CCS3.3,编程语言为标准 C 语言。

- 培训总时间:4 周
- 培训负责人:李嘉锋
- 培训的目标:掌握 DSP 的基本开发流程,以及 DSP 与 FPGA 系统视频处理的基本流程
- 内容的安排:

时间	培训安排	学习要求	考核
第一周	实验 1	熟悉 DSP 开发调试环境	
第二周	实验 2	结合 FPGA 阶段学习内容,实现与 FPGA 的数据交互	
第三周			
第四周	实验 3	FPGA 与 DSP 系统的整体调试	

1.2 基础知识

2.1 德州 TI 公司 DSP

数字信号处理器。C6000 系列 DSP 和高速专用微处理器一样，具有适合于信号处理应用的特殊结构和指令集，c6000 系列数字信号处理器的结构非常适合于高强度的数学运算，其基于超长指令字（VLIW）的结构，被认为是 TI 公司运算能力最强的处理器之一，我们平时项目中应用到的 DSP 信号主要为 TMS320C6416 与 TMS320C6455 两款，C6416 主频最高 800M，片上 L2 空间大小 1Mb，C6455 主频最高 1.2G，片上空间 2Mb，并且支持 DDR2 高速接口。

2.2 CCS 简介

CCS 的全称是 Code Composer Studio，它是美国德州仪器公司（Texas Instrument, TI）出品的代码开发和调试套件。TI 公司的产品线中有一大块业务是数字信号处理器（DSP）和微处理器（MCU），CCS 便是供用户开发和调试 DSP 和 MCU 程序的集成开发软件。

经典的版本号是 CCS 3.1、CCS 3.3，最新版本号已经更新到了 4.x。4.x 不仅界面上与 3.x 迥异，内核也大为不同，用户体验并不出色，故迁移至 4.x 的用户仍很少，所以我们实验室过往的项目大部分都采用的是 CCS2.2.018 和 CCS3.3 版本的。

1、实验大纲

3.1 实验 1：熟悉 DSP 开发调试环境

1) 实验目的：熟悉 CCS 开发环境、掌握 DSP 编程的基本流程、

2) 实验时间：1 周

3) 实验步骤：

- ✧ 安装 CCS3.3 或者 CCS2.2.018、合众达 510plus 仿真器驱动程序
- ✧ 设置 SEED510plus 仿真器、进入 CCS 环境
- ✧ 根据需求配置 DSP 的各个寄存器

- ✧ 编写程序通过 ds 的 GPIO 控制 led 灯的周期点亮、在 DSPL2 空间生成人工图像，并通过 DSP 观察图像。

- ✧ 烧写至外部 flash

3.2 实验 2：

1) 实验目的：掌握 DSP 与 FPGA 的数据交互的几种方法

2) 实验时间：2 周

3) 实验步骤：

- ✧ 在 FPGA 端设置中断信号，DSP 端配置中断寄存器，令 DSP 可以响应 FPGA 端发出的中断响应
- ✧ FPGA 端添加双口 ram 与 DSP 进行通讯，首先在双口 ram 中存入人工图像，DSP 在每个中断来临时将图像搬运至 DSP 的 L2 空间
- ✧ 将实际图像存入 FPGA 中的双口 ram 中，通过中断进行图像数据的搬运
- ✧ DSP 通过 EMIF 总线和 GPIO 接口向 FPGA 端发送数据与参数

3.2 实验 3：

1) 实验目的：整体调试，完成 FPGA 端图像输入与输出、将图像传递给 DSP，DSP 计算图像均值并返回给 FPGA，FPGA 通过串口将结果输出

2) 实验时间：1 周

3) 实验步骤：

- ◇ 在已有程序的基础上进行改进
- ◇ FPGA 对输入图像进行降采样，并通过 EMIF 总线与中断配合将图像传递给 DSP 断
- ◇ DSP 端通过计算图像均值并将结果，并将结果通过 EMIF 总线或者 GPIO 返回给 FPGA
- ◇ FPGA 将返回结果通过串口输出显示到电脑上

第三部分 意见反馈

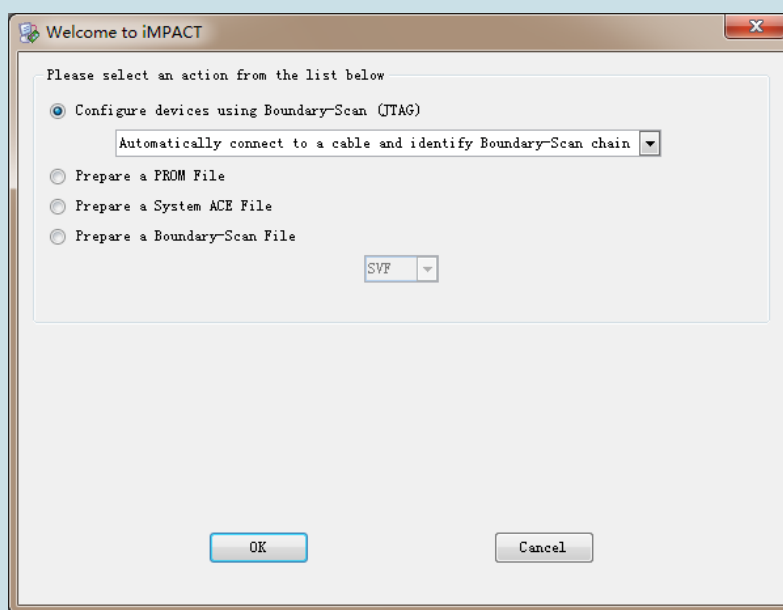
姓名	
考核	
新生 意见 反馈	

附件：FPGA 的两种烧写方法

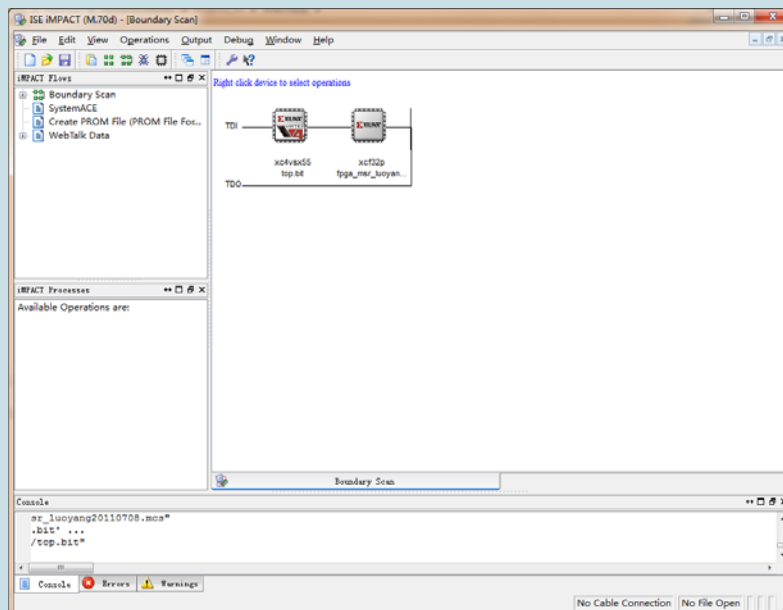
Xilinx 的 FPGA 烧写方式有两种：一是在线烧写，即直接将 Bit 文件烧写至 FPGA 内，掉电后程序消失；二是 Prom 烧写，即将 MCS 文件烧写至 Prom Flash 中，电路板上电后 FPGA 从 Prom 读入程序运行。一般来讲，前者适合于开发人员调试，速度较快；后者用于产品发布。

在线烧写

从开始菜单找到 iMPACT，单击打开，出现下图：



点击 OK，进入下一步：

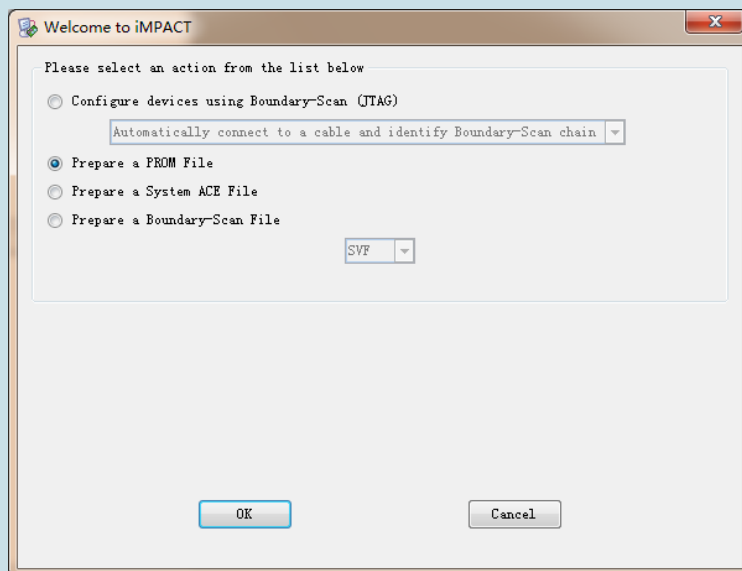


添加 Bit 文件，右键单击 xc4vsx55，选中 Program 即可完成烧写。

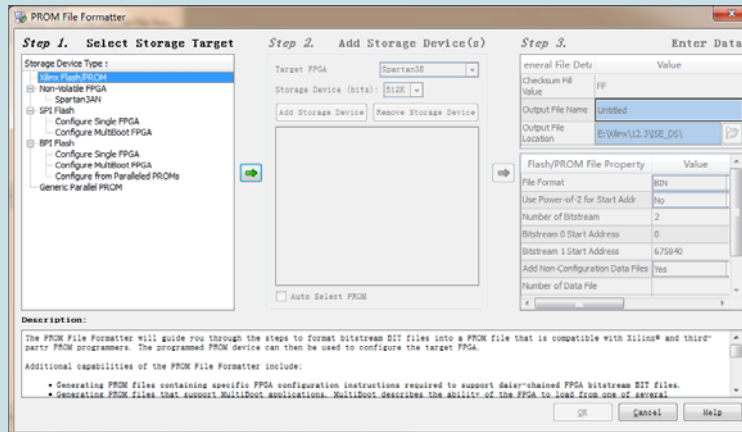
Prom 烧写

Prom 的烧写过程包括 MCS 文件生成和 MCS 烧写两部分，其中烧写部分与 Bit 文件烧写类似，详细过程可以参考 Bit 文件烧写。下面重点讲述 MCS 文件生成过程。

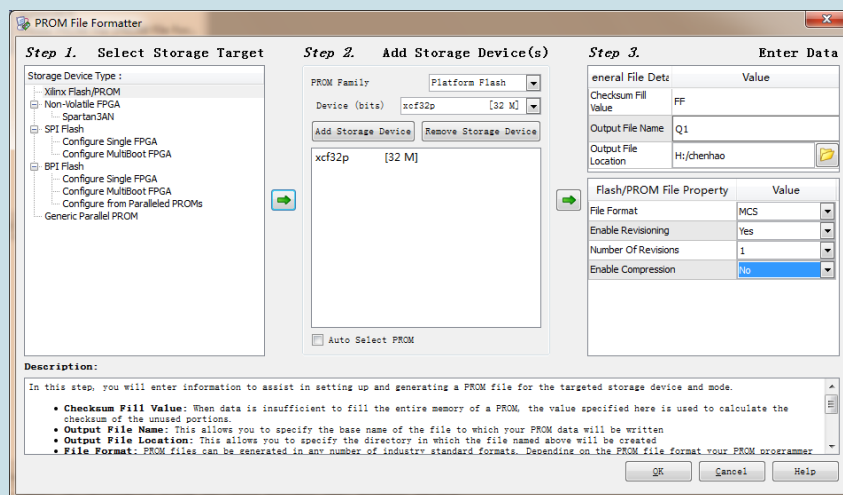
从开始菜单找到 iMPACT，单击打开，出现下图：



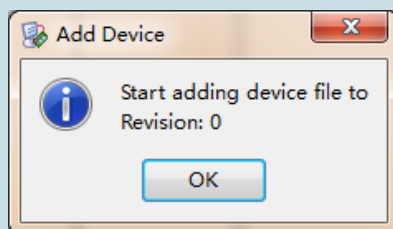
选中第二项 Prepare a PROM File，即准备生成 MCS 文件，然后点击 OK。



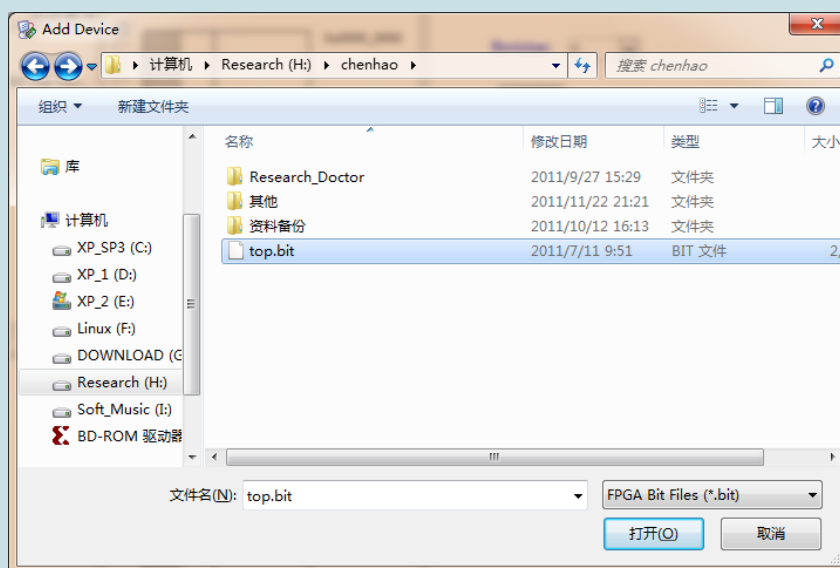
上图共有三栏，首先选中左栏的 xilinx Flash/PROM，并点击添加箭头进入中间栏；然后选择中间栏的 Prom Family 为 Platform Flash，Device 为 xcf32p，并点击 ADD Storage Device 添加器件，此时中间空白区出现 xcf32p。最后点击添加箭头进入右栏，修改 Output File Name 和 Output File Location，即输出文件名称和输出文件路径。此时页面如下图所示：



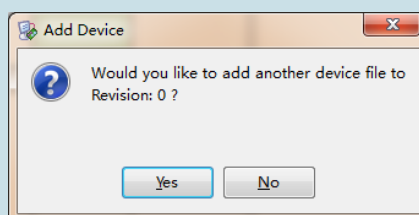
确定选项正确后，点击 OK 出现对话框。



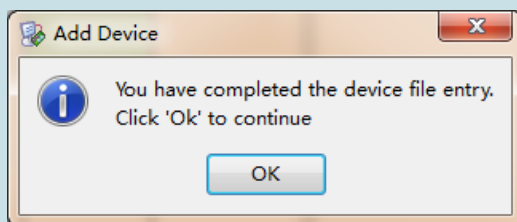
点击 OK，出现下图对话框：



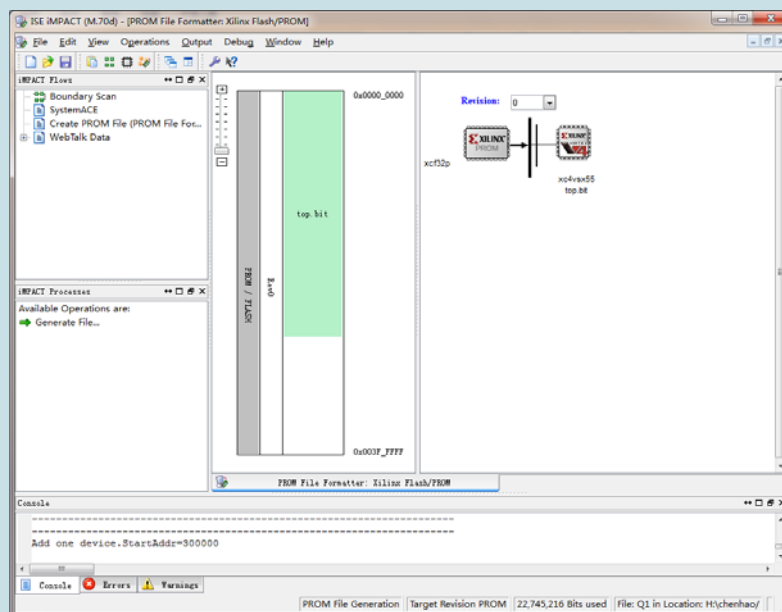
选择 ISE 工程生成的 Bit 文件，点击打开，出现对话框。



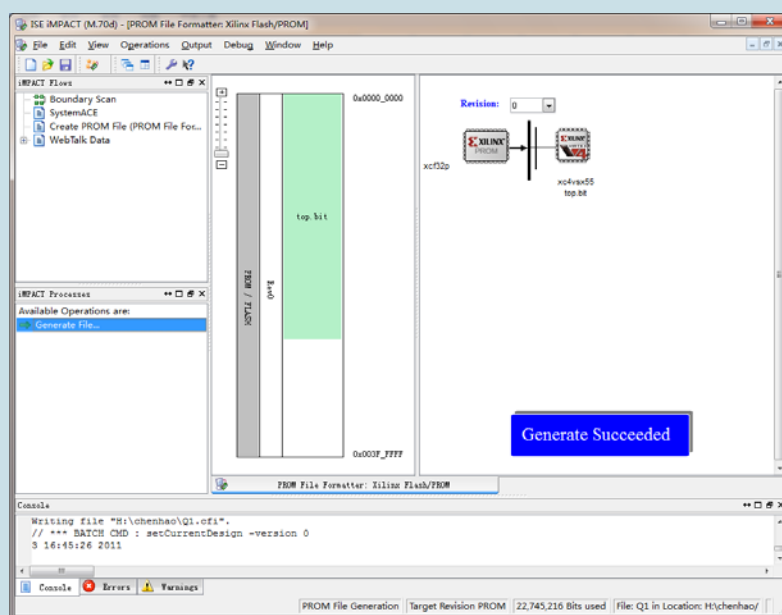
点击 NO，出现对话框



点击 OK，页面如下：



双击左边中间栏的 iMPACT Process 中的 Generate File，MCS 生成完毕。



待出现 Generate Succeeded 的字样，表示 MCS 生成成功。