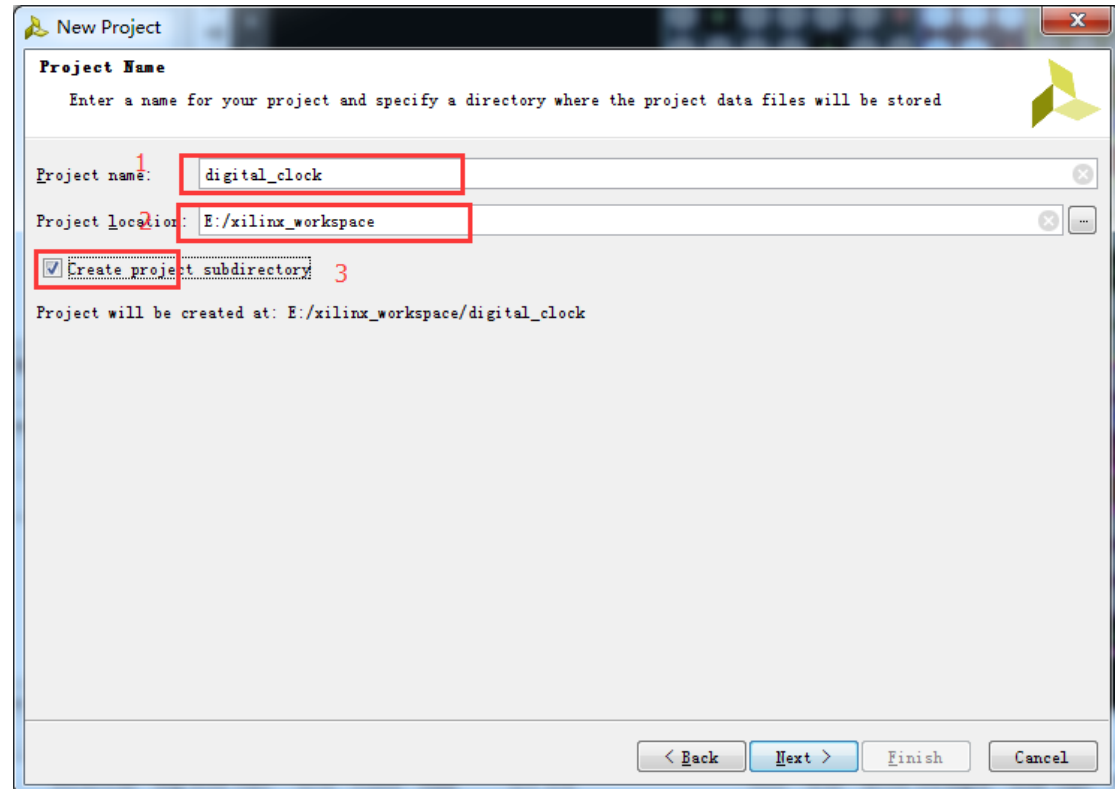
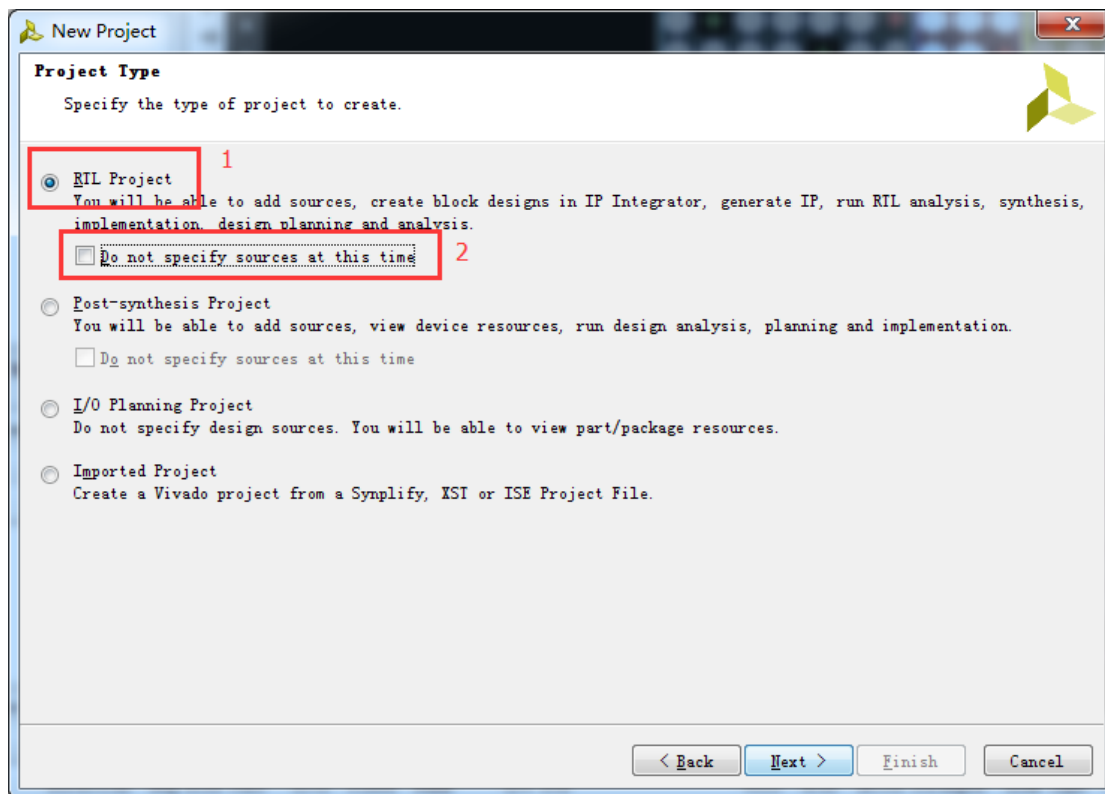


采用 Verilog HDL RTL 描述完成数字钟
组成数字钟的模块有分频模块、计数器模块和显示模块

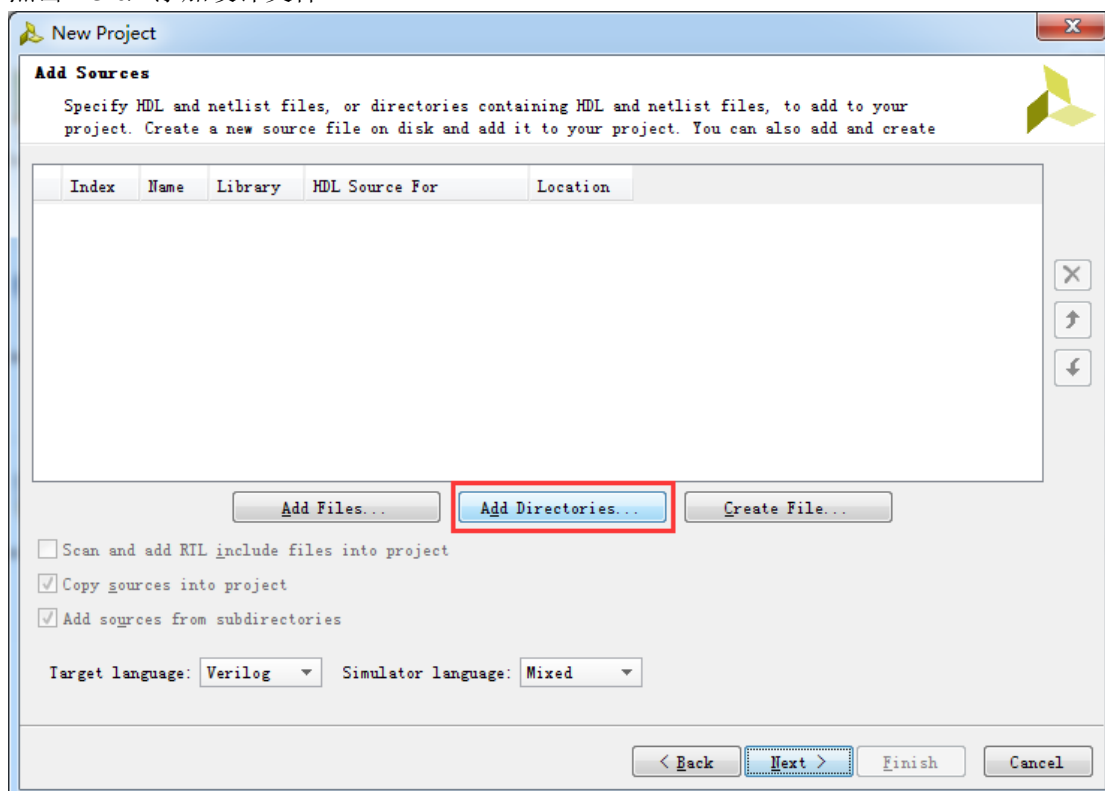
打开 Vivado，点击 Create New Project，将项目名称修改成 digital_clock，同时选择项目存放路径。默认勾选 Create Project Subdirectory 选项。



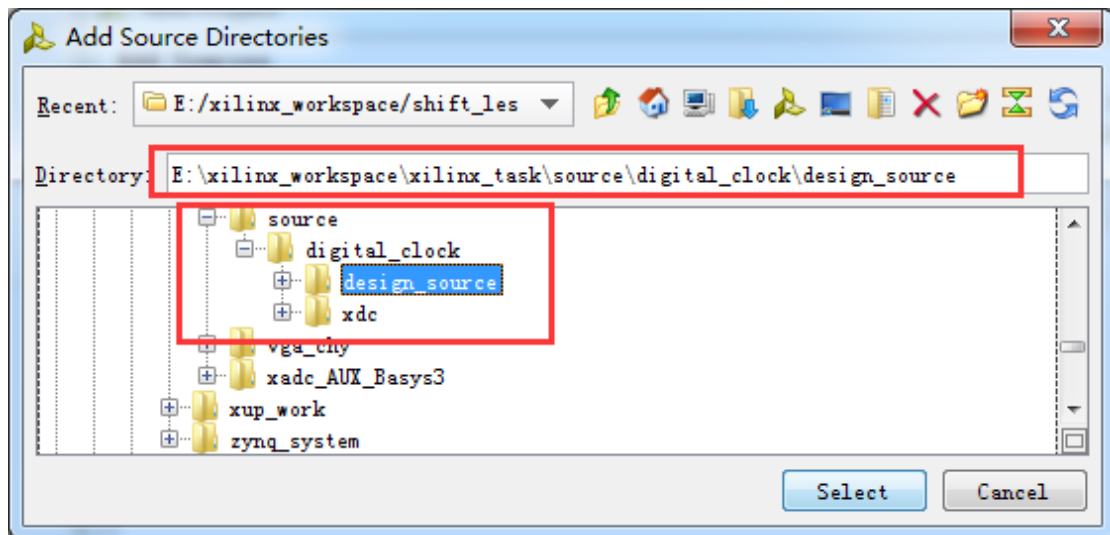
点击 Next，选择项目类型。此处选择 RTL Project。注意在此，取消勾选 Do not specify source at this time。因为在项目建立同时需要导入相关设计文件。



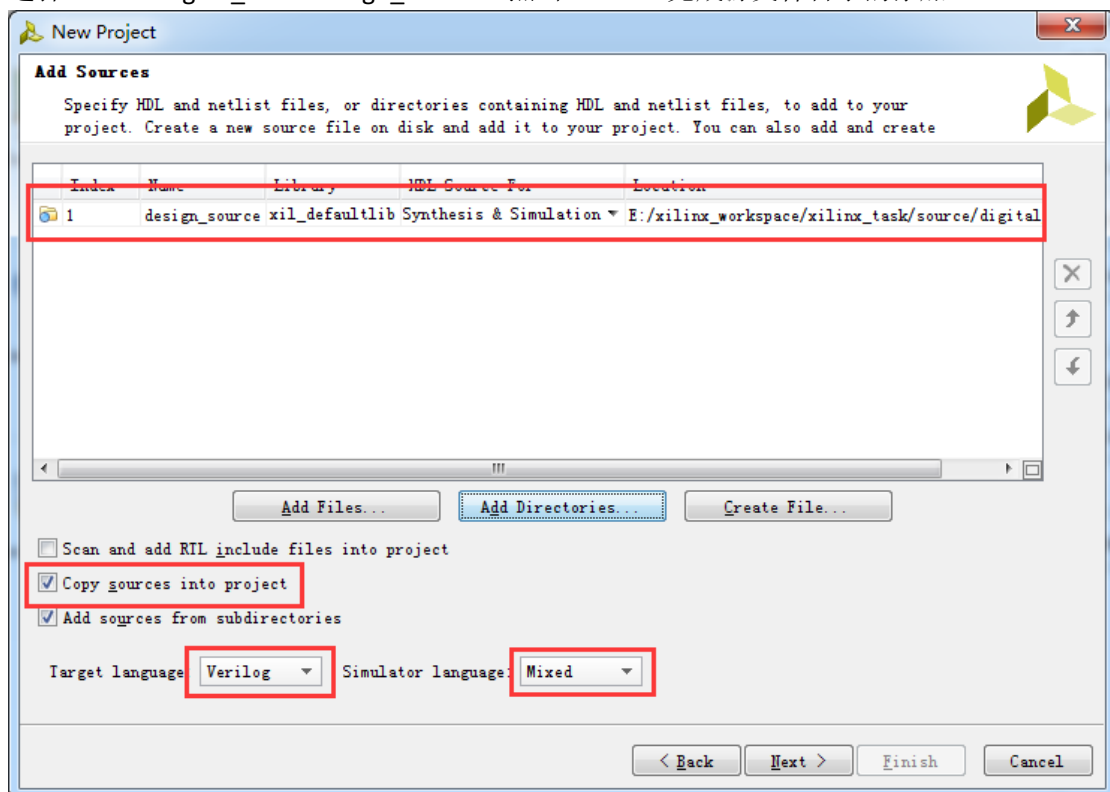
点击 Next，添加设计文件



点击 Add Directories,打开添加源文件所在文件夹。

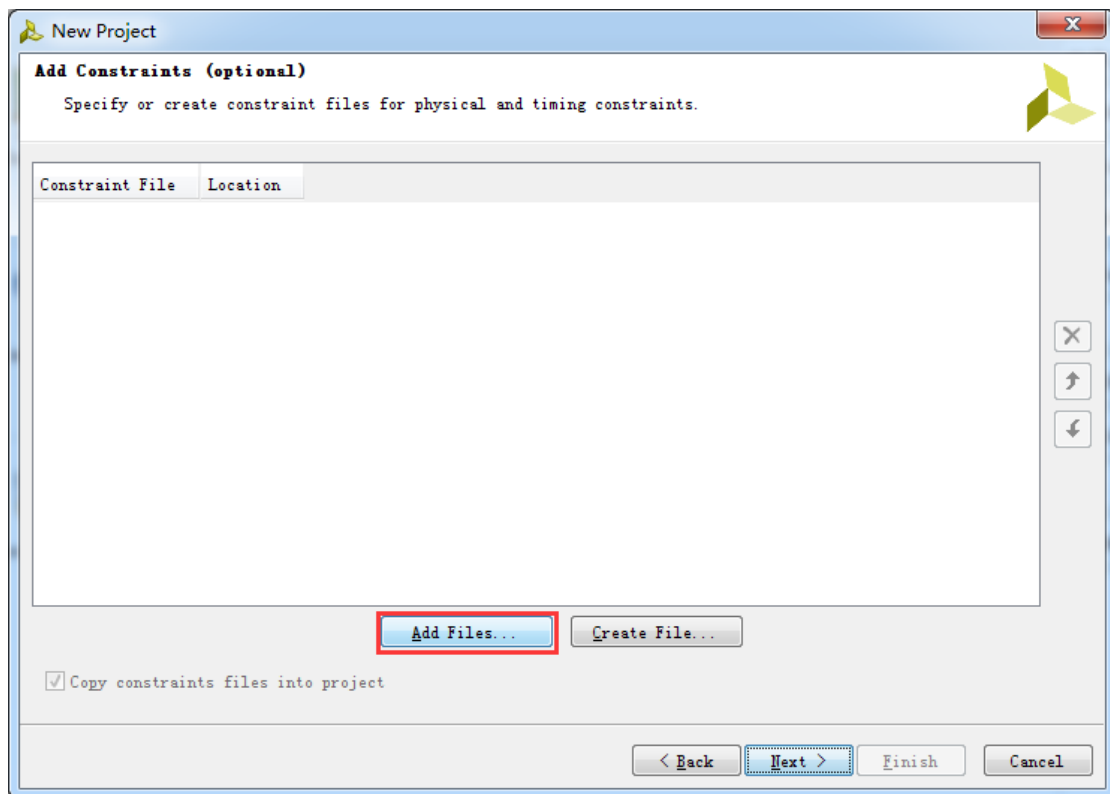


选择 source>digital_clock>design_source，点击 Select，完成源文件目录的添加。

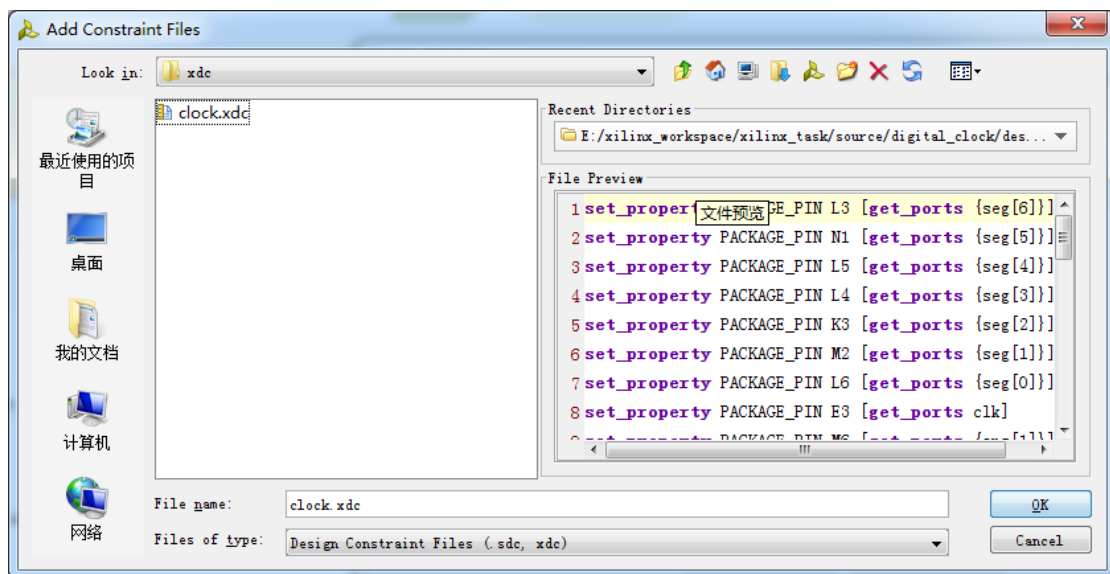


此时，选中的文件夹已经被添加到项目中。注意勾选 Copy source into project，同时注意目标语言选择为 Verilog，仿真语言选择为 Max 或者 Verilog。

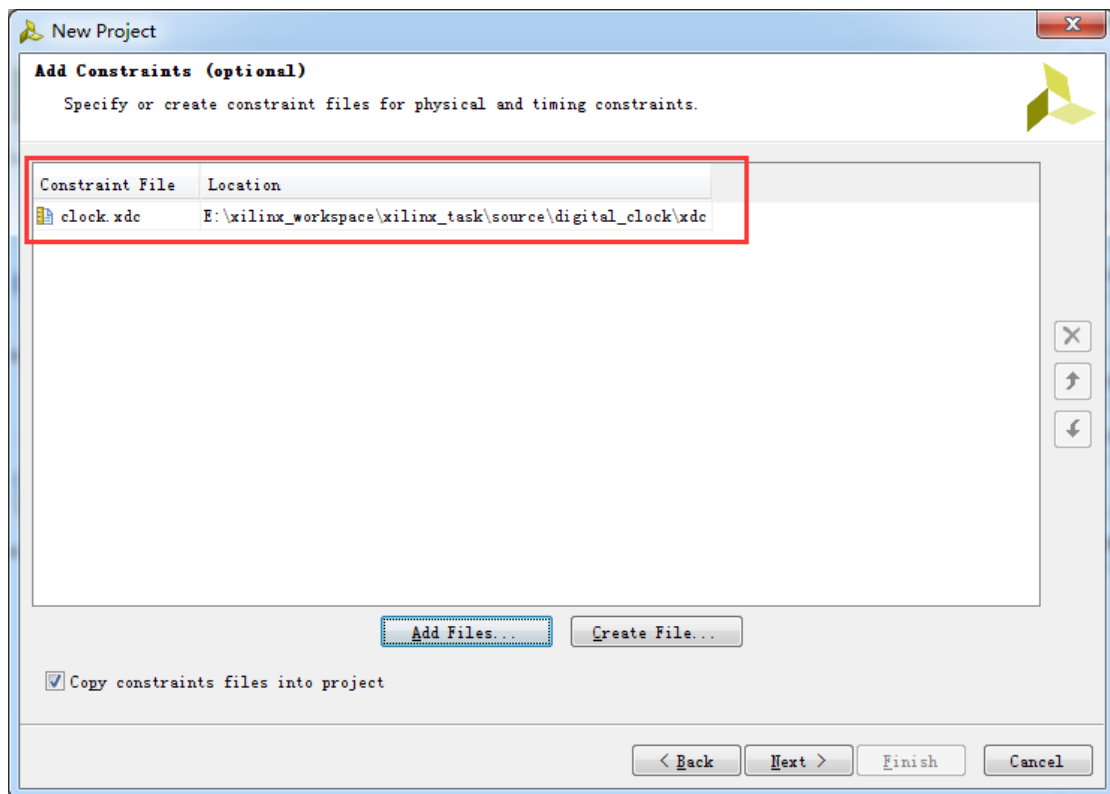
点击两次 Next，跳过添加存在的 IP 的界面，进而添加约束文件。



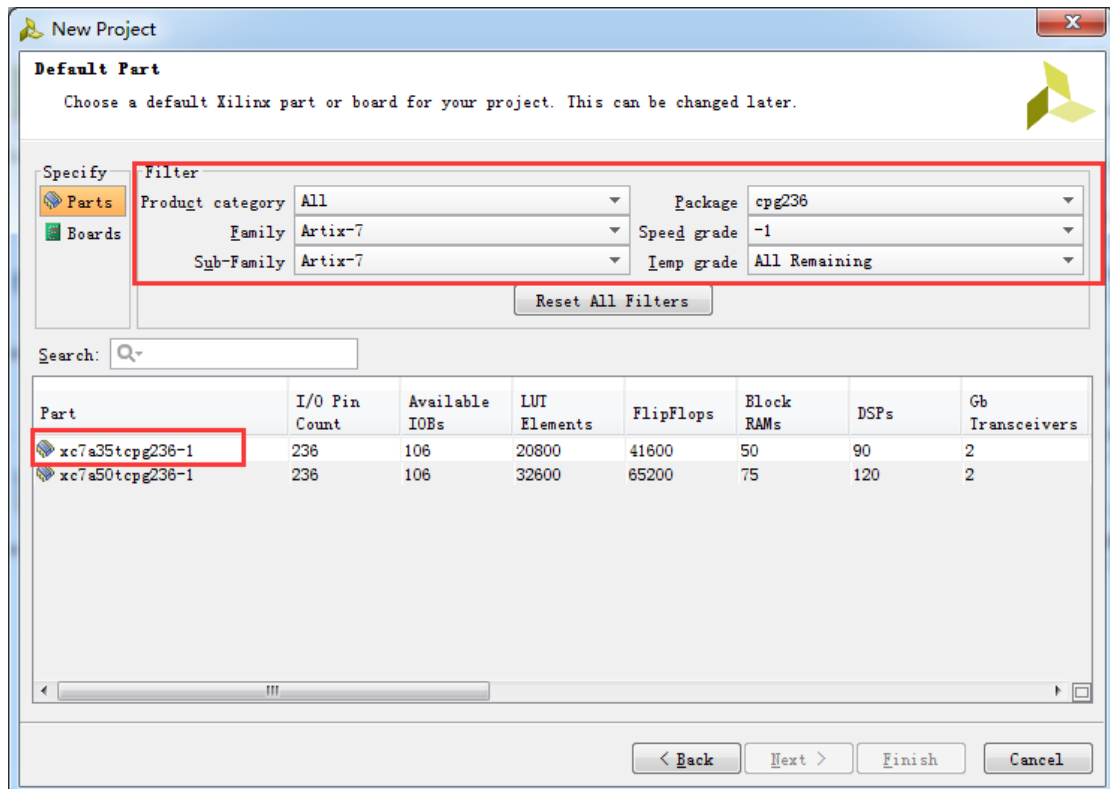
点击 Add Files，查找相关约束文件。文件路径是 source>digital_clock>xdc>clock.xml



点击 OK 完成约束文件添加，此时约束文件已包含在项目中

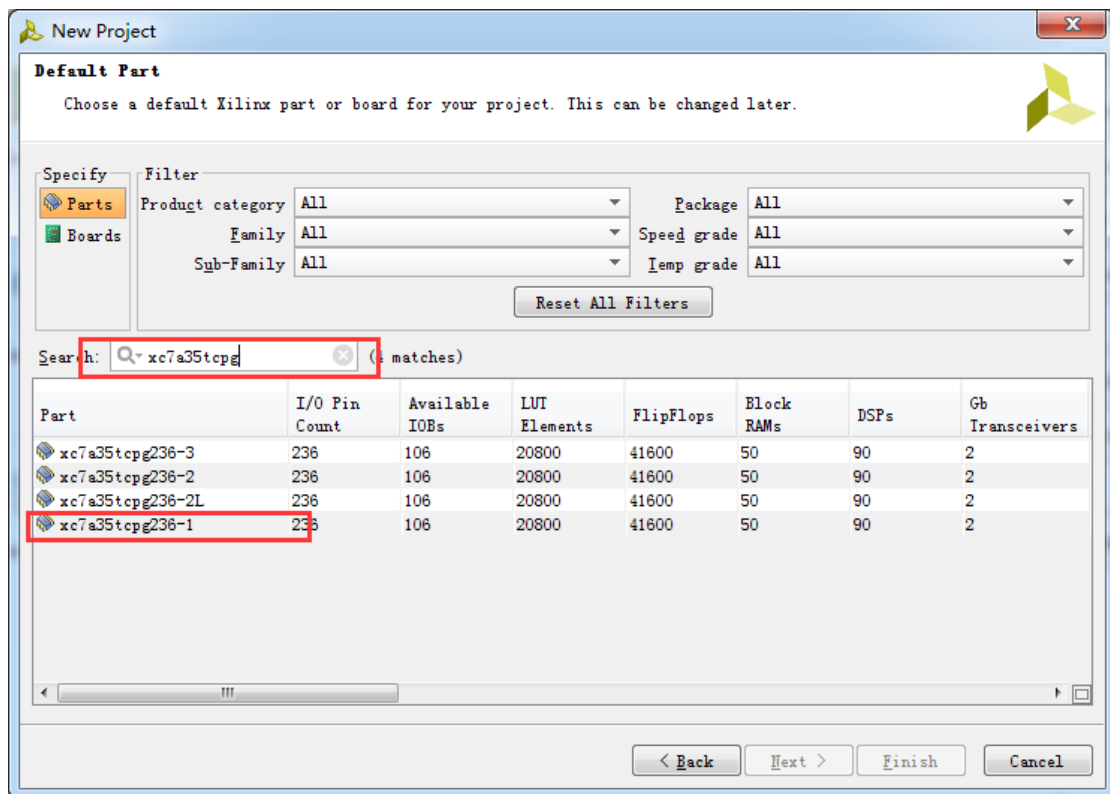


点击 **Next**，选择相应器件或者板卡。可以通过芯片所属系列，封装形式以及速度等级减小搜索范围。



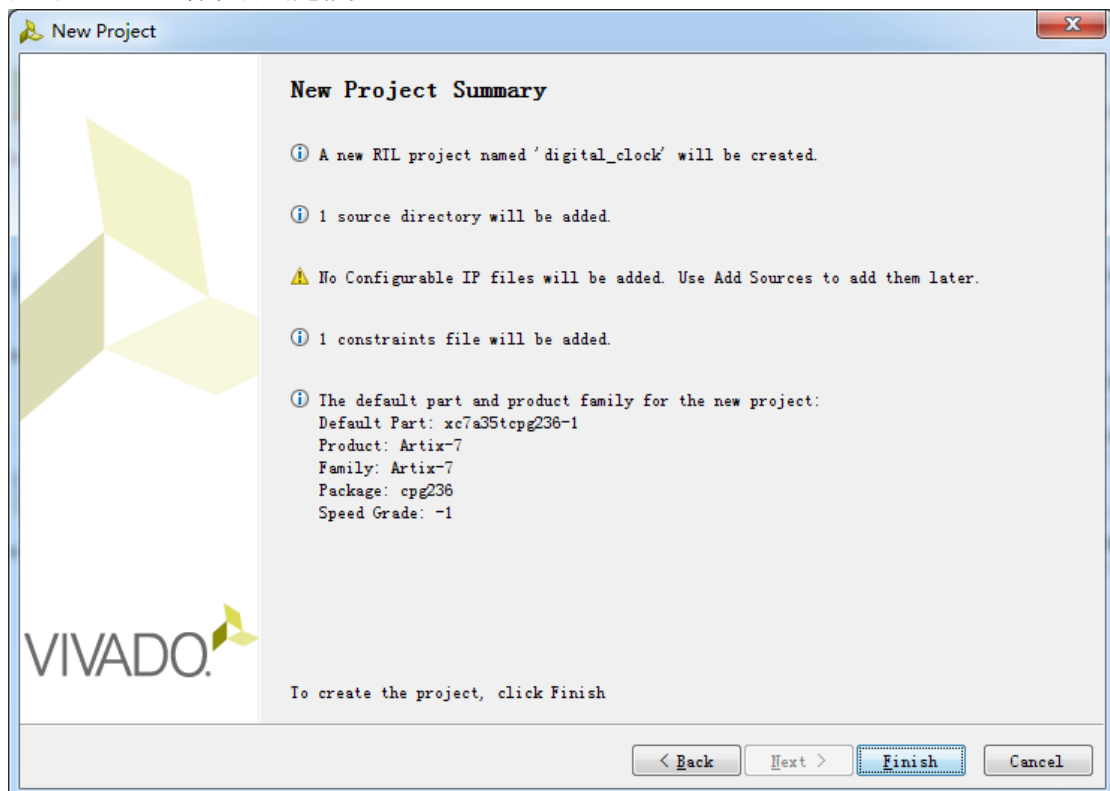
此时选择第一个选项。

同样可以直接在搜索框中输入芯片型号进行精确搜索。

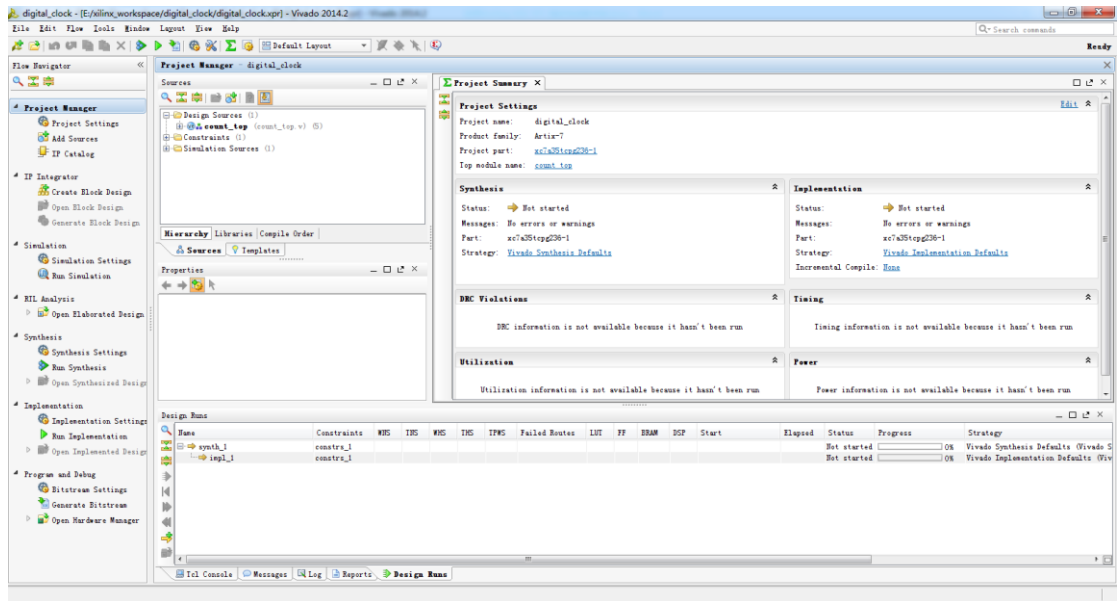


选择列表中的最后一项，完成器件选型。

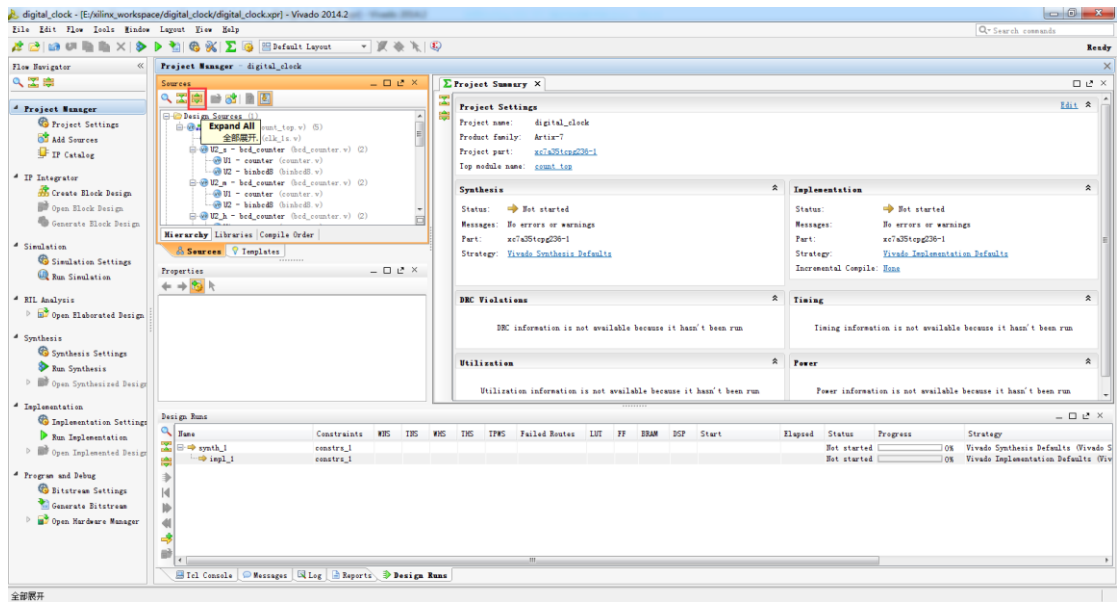
点击 Next。查看项目创建概要。



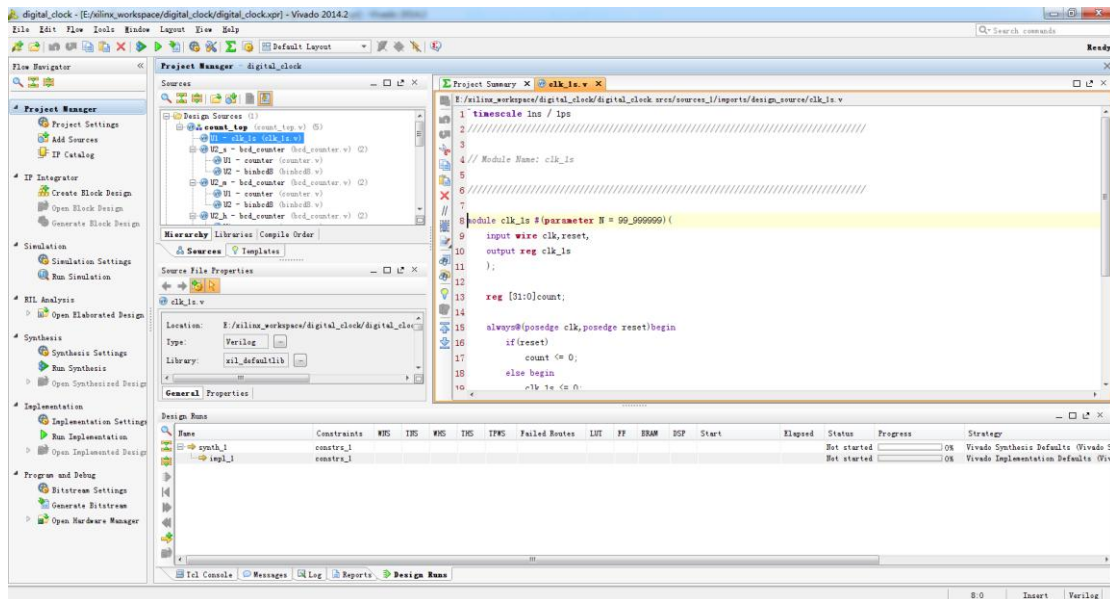
点击 Finish，完成项目创建。Vivado 设计界面如下：



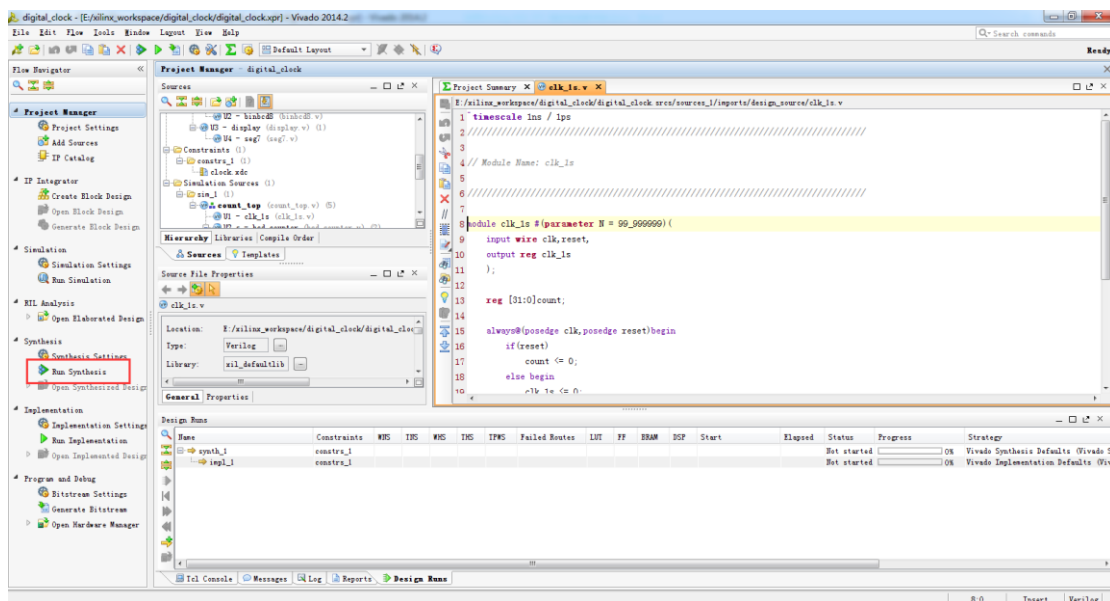
在 source 窗口中，点击展开全部的快捷按钮，显示工程设计文件。



在 source 窗口中，可以双击打开设计文件，进行修改。



由于设计文件已经全部导入完成，因此不需要作任何修改，直接进行综合设计。
在 Flow Navigator 设计向导中，点击 Sythesis 目录下的 Run Sythesis 进行综合设计。

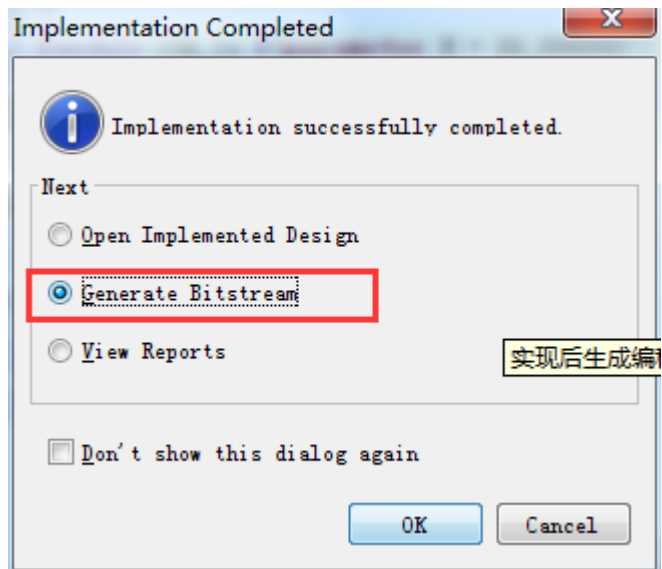


当综合完成时，会弹出 Sythesis Completed 窗口，选择下一步操作。可以进行实现设计，或者打开综合设计，又或者打开生成报告。

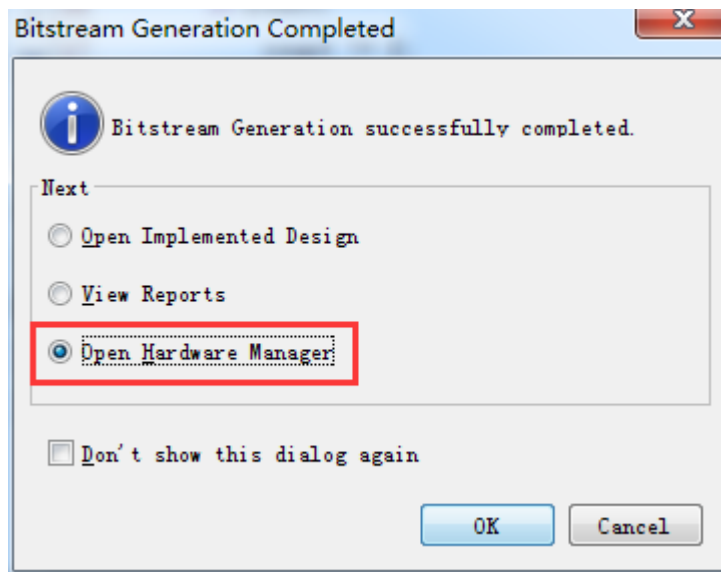


选择 Run Implementation，点击 OK。进行实现设计。

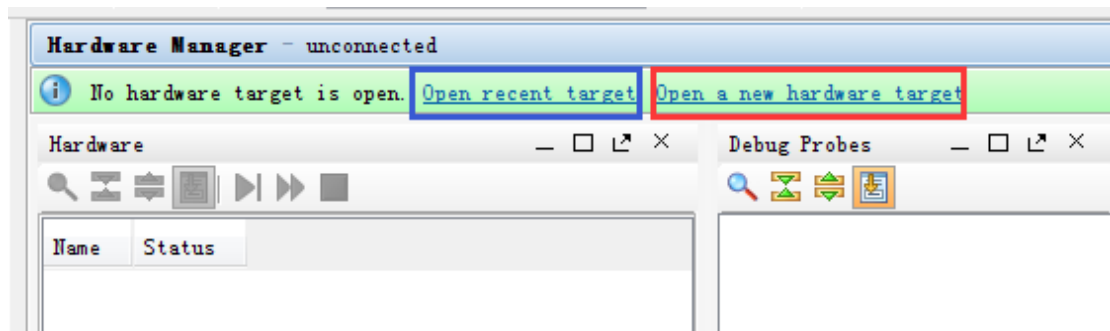
当实现设计完成时，Implementation Completed 窗口弹出，供用户选择下一步操作。



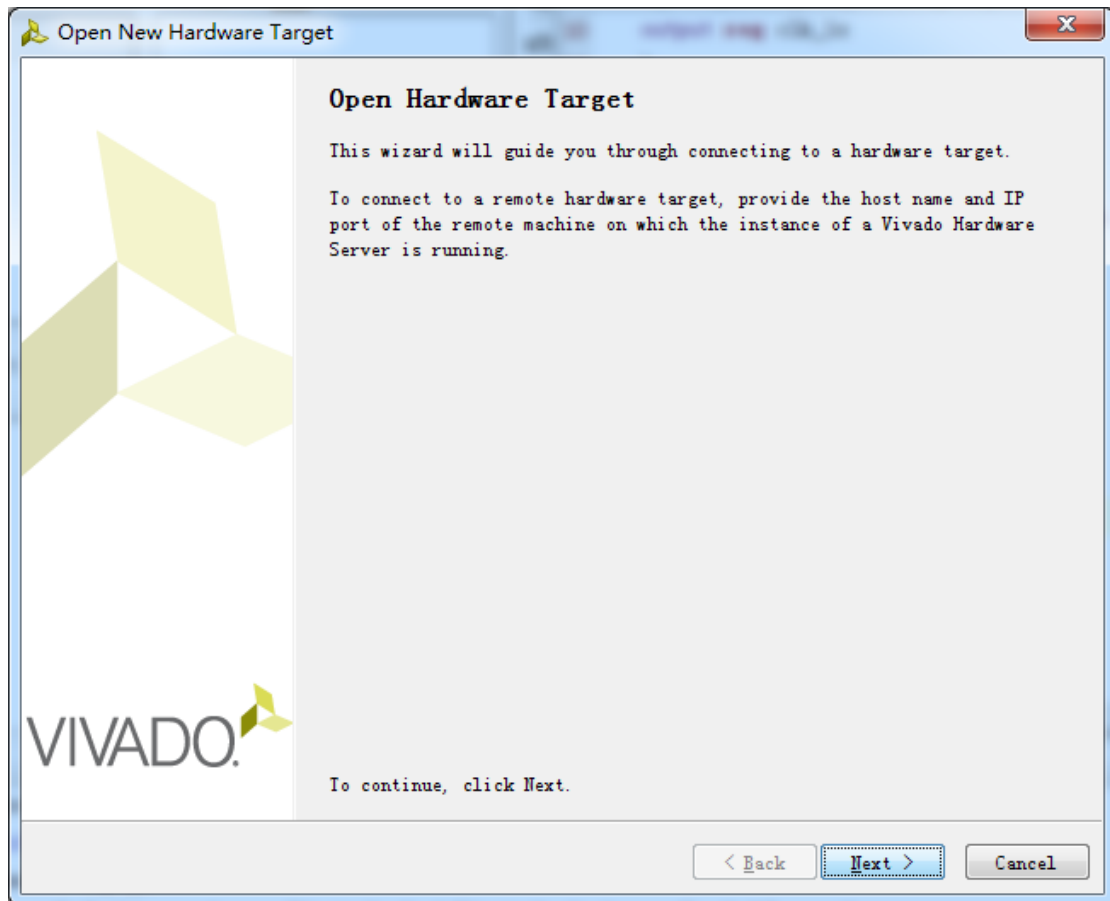
选择 Generate Bitstream，点击 OK。生成 FPGA 编程文件。




此时比特文件生成结束，在弹出框中，选择 Open Hardware Manager，点击 OK。打开硬件管理器。此时，确保 Basys3 已经连接到 PC 上，并打开电源。



当用户是第一次使用板卡或者器件时，选择红色方框中 Open a new hardware target。如果已经使用过，可以点击蓝色方框中 Open recent target。此处以打开新的硬件目标为例。




在 Open a new hardware target 界面中，点击两次 Next。打开新的硬件目标。

 Open New Hardware Target X


Select Hardware Target

Select a hardware target from the list of available targets, then set the appropriate JTAG clock (TCK) frequency. If you do not see the expected devices, decrease the

Hardware Targets

Type	Port	Name	JTAG Clock Frequency
 xilinx_tcf		Digilent/210183564108A	15000000

Hardware Devices (for unknown devices, specify the Instruction Register (IR) length)

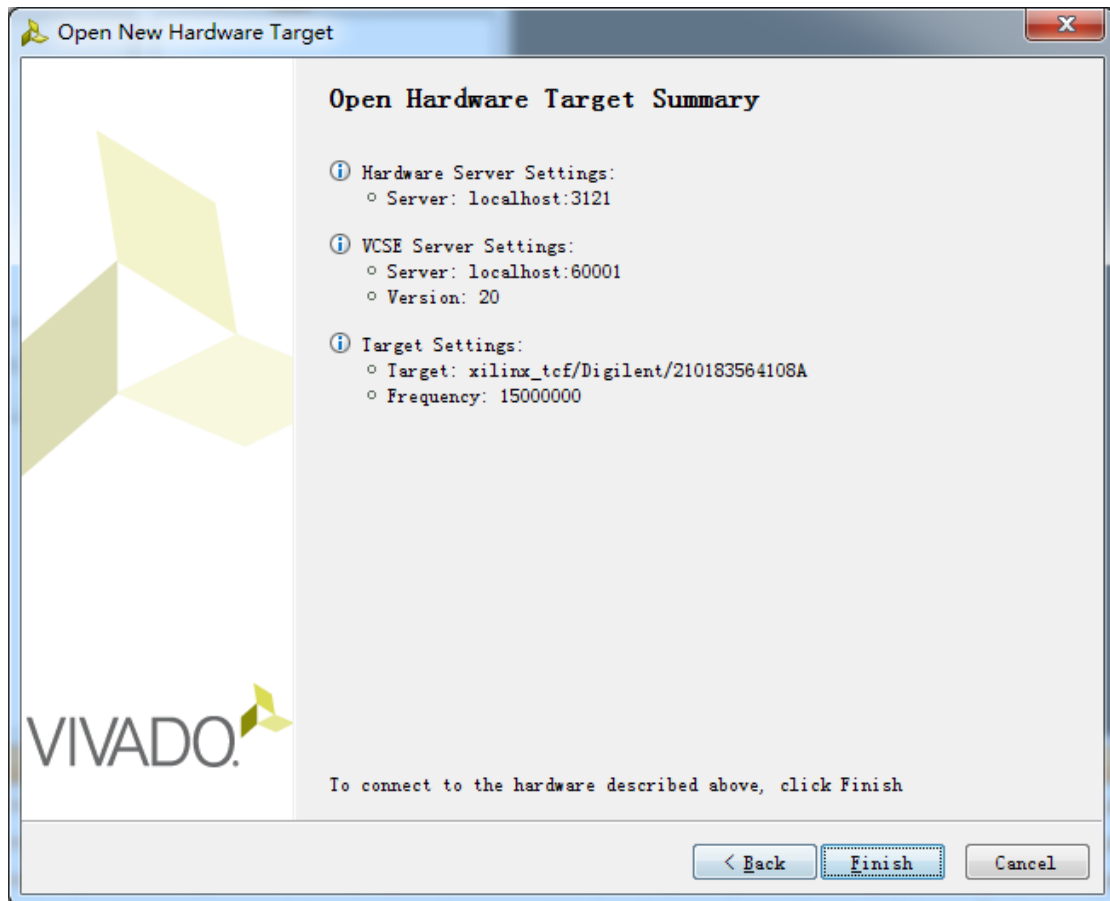
Name	ID Code	IR Length
 xc7a35t_0	0362D093	6

VCSE server: localhost:60001
Hardware server: localhost:3121

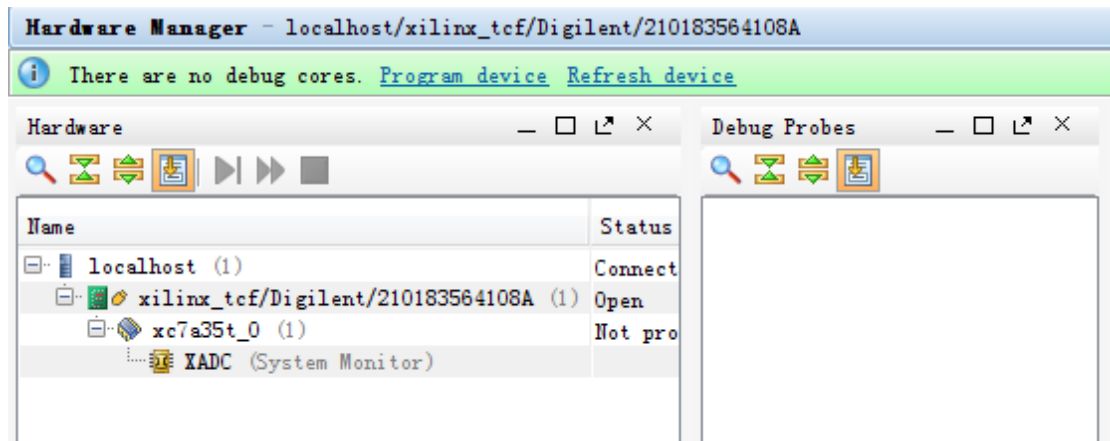
VCSE server: localhost:60001

< Back Next > Finish Cancel

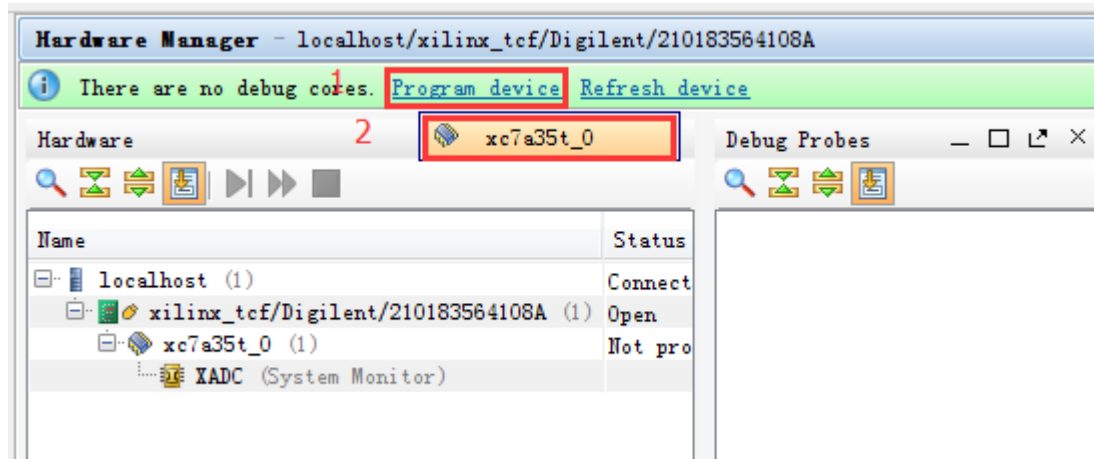
点击 Next，查看硬件目标的概要。



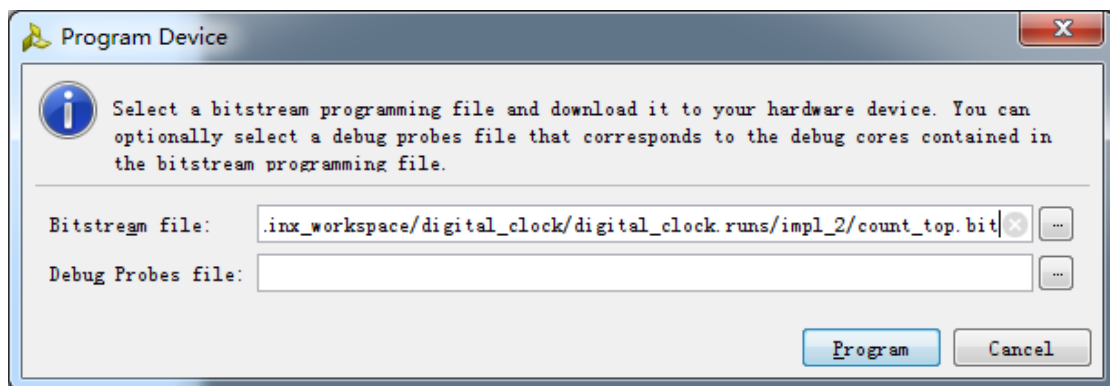
点击 Finish。在硬件管理器中可以看到刚刚添加的硬件。



接着进行下载比特文件。



先点击 Program device 进而点击 xc7a35t_0。



点击 Program，进行比特文件下载。进行板级验证。