

## Ćwiczenie nr 1

### Temat: Ćwiczenie wprowadzające w problematykę laboratorium.

**Zagadnienia do samodzielnego opracowania:** rola sygnału taktującego (zegara) w układach synchronicznych; co robi sygnał CLEAR (w 74194)?; do czego służy sygnał RESET?; jaka jest podstawowa różnica między wejściami RIN, LIN oraz ABCD?;

Na rysunku 1 podane są trzy schematy wykorzystujące układ scalony 74194 (uniwersalny rejestr przesuwający). Należy samodzielnie odnaleźć specyfikację układu 74194 (najlepiej w Internecie na stronach Motorola, Texas Instruments bądź Philipsa) i dokładnie zapoznać się z zasadą jego działania. Następnie trzeba teoretycznie przeanalizować i słownie opisać zachowanie się podanych układów z rysunku 1. Szczególną uwagę proszę zwrócić na znaczenie sygnałów zewnętrznych układu scalonego, ponieważ oznaczenia podane na rysunku 1 mogą się różnić od tych pobranych z Internetu.

Należy zrealizować **dwa** układy wskazane przez prowadzącego (wymagane 2 podpisy).

#### Kolejne kroki ćwiczenia:

1. Połączyć pierwszy układ wskazany przez prowadzącego. Sprawdzić jego działanie obserwując wyjścia QD, QC, QB, QA. Gdy układ zachowuje się poprawnie – poprosić prowadzącego o pierwszy podpis.
2. Połączyć drugi układ wskazany przez prowadzącego. Sprawdzić jego działanie. Gdy układ zachowuje się poprawnie – poprosić prowadzącego o drugi podpis.

#### Zawartość „odręcznego” sprawozdania z podziałem na strony:

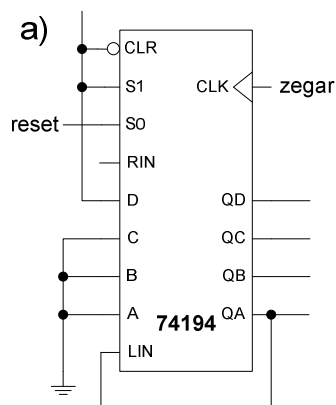
- Odpowiednio na stronach 1, 2 oraz 3 przedstawić swój sposób analizy działania układu a), b) oraz c),
- Na ostatniej kartce zamieszczamy **odręczne** rysunki trzech układów (patrz obok). Z prawej strony każdego układu podajemy kilkuzdaniowy opis przewidywanego działania (oczywiście opis ten powinien być przygotowany w domu).
- Na odwrocie kartki z rysunkami zamieszczamy wnioski, jakie nasunęły się w trakcie ćwiczenia,
- Ewentualne potwierdzenia realizacji zadania w CAD (wydruk układu oraz wydruk z symulacji) zamieszczamy przed kartką z rysunkami.
- **Zamieścić specyfikację układu 74194.**
- **Wypełnić stronę tytułową!**

#### Uwagi:

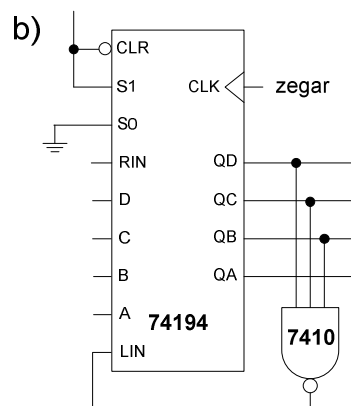
1. ćwiczenie jest bardzo proste, mimo wszystko wymaga starannego przygotowania.
2. proszę zwrócić uwagę, że do pewnych wejść nie wskazano wartości sygnału (co zrobić?),
3. źródłem sygnału zegarowego jest jeden z przełączników zadajnika wartości logicznych,
4. Nie wykorzystywać zadajnika wartości logicznych, gdy pewne wejście układu ma być zawsze wartością stałą (0 albo 1). Wykorzystać w tym celu dostępne wartości bezpośrednio z płyty montażowej (przewód czerwony – wartość 1, przewód czarny – wartość 0).
5. Na wyświetlaczu LED (lewy górny róg płyty montażowej) podglądamy wartości czterech wyjść układu.

#### Literatura:

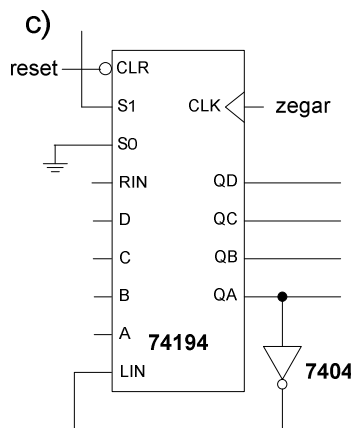
- [1] A.Kaliś, Podstawy teorii układów logicznych, skrypt  
[2] Katalogi firmowe elementów scalonych.



Opis działania



Opis działania



Opis działania



Rysunek 1

## Ćwiczenie nr 2

### Temat: Układy kombinacyjne.

**Zagadnienia do samodzielnego opracowania:** wyrażenie boolowskie; definicja funkcji przełączającej (boolowskiej) i jej związek z wyrażeniem boolowskim; tablica prawdy; prawa de Morgana; tablica Karnaugh'a; minimalizacja funkcji z wykorzystaniem tablicy Karnaugh'a; metoda zamiany układu dwupoziomowego AND-OR na układ wykorzystujący bramki NAND; metoda otrzymywania układu wykorzystującego tylko multiplexery (MUX) dla zadanej funkcji; zapoznać się ze specyfikacją układu 74151 (w szczególności zwrócić uwagę na sygnał zezwalający oraz sygnały sterujące);

Poniższe dwie funkcje:

$$a) f(abcd) = \overline{(a + b + \bar{c})} + d$$

$$b) f(abc) = \overline{ab\bar{c}} + \overline{\bar{a}bc}$$

należy zrealizować w:

1. **minimalnym (dwupoziomowym)** układzie wykorzystującym bramki NAND oraz,
2. układzie wykorzystującym multiplexer 74151 (MUX).

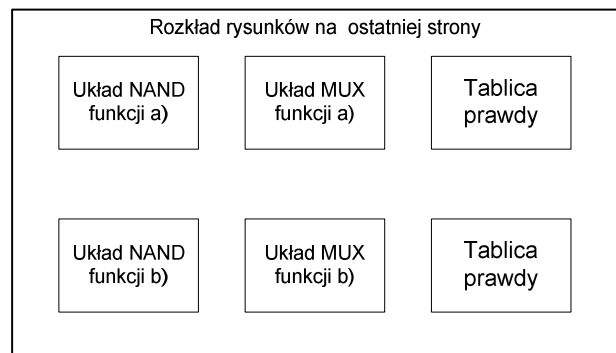
Należy pokazać, że oba układy realizują tę samą funkcję. Przygotować tablice prawdy (skorzysta z nich prowadzący przy sprawdzaniu układu).

#### Kolejne kroki ćwiczenia:

1. Połączyć **jednocześnie** układ NAND oraz z MUX realizujący pierwszą funkcję.
2. Sprawdzić poprawność układu.
3. Jeżeli oba układy realizują tę samą funkcję, tylko wtedy należy poprosić prowadzącego.
4. Analogicznie postępujemy z realizacją drugiej funkcji.
5. Wymagana liczba podpisów – 2.

#### Zawartość „odręcznego” sprawozdania z podziałem na strony:

- Na stronach 1 i 2 zamieszczamy syntezę odpowiednio funkcji a oraz b. Funkcję wpisać do tablicy Karnaugh'a, następnie zminimalizować. Na podstawie postaci minimalnych zrealizować układ NAND (przekształcić układ AND-OR w układ NAND wykorzystujący bramki dostępne na płycie montażowej). Pokazać na stronie 3 sposób otrzymywania układu multiplexerowego (MUX).
- Na ostatniej stronie zamieszczamy **odręczne** rysunki czterech układów wraz z tablicami prawdy w postaci pokazanej na rysunku 1.
- Na odwrocie kartki z rysunkami zamieszczamy wnioski, jakie nasunęły się w trakcie ćwiczenia,
- Ewentualne potwierdzenia realizacji zadania w CAD (wydruk układu oraz symulacji) zamieszczamy przed kartką z rysunkami.
- **Wypełnić stronę tytułową!**



Rysunek 1

#### Uwagi:

1. Wykorzystać prawa de Morgana.
2. Nie wykorzystywać zadajnika wartości logicznych, gdy pewne wejścia układu mają być zawsze wartością stałą (0 albo 1). Wykorzystać w tym celu dostępne wartości bezpośrednio z płyty montażowej (przewód czerwony – wartość logiczna 1, przewód czarny – wartość 0).
3. Niewykorzystywane („wiszące”) wejścia bramek należy podłączyć do odpowiedniej wartości logicznej (w szczególności dotyczy to MUX).
4. Na wyświetlaczu LED podglądamy wartości wyjść obu układów (NAND i MUX).

#### Literatura:

- [1] A.Kaliś, Podstawy teorii układów logicznych, skrypt  
[2] Katalogi firmowe elementów scalonych.

## Ćwiczenie nr 3

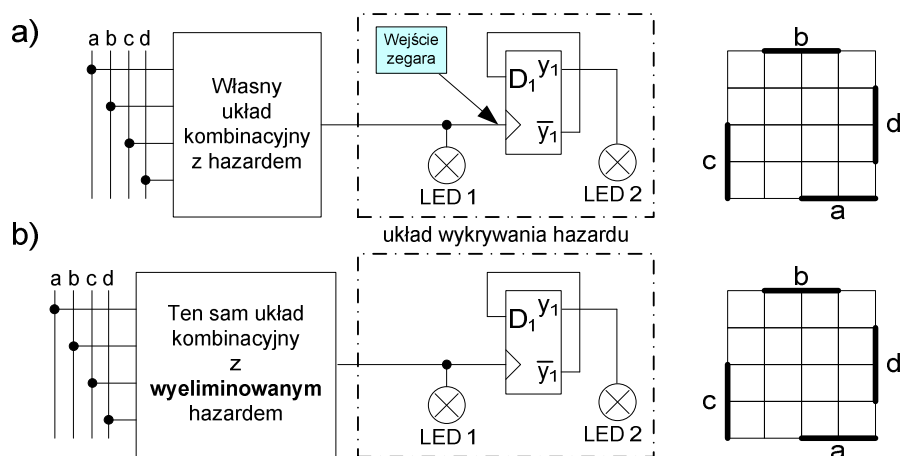
### Temat: Hazard statyczny.

**Zagadnienia do samodzielnego opracowania:** wyjaśnić zjawisko hazardu statycznego; podać różnice między hazardem statycznym a dynamicznym; dlaczego eliminuje się hazardy?; omówić metody eliminacji hazardu statycznego;

Ćwiczenie jest dwuczęściowe. Każda podlega sprawdzeniu przez prowadzącego. Należy zaproponować własną funkcję **czterech** zmiennych  $f(abcd)$ , która w realizacji minimalnej posiada hazard statyczny (każda osoba z grupy proponuje własną funkcję).

#### Kolejne kroki ćwiczenia:

1. Złożyć układ kombinacyjny z hazardem oraz sprawdzić czy realizuje zaproponowaną funkcję.
2. Złożyć układ wykrywający hazard („oscylloskop”) sprawdzając czy przy zmianach sygnału zegarowego LED1 oraz LED2 migają (Rysunek 1).
3. Podłączyć wyjście układu do wejścia zegarowego sprawdzonego układu wykrywania hazardu.
4. Kolejne zmiany wartości zmiennej powodującej hazard powinny powodować „miganie” LED2.
5. Prosimy prowadzącego (pierwszy podpis).
6. Eliminujemy hazard.
7. Kolejne zmiany wartości zmiennej, która powodowała hazard nie powinny powodować „migania” LED2.
8. Prosimy prowadzącego (drugi podpis).



Rysunek 1

#### Zawartość „odręcznego” sprawozdania z podziałem na strony:

- Na stronie 1 w sposób opisowy wytłumaczyć zjawisko hazardu statycznego dla zaproponowanej funkcji.
- Na stronie 2 należy opisać zasadę działania układu wykrywania hazardu zastępującego rzeczywisty oscylloskop. Bez jego zrozumienia trudno wyobrazić sobie celowość jego wykorzystania. Podać w punktach wady tego układu w porównaniu z oscylloskopem.
- Na ostatniej stronie zamieszczamy rysunki w formie pokazanej na rysunku 1. Oczywiście zamiast prostokątów reprezentujących układ kombinacyjny na rys. 1a należy narysować schemat minimalnego układu realizującego funkcję, a na rys. 1b schemat układu po eliminacji hazardu.
- W tablicy Karnaugh'a z rys. 1a wpisać obwódki reprezentujące implikanty proste funkcji z hazardem oraz **strzałkę wskazującą zmianę wartości zmiennej wejściowej powodującej zjawisko hazardu**. W tablicy z rys. 1b wpisać obwódki reprezentujące implikanty proste po eliminacji hazardu.
- Ewentualne potwierdzenia realizacji zadania w CAD (wydruk układu oraz symulacji) zamieszczamy przed kartką z rysunkami.
- **Wypełnić stronę tytułową!**

#### Uwagi:

1. Można stosować tylko bramki NAND oraz NOT.
2. Jeżeli jesteśmy pewni, że układ realizuje poprawną funkcję, lecz układ „oscylloskopu” go nie wykrywa należy zwiększyć opóźnienie za pomocą bramek NOT.
3. Do wyświetlacza podłączamy sygnały tak jak pokazano na rysunku 1 (LED1, LED2).

#### Literatura:

- [1] A.Kaliś, Podstawy teorii układów logicznych, skrypt  
[2] Katalogi firmowe elementów scalonych.

## Ćwiczenie nr 4

### Temat: Analiza układu synchronicznego.

**Zagadnienia do samodzielnego opracowania:** na czym polega analiza układu synchronicznego; rodzaje przerzutników; układy wzbudzeń wejść przerzutników; układ wyjść układu synchronicznego; tablica przejść-wyjść; tablica stanów;

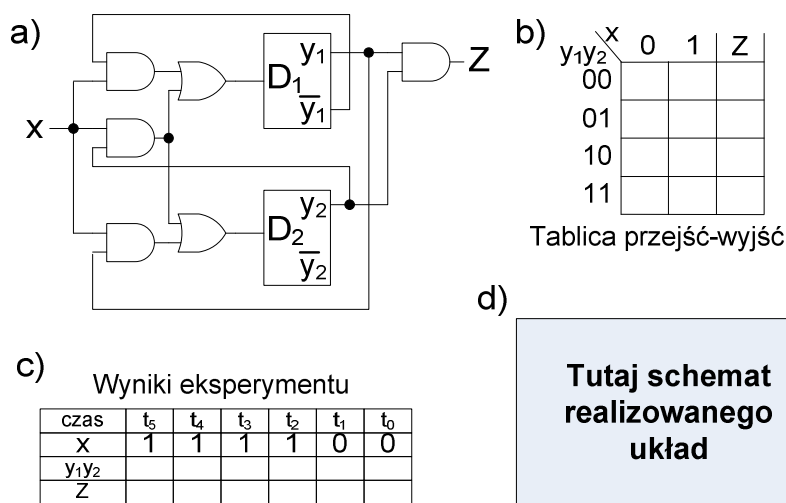
Układ synchroniczny z rys.1a należy przekształcić do układu zawierającego tylko bramki NAND, które są dostępne na płycie montażowej (na płycie nie ma bramek AND ani OR). Oczywiście przekształcony układ **MUSI** się zachowywać identycznie jak podany na rysunku. **UWAGA:** nie można wykorzystywać bramek NOT, ani realizować NOT-a za pomocą bramki NAND. Ewentualnie można wykorzystać **jedną** bramkę NOR (7402). Na rysunku pominięto sygnał taktujący oraz wejścia asynchroniczne przerzutników.

#### Kolejne kroki ćwiczenia:

1. Przyjmując, że stanem początkowym układu jest  $y_1y_2=00$ , sprawdź działanie układu podając na wejście  $x$  następującą sekwencję: ...111100→ (strzałka wskazuje wejście  $x$ ).
2. Zapisz wartości wyjścia  $Z$  wraz z wartościami wyjść obu przerzutników do tabeli rys.1c.
3. Zgłosić prowadzącemu koniec realizacji układu (wymagana liczba podpisów: 1).

#### Zawartość „odręcznego” sprawozdania z podziałem na strony:

- Na stronie 1 - analiza układu (funkcje wzbudzające przerzutniki  $D_1$ ,  $D_2$  wraz z tabelą stanów-wyjść. Tabelę przejść-wyjść umieszczamy na ostatniej stronie rys.1b),
- Na stronie 2 - synteza układu synchronicznego zachowującego się identycznie jak układ z rys.1a, który wykorzystuje dwa przerzutniki JK. Należy tak zakodować stany, aby całość układu zawierała 1xNOT, 2xAND.
- Na ostatniej kartce zawierającej rysunki umieszczamy układ z rys. 1a, schemat realizowanego układu (rys.1d), wypełnioną tabelką przejść-wyjść (rys.1b) oraz wyniki eksperymentu po podaniu powyższej sekwencji (rys.1c). Rozmieszczenie na stronie podano poniżej.



Rysunek 1

- Na odwrocie kartki z rysunkami zamieszczamy wnioski,
- Ewentualne potwierdzenia realizacji zadania w CAD (wydruk układu oraz wydruk z symulacji) zamieszczamy przed kartką z rysunkami.
- **Wypełnić stronę tytułową!**

#### Uwagi:

1. nie zapomnieć o podłączeniu wejść asynchronicznych przerzutników,
2. stałe wartości logiczne pobieramy z czerwonych przewodów (wartość 1) albo czarnych (wartość 0). **Nie wolno** ich pobierać z zadajnika wartości logicznych.
3. Na wyświetlaczu LED oglądamy wartości  $Z$  oraz  $y_1y_2$ .

#### Literatura:

- [1] A.Kaliś, Podstawy teorii układów logicznych, skrypt  
 [2] Katalogi firmowe elementów scalonych.

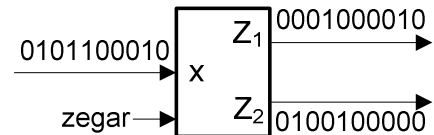
## Ćwiczenie nr 5

### Temat: Synteza układu synchronicznego.

**Zagadnienia do samodzielnego opracowania:** podaj różnice między analizą a syntezą układu synchronicznego; graf stanów-wyjść; kodowanie stanów; tablica przejść wyjść; funkcje wzbudzeń; układ wyjść;

Zaprojektuj układ synchroniczny o jednym wejściu  $x$  i dwóch wyjściach  $Z_1$  oraz  $Z_2$  działający w następujący sposób: pierwsza jedynka napotkana w sekwencji wejściowej generuje  $Z_1=1$ , druga jedynka -  $Z_2=1$ , trzecia jedynka -  $Z_1=1$ , czwarta jedynka -  $Z_2=1$  itd. Dodatkowo należy przyjąć, że w danej chwili zawsze  $Z_1Z_2=0$ . Gdy  $x=0$ , to  $Z_1=0$  i  $Z_2=0$ . Na rysunku 1 podano ilustrację działania układu dla przykładowej sekwencji wejściowej: w chwili  $t_1; x=0$ , chwili  $t_2; x=1$ ,  $t_3, t_4, t_5; x=0$ ,  $t_6; x=1$ , itd).

Innymi słowy, układ ma przekazywać jedynki nieparzyste na wyjście  $Z_1$ , a jedynki parzyste na wyjście  $Z_2$  („rozdzielacz jedynek”).



Rysunek 1

#### Kolejne kroki ćwiczenia:

1. Zrealizować układ Moore'a i sprawdzić poprawność działania dla dwóch wcześniej przygotowanych testowych sekwencji wejściowych (sekwencja 1; sekwencja 2),
2. Poprosić prowadzącego (podpis 1). **Nie rozmontowywać układu!**
3. Zrealizować układ Mealyego i sprawdzić poprawność działania dla sekwencji 1 oraz sekwencji wejściowej 2 (takich samych jak w punkcie 1),
4. Porównać zachowanie układu Moore'a z układem Mealyego (najlepiej na diagramie czasowym),
5. Poprosić prowadzącego (podpis 2).

#### Zawartość „odręcznego” sprawozdania z podziałem na strony:

- Na stronie 1 oraz 2 – synteza układu Moore'a przeprowadzona wg następujących punktów: a) graf stanów-wyjść, b) minimalizacja tablicy stanów-wyjść, c) kodowanie stanów, d) otrzymywanie funkcji wzbudzających wejścia przerzutników, e) otrzymywanie funkcji wyjść. Wybrać przerzutniki D oraz wykorzystać tylko te układy, które są dostępne na płycie montażowej.
- Na stronie 3 – synteza układu Mealyego (według identycznych punktów jak wyżej). Wykorzystać przerzutniki JK.
- Na ostatniej stronie umieszczamy rysunki zsyntezowanych układów wraz z diagramami czasowymi (rozkład rysunków na ostatniej stronie pokazano na rysunku 2).
- Ewentualne potwierdzenia realizacji zadania w CAD (wydruk układu oraz symulacji) zamieszczamy przed kartką z rysunkami.
- **Wypełnić stronę tytułową!**

#### Uwagi:

1. nie zapomnieć o podłączeniu wejść asynchronicznych przerzutników,
2. stałe wartości logiczne pobieramy z czerwonych przewodów (wartość 1) albo czarnych (wartość 0). **Nie wolno** ich pobierać z zadajnika wartości logicznych.

#### Literatura:

- [1] A.Kaliś, Podstawy teorii układów logicznych, skrypt  
[2] Katalogi firmowe elementów scalonych.

### Ostatnia strona

Diagram dla sekwencji 1

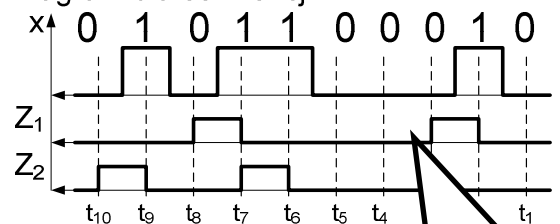


Diagram dla sekw...

To jest przykładowy diagram

schemat  
układu  
Moore'a

Schemat  
układu  
Mealyego

Diagram dla sekwencji 1

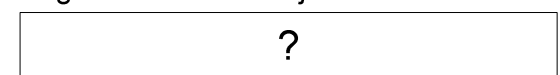
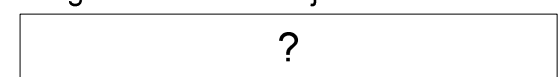


Diagram dla sekwencji 2



Rysunek 2