



UNIVERSIDAD
NACIONAL
DE COLOMBIA

DOCUMENTACIÓN TÉCNICA CANDADO INTELIGENTE

JUAN DAVID CARRILLO ROMERO
CRISTIAN YESID CHITIVA VELA
MAURICIO ALEJANDRO ÁLVAREZ ÁLVAREZ

Profesor:

FERNEY ALBERTO BELTRÁN

UNIVERSIDAD NACIONAL DE COLOMBIA
FACULTAD DE INGENIERÍA
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA Y ELECTRÓNICA
BOGOTÁ, COLOMBIA
2019

Índice general

1	Introducción	2
2	Descripción de la caja funcional	3
3	Descripción Funcional	4
4	Descripción Estructural	6
4.1	I2S	6
4.1.1	Contador	6
4.1.2	Divisor	6
4.1.3	Comparador 16 Y 0	6
4.1.4	SHIFT	6
4.2	fifo	7
5	Diagrama de estados	8
6	Arquitectura del periférico	9
7	Simulaciones	10

CAPÍTULO 1

INTRODUCCIÓN

El módulo I2S(Integrated Interchip Sound) es un estándar eléctrico de bus serial utilizado para interconectar circuitos de audio digital. El bus de i2s separa las señales de datos y de reloj, lo que resulta en menores cantidades de fluctuación de la señal que en sistemas que recuperan el reloj de la señal de datos. El bus I2S consiste de un reloj de bit, una línea de selección de palabra y la línea de datos. El protocolo I2S especifica un tipo de comunicación digital tipo PCM con parámetros bien definidos. Dado que el transmisor y el receptor tienen la misma señal de reloj para la transmisión de datos, el transmisor como maestro, tiene que generar el reloj de bits, señal de selección de palabra y datos.

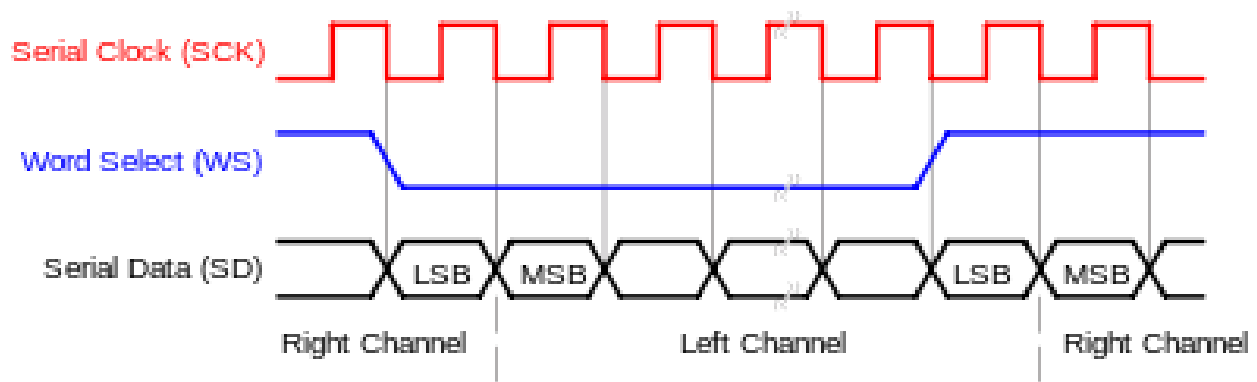


FIGURA 1.1
Diagrama de tiempos

Como vemos en la figura 1.1 hay tres señales involucradas en el envío de datos de audio. Un reloj de serie SCK , una señal de luz estroboscópica WS que indica si los datos corresponden al canal izquierdo o al canal derecho, y una señal de datos serie SD . Las señales WS y SD están sincronizadas con la señal SCK y cambian en con el flanco de bajad de SCK . Los datos se envían desde el más significativo primero.

CAPÍTULO 2

DESCRIPCIÓN DE LA CAJA FUNCIONAL

Solamente el modulo I2S consta de la caja negra que podemos ver en la parte derecha de la Figura2.1. Observando solo esta mini caja negra podemos detallar que consta de tres entradas , la primera que decidimos obviar pero consiste en un reloj (clk) de entrada, la segunda que son los datos de entrada (data) los cuales para nuestro modulo poseen un tamaño de 32bits y por último una señal init que se encarga de iniciar el proceso transmisión de datos. Consta de cuatro salidas , la primera es un busy que se encarga de avisar cuando el modulo se encuentra realizando el proceso de transmisión y por ende es incapaz de recibir datos en la entrada, la segunda salida se trata de SD la cual es simplemente el dato ya que recordamos que es transmisión de paralelo a serial, la tercera salida (SCK) se trata del reloj configurado a 1 frecuencia a la que necesito que salgan mis datos y la ultima es el Word Select que como esta definido en la Introducción se trata del selector para salida estéreo. Para implementar el I2S tuvimos que agregarle un modulo externo (fifo) creando el modulo SimI2S. la fifo cuenta con cuatro entradas , dataIn para los datos que ingresarán de 32bits , rst señal de reset , R para especificar que estamos leyendo los datos y W que nos indica que estamos escribiendo datos en la fifo , esta última va conectada con la salida busy del modulo I2S. Como salidas tenemos full que avisa si la fifo se ha llenado , empty que se encarga de avisar que la fifo esta vacía y dataOut que son los datos de salida de 32bits pues es paralelo a paralelo. Con esto el modulo SimI2S tendría tres entradas: DataIN, rst, R y cuatro salidas: full, SD, SCK, WS.

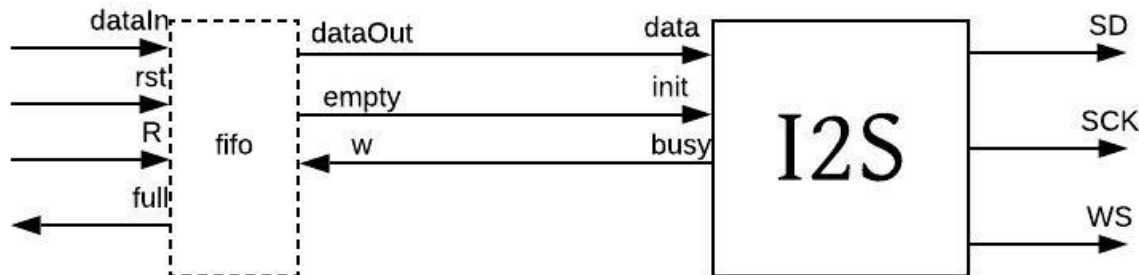


FIGURA 2.1
Caja Negra

CAPÍTULO 3

DESCRIPCIÓN FUNCIONAL

En la imagen3.1 podemos observar el diagrama de flujo el cual se utilizo de guía para este proyecto, iniciando todo cuando este cargado el modulo fifo.

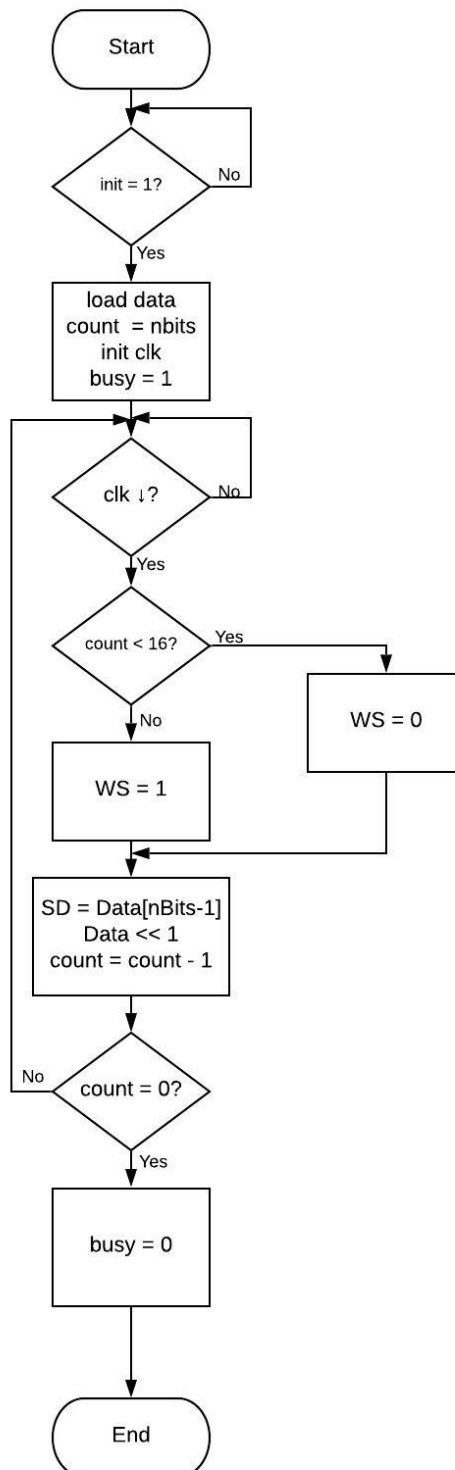


FIGURA 3.1
Diagrama de flujo

CAPÍTULO 4

DESCRIPCIÓN ESTRUCTURAL

4.1. I2S

4.1.1. CONTADOR

Este modulo recibe dos señales de entrada, count y rst, las cuales están conectadas con modulo SHIFT, además tiene una señal de salida num, Este modulo se encarga de contar bit a bit los 32 que recibe.

4.1.2. DIVISOR

Este modulo tiene dos señales de entrada, clki e init, de las cuales init viene conectada con el modulo fifo y clki que es el reloj, por otra parte también tiene una salida clk0, la cual saldrá negada cuando la frecuencia de salida y la de entrada sean la mitad.

4.1.3. COMPARADOR 16 Y 0

El comparador16 tiene como variable de entrada x y de salida z. Este modulo se encarga de que siempre que x sea menor a los 16 bits de entrada, z tiene que ser 0 de lo contrario 1, lo cual es una seña utilizada para el modulo fifo.

4.1.4. SHIFT

Este modulo tiene tres entradas que son; load, SH, data y una salida SD, las cuales usa para que en cada flanco de bajada envíe el bit mas significativo.

4.2. FIFO

Fifo es el modulo el cual se encarga de tomar y pasar los datos del archivo audio.mem, en el cual tenemos guardado nuestro tono, siendo así enviando datos hacía nuestro modulo general I2S.

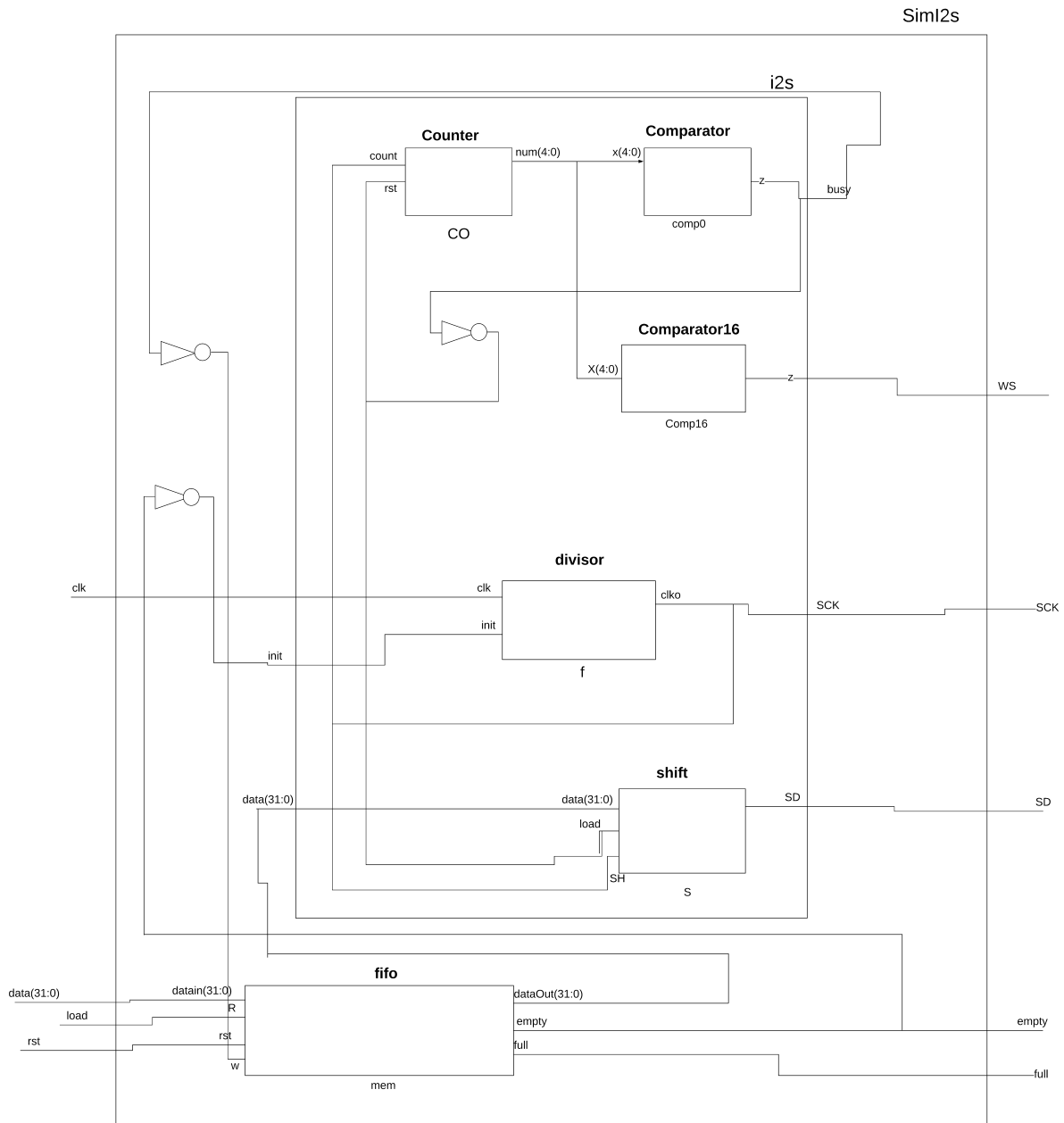


FIGURA 4.1
Datapad

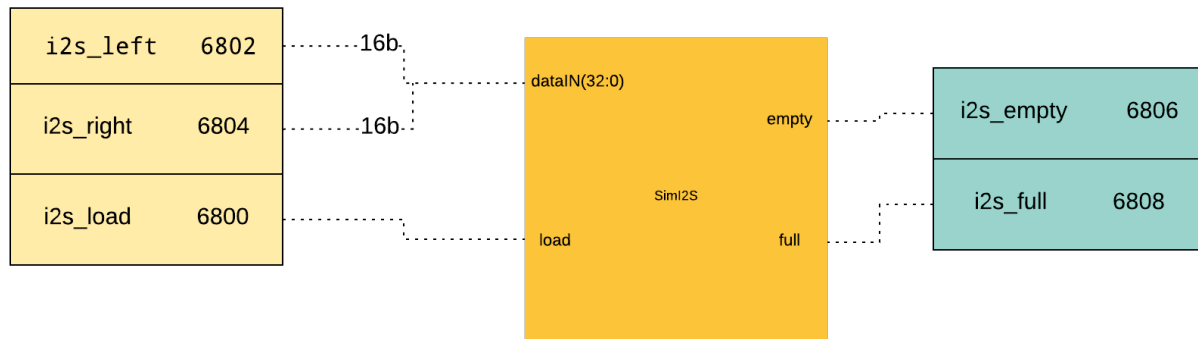
CAPÍTULO 5

DIAGRAMA DE ESTADOS

CAPÍTULO 6

ARQUITECTURA DEL PERIFÉRICO

Se muestra el diagrama de caja funcional para el SimI2S; este modulo tiene como entrada un dataIn de 32bits pero debido a que el procesador máximo maneja datos de 16bits entonces dividimos en dos registros de 16bits, i2s_left, i2s_right. la señal load que carga los datos a la fifo, la señal de salida empty y full.



SIMULACIONES

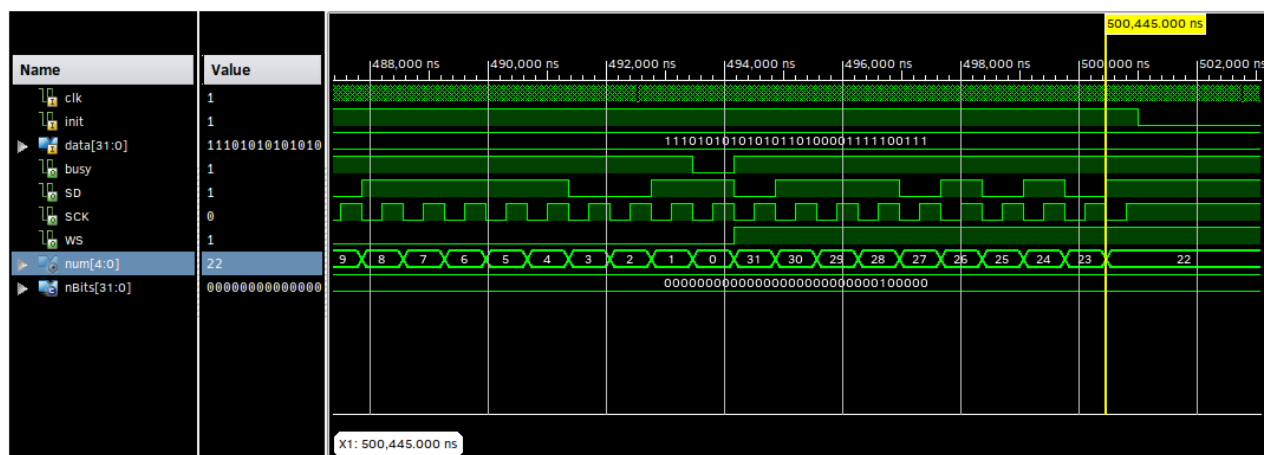


FIGURA 7.1
i2sffifo

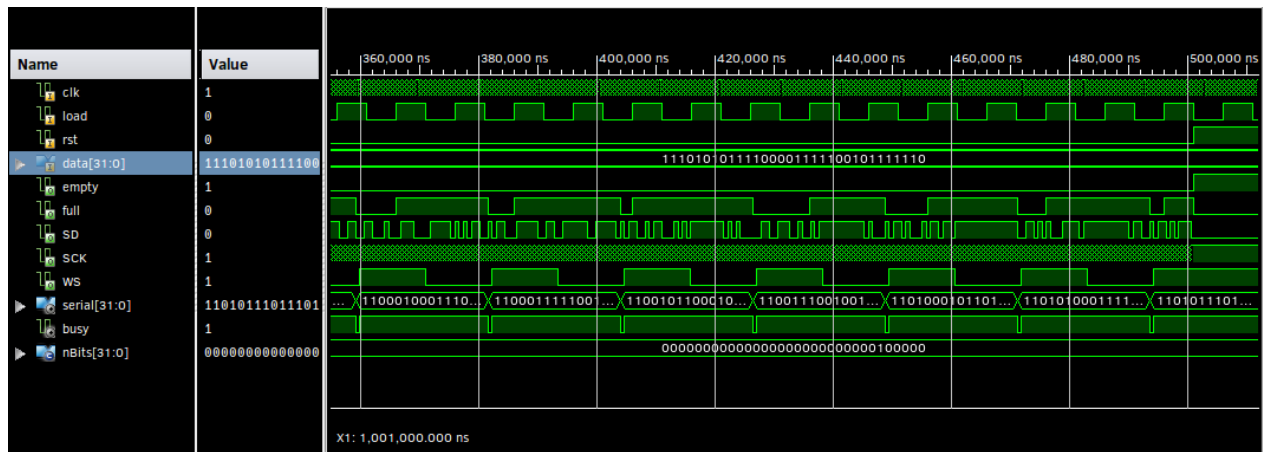


FIGURA 7.2
Siml2S

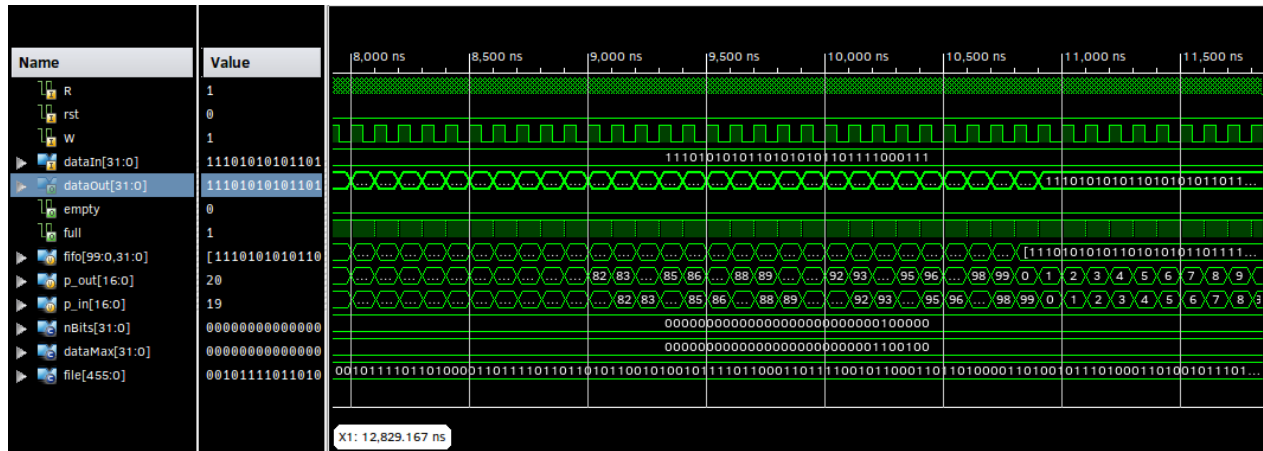


FIGURA 7.3
Siml2S

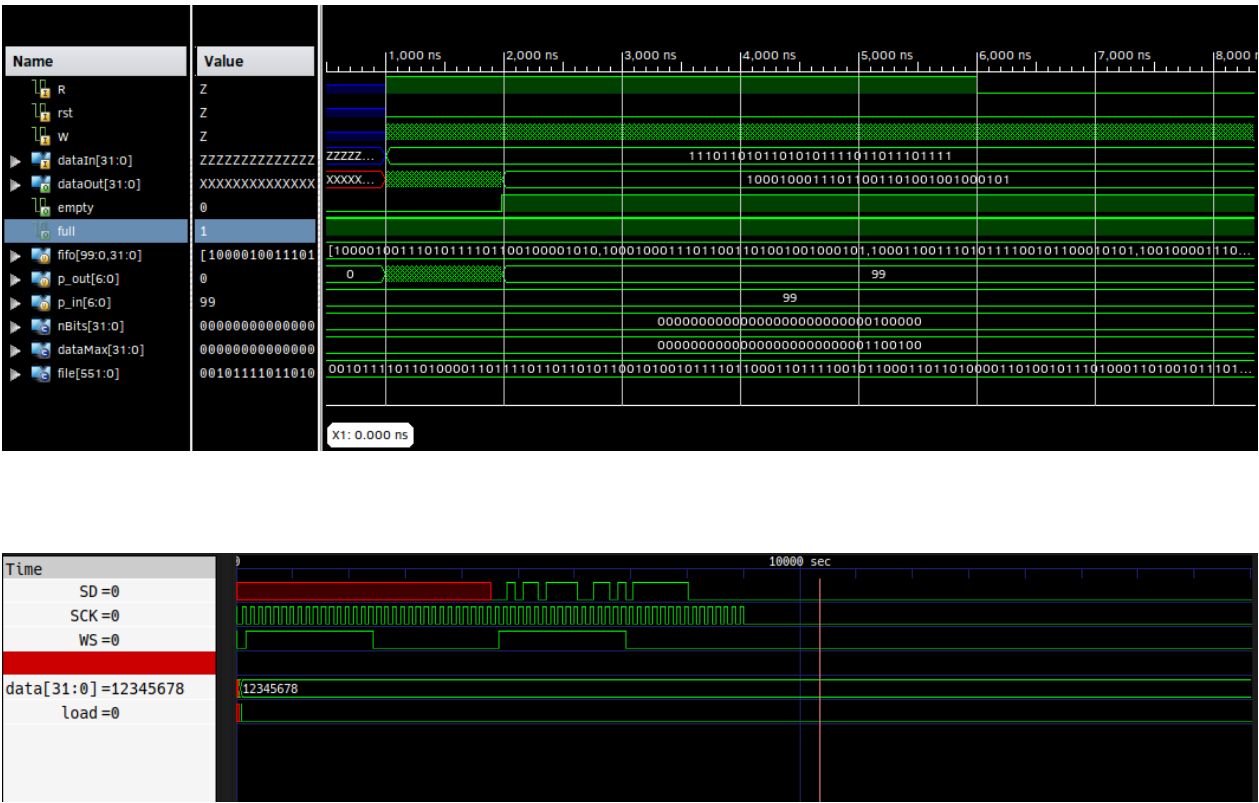


FIGURA 7.4
j1