

Problema 1

BINARIO				
	A	B	C	D
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

GRAY			
S3	S2	S1	S0
0	0	0	0
0	0	0	1
0	0	1	1
0	0	1	0
0	1	1	0
0	1	1	1
0	1	0	1
0	1	0	0
1	1	0	0
1	1	0	1
1	1	1	1
1	1	1	0
1	0	1	0
1	0	1	1
1	0	0	1
1	0	0	0

Mapa K para S3

cd \ Ap	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

$$\bar{A}\bar{C} + AC = A$$

Mapa K para S2

cd \ Ap	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

$$\bar{A}B + A\bar{B} = A \oplus B$$

Mapa para S1

cd \ Ap	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	1	0	0	1
10	1	0	0	1

$$\bar{B}\bar{C} + \bar{B}C = \bar{B} \oplus C$$

Mapa para S0

cd \ Ap	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	0	0
10	1	1	1	1

$$\bar{C}D + C\bar{D} = C \oplus D$$

Sintetizando

2 Opciones

S3	$\bar{A}\bar{C} + AC$	A	} Más directo menos operaciones
S2	$\bar{A}B + A\bar{B}$	$A \oplus B$	
S1	$\bar{B}\bar{C} + \bar{B}C$	$B \oplus C$	
S0	$\bar{C}D + C\bar{D}$	$C \oplus D$	

Problema 3:

- El display que se muestre en decimal
- Crear un enable register que sea sincrónico ✓
- Para el contador se sumará un bit.

Idea 2:

Display en hexadecimal

Crear el momento en el que se
aumenta el contador asincrónico

} Idea más compleja

Además de que el enable
puede ser sincrónico por el
clk rápido de la FPGA

Si el display fuera en hexadecimal
tal vez no sea tan fácil de
entender.