

# Sprawozdanie z laboratorium

<b>Przedmiot</b>	Modelowanie i Analiza Systemów
<b>Temat laboratorium</b>	Testbench układu decymacyjnego
<b>Numer laboratorium</b>	2
<b>Imię i nazwisko</b>	Maciej Stanek
<b>Numer indeksu</b>	122352
<b>Data wykonania</b>	16 marca 2018
<b>Data sprawozdania</b>	30 marca 2018

**Zadanie 1:** *Opis koncepcji układu decymacyjnego i wyjaśnienie jego działania.*

**Zadanie 2:** *Opis koncepcji działanie całego układu testbenchu – zależności czasowe taktowania.*

**Zadanie 3:** *Wyjaśnienie znaczenia/funkcji wszystkich portów (we/wy) oraz parametrów (generic). W kodzie należy nadać wartości domyślne (default) wszystkim parametrom.*

**Zadanie 4:** *Kody źródłowe VHDL – Testbenchu – bogato udokumentowany komentarzami.*

**Zadanie 5:** *Kod źródłowy układu decymacyjnego - bogato udokumentowany komentarzami.*

**Zadanie 6:** *Plik wejściowy (z opisem sposobu jego generacji i wyjaśnienie co jest w nim zakodowane i z jakimi parametrami OSR).*

**Zadanie 7:** *Plik wyjściowy z wyjaśnieniem zawartości.*

**Zadanie 8:** *Zrzut ekranu przedstawiający działania układu, który zawiera co najmniej następujące przebiegi (sygnały):*

- Zegar bazowy (CLK),
- Bitstream wejściowy (Data\_In) — przed decymacją,
- Ciąg wyjściowy liczb całkowitych reprezentujący sygnał wejściowy (Data\_Out).