

# Sprawozdanie 2

## Tranzystor Unipolarny

Maciej Mionskowski

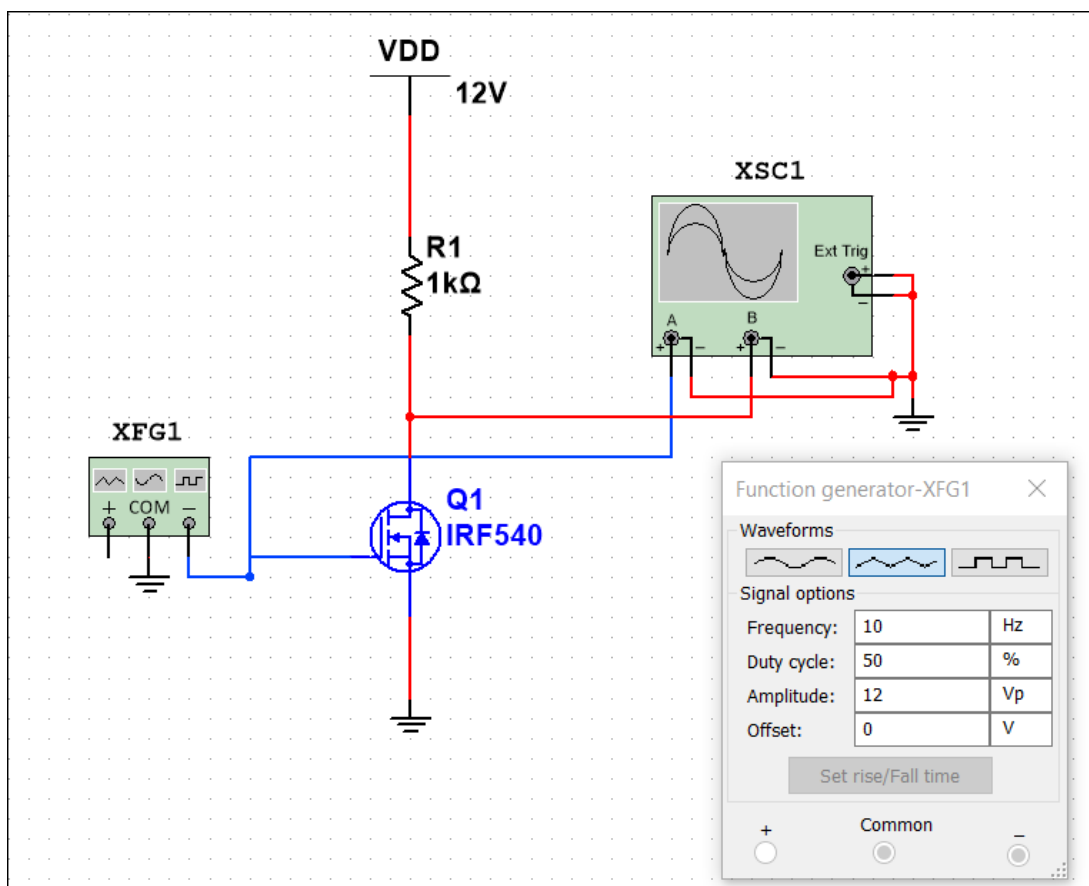
Celem ćwiczeń było zapoznanie się z zasadą działania tranzystorów unipolarnych.

### 1 Napięcie progowe tranzystora unipolarnego

#### 1.1 Cel

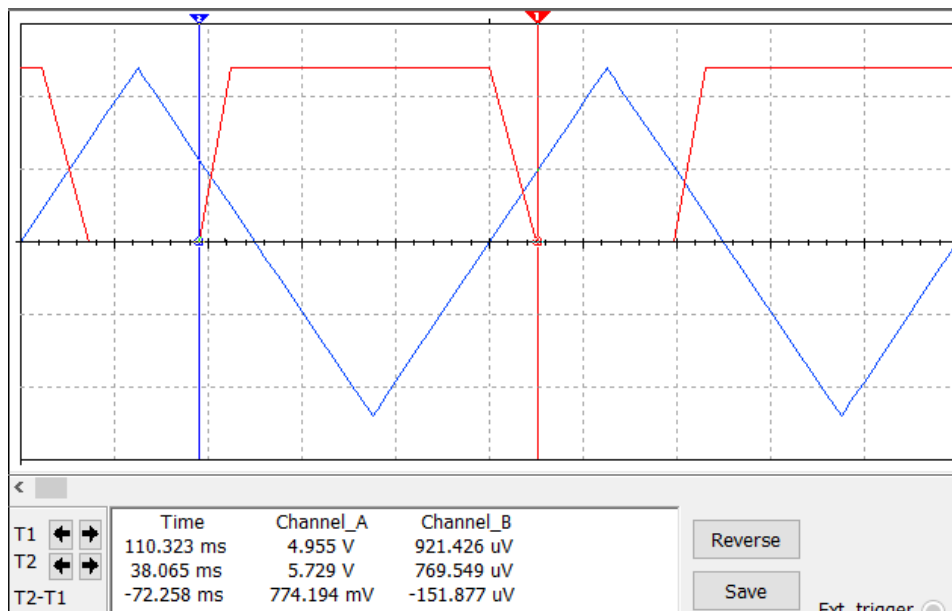
Celem ćwiczenia było wyznaczenie wartości napięcia progowego  $U_t$  tranzystora unipolarnego. W tym celu podłączyłem generator sygnału trójkątnego wolno narastającego.

#### 1.2 Analiza

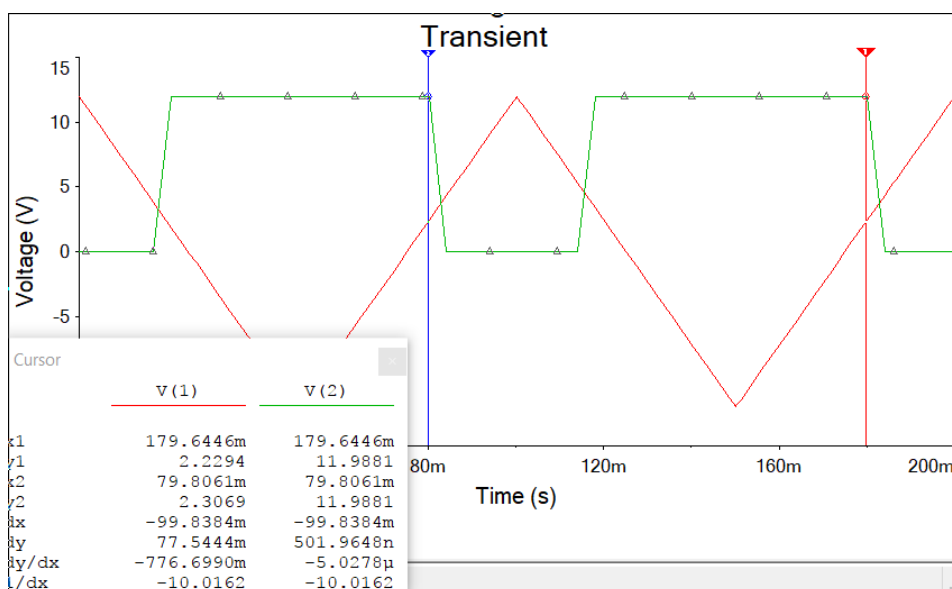


Rysunek 1: Obwód, który posłużył do wyznaczenia napięcia progowego.

$$U_T = 2.3069V$$



Rysunek 2: Pomiar napięcia na bramce i na rezystorze w układzie na rysunku 1



Rysunek 3: Analiza transient korelacji napięcia na wyjściu generatora (na bramce)  $U_{gs}$  do napięcia na rezystorze.

### 1.3 Wniosek

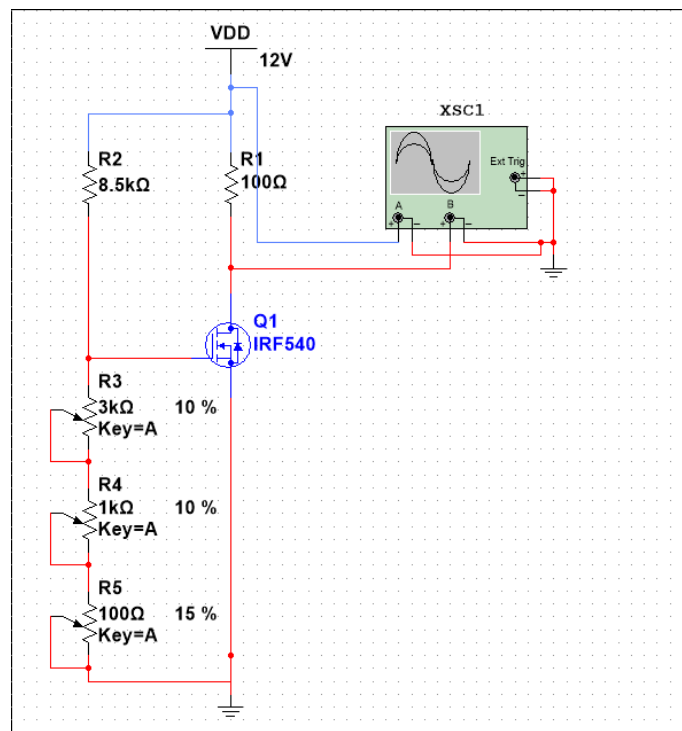
Z powyższej analizy wynika, że tranzystor posiada napięcie progowe wynoszące  $\sim 0.72V$ . Rozbieżności w powyższych danych spowodowane są błędem pomiarowym polegającym na: niewłaściwym ustawieniu kursorów, a także niedokładności programu MultiSim.

## 2 Tranzystor unipolarny w układzie wzmacniacza sygnałów zmiennych

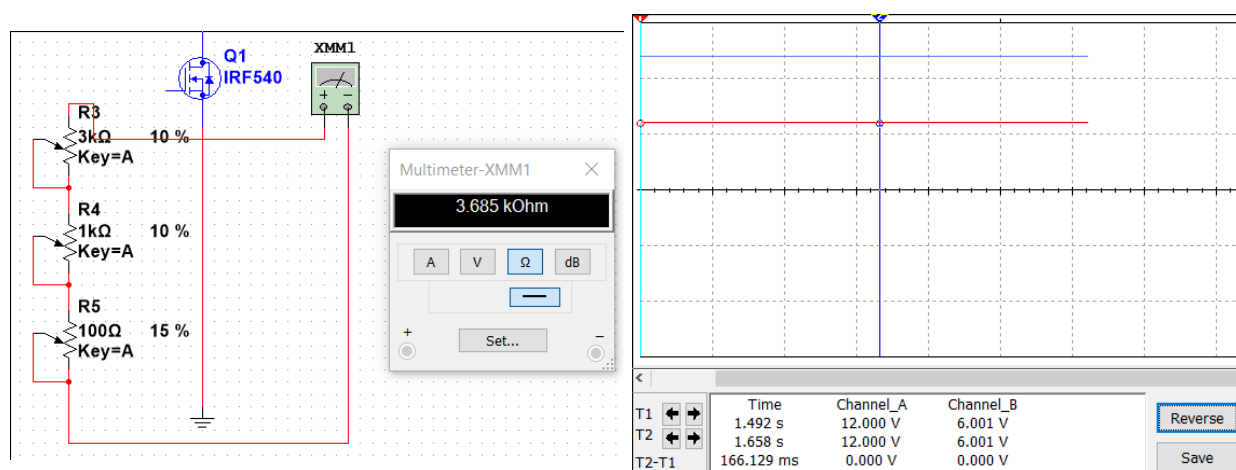
### 2.1 Cel

Celem ćwiczenia było wyznaczenie wartości rezystora, tak aby układ pracował optymalnie. Doświadczenie wykonałem doświadczalnie poprzez zastosowanie potencjometrów, analizy transient i oscyloskopa. Ponadto należało pokazać i poznać zasadę działania takiego układu jako wzmacniacza sygnału zmiennego.

### 2.2 Analiza



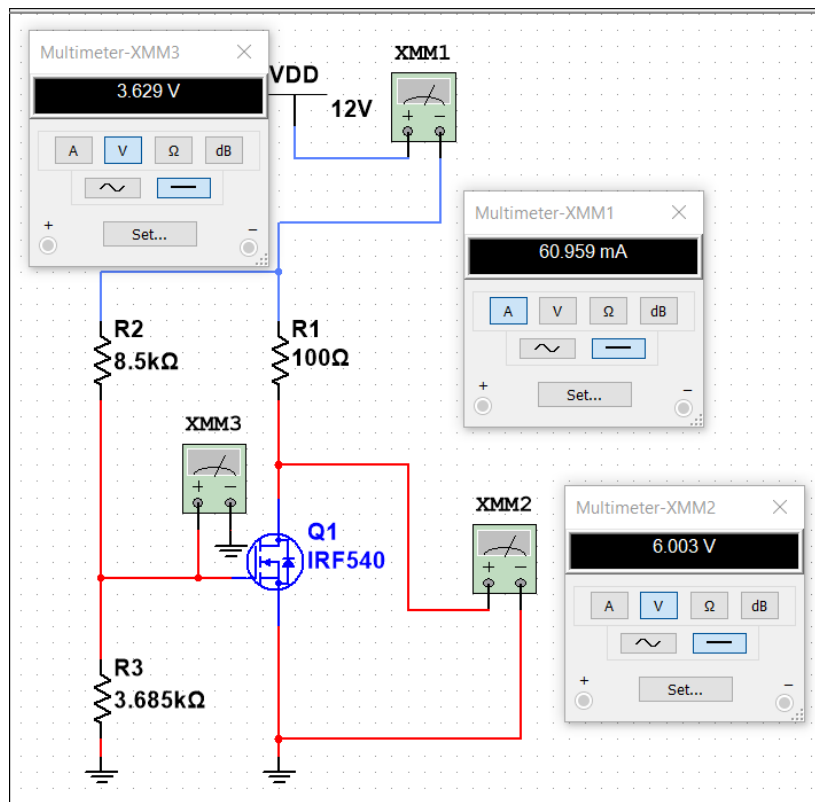
Rysunek 4: Prosty obwód z tranzystorem NMOS do eksperymentalnego wyznaczenia rezystancji  $R$



(a) Pomiar na omomierzu dla rezystora zastępczego, którego wartość została wyznaczona doświadczalnie

(b) Pomiar napięcia  $U_{wy}$  na oscyloskopie dla  $R_Z = 3.685k\Omega$

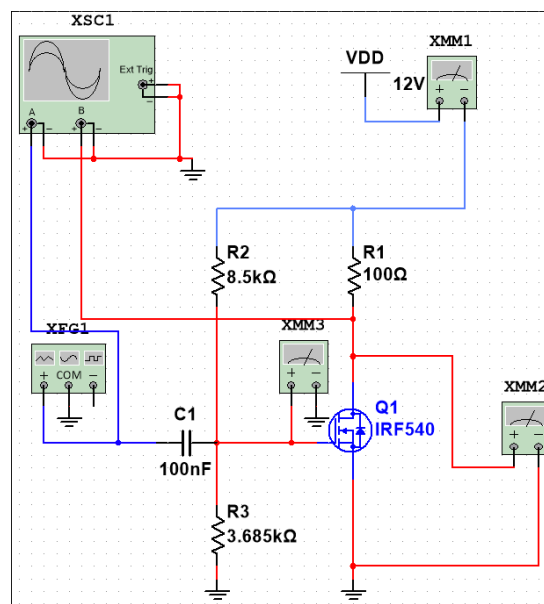
Rysunek 5: Pomiary napięcia i rezystancji wykonane w celu wyznaczenia rezystancji zastępczej.



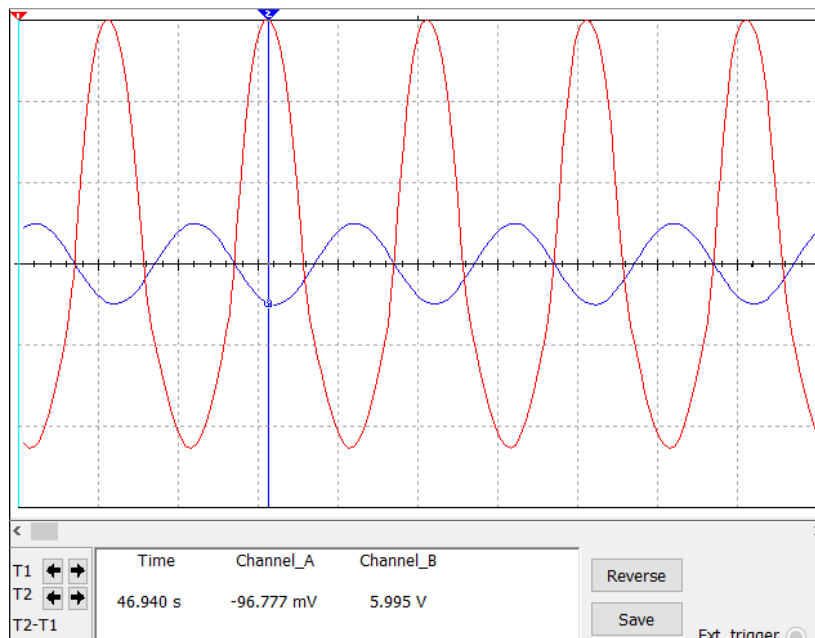
Rysunek 6: Pomiary punktu pracy i napięcia na bramce wykonane w obwodzie po zastąpieniu potencjome-trów rezystorem o rezystancji zastępczej  $R_z$

Tabela 1: Wartości zmierzone w obwodzie na rysunku 4

$U_{DD}$	$R_D$	$U_{GS}$	$U_{DS}$	$I_D$	$(U_{DS}, I_D)$	$k_u$	$g_m$
12V	100Ω	3.629V	6.003V	61mA	6.003V, 61mA	$\frac{1}{2}$	16.8mS



Rysunek 7: Obwód z podłączonym generatorem prądu zmiennego.



Rysunek 8: Pomiar wzmocnienia sygnału wejściowego. Należy zwrócić uwagę na skalę (wartości na dole)

## 2.3 Wniosek

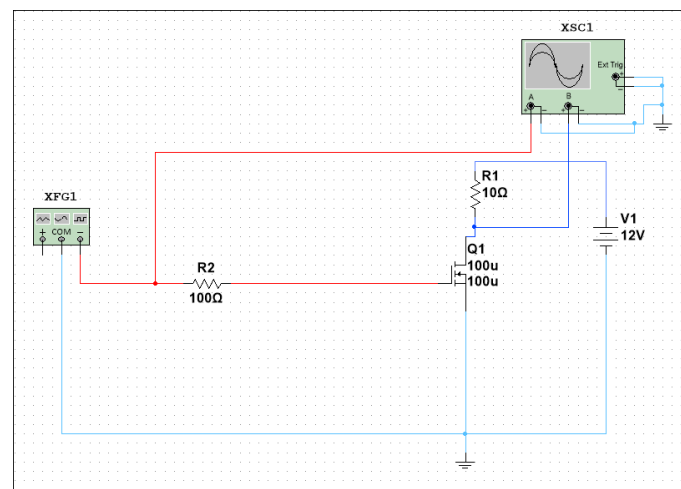
Tranzystor w układzie polaryzacyjnym może być użyty jako wzmacniacz sygnału zmiennego. Doświadczalne wyznaczanie rezystancji zastępczej jest dość efektywnym sposobem osiągnięcia tego samego rezultatu mniejszym nakładem kognitywnym. Wartości w tabeli zgadzają się z informacjami teoretycznymi przekazanymi na wykładzie. Optymalne wartości pracy tranzystora wyznaczają wzory:  $U_{wy} = \frac{1}{2}U_{DD}$ ,  $I_D = \frac{U_{DD}-U_{wy}}{R_D}$ .

# 3 Tranzystor unipolarny CMOS jako klucz przełączający

## 3.1 Cel

Celem ćwiczenia było poznanie zasady działania tranzystora unipolarnego CMOS jako klucza przełączającego oraz zmierzenie czasów włączenia i wyłączenia tranzystora.

## 3.2 Analiza



Rysunek 9: Prosty obwód z tranzystorem unipolarnym użytym jako klucz.

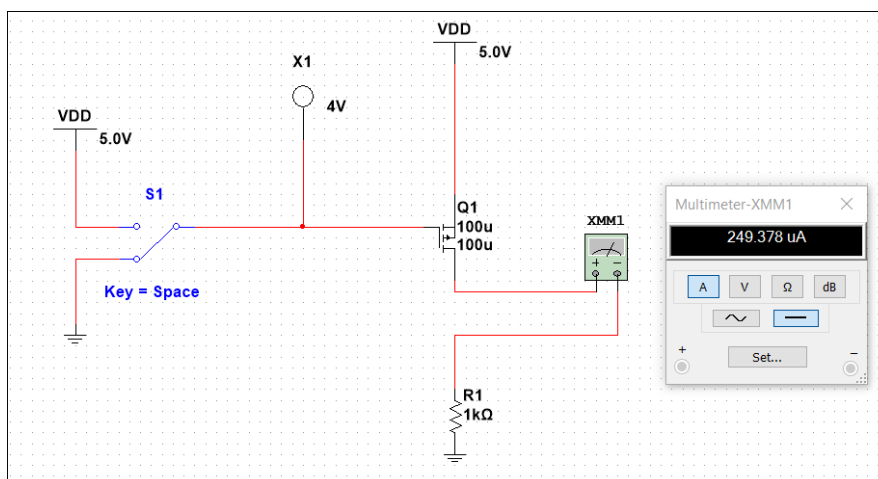
### 3.3 Wniosek

## 4 Klucz przełączający - wstęp do układów logicznych

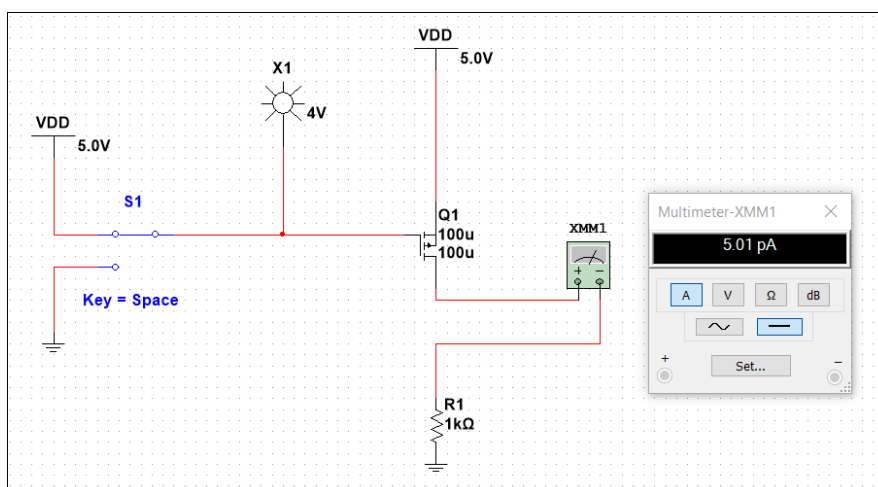
### 4.1 Cel

Celem ćwiczenia było zapoznanie się z zasadą działania układów logicznych (stan niski, wysoki). Pomiar napięć, poznanie różnic między tranzystorami P i N.

### 4.2 Analiza



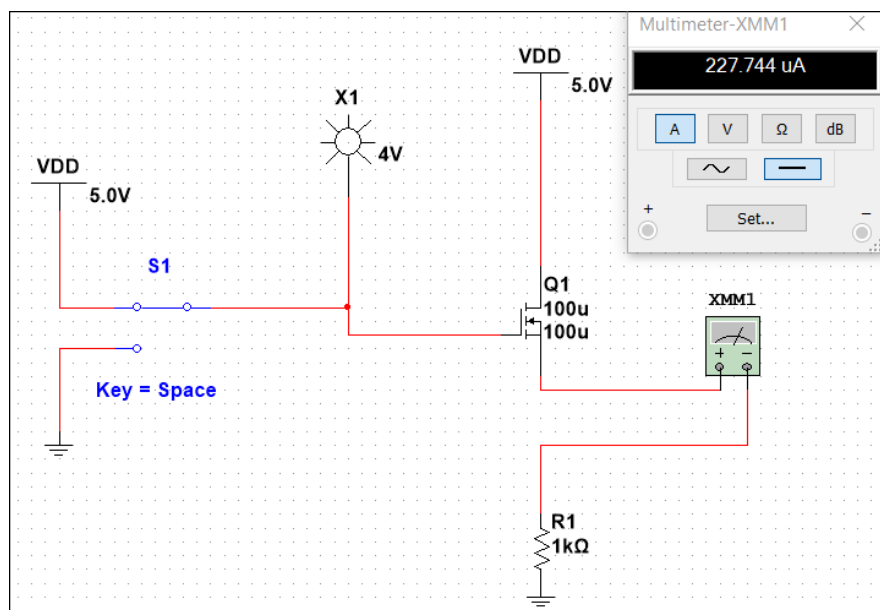
Rysunek 10: Klucz przełączający z tranzystorem PMOS, stan włączony



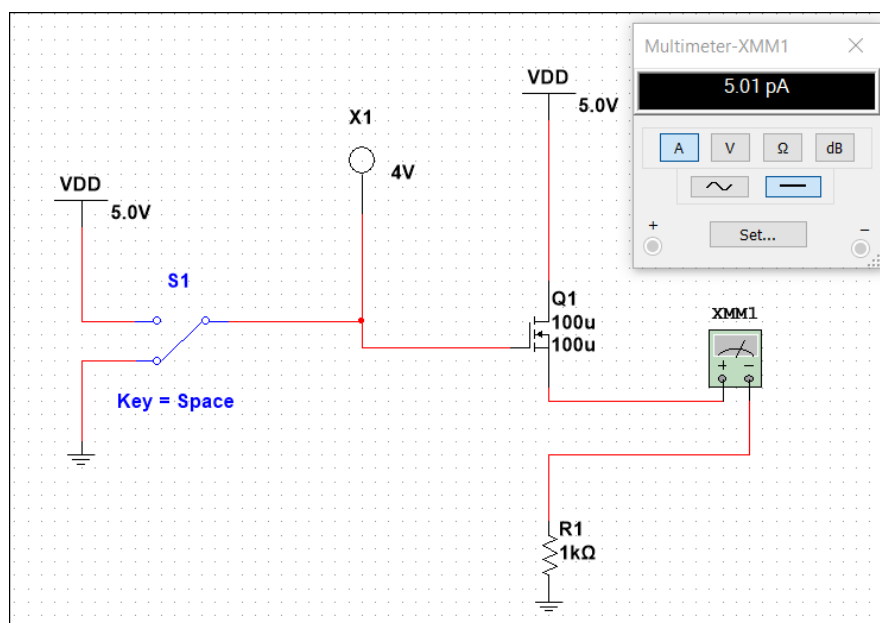
Rysunek 11: Klucz przełączający z tranzystorem PMOS, stan wyłączony

Tablica 2: Tabela prawdy dla klucza przełączającego z tranzystorem PMOS

Sygnal na bramce tranzystora	stan tranzystora PMOS
1	wyłączony
0	włączony



Rysunek 12: Klucz przełączający z tranzystorem NMOS, stan włączony



Rysunek 13: Klucz przełączający z tranzystorem NMOS, stan wyłączony

Tablica 3: Tabela prawdy dla klucza przełączającego z tranzystorem NMOS

Sygnał na bramce tranzystora	stan tranzystora NMOS
1	włączony
0	wyłączony

### 4.3 Wniosek

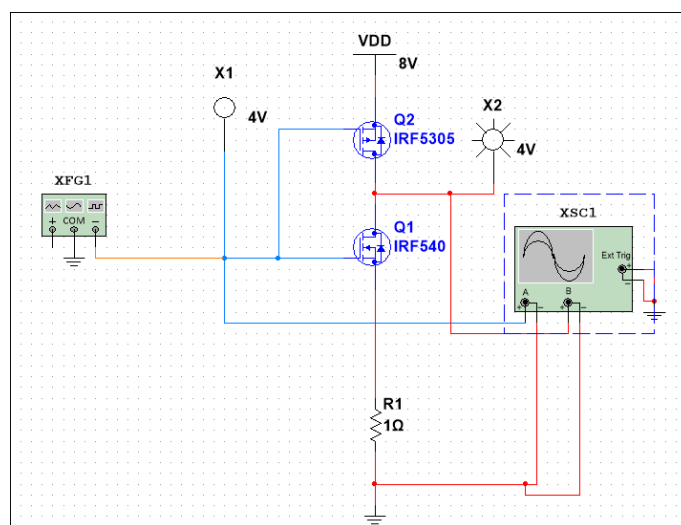
Tranzystor może być użyty jako klucz przełączający. Podanie sygnału wysokiego na bramkę tranzystora NMOS aktywuje klucz, analogicznie podanie sygnału niskiego na bramkę tranzystora PMOS również aktywuje/zamyka klucz.

## 5 Inwerter logiczny CMOS - NOT

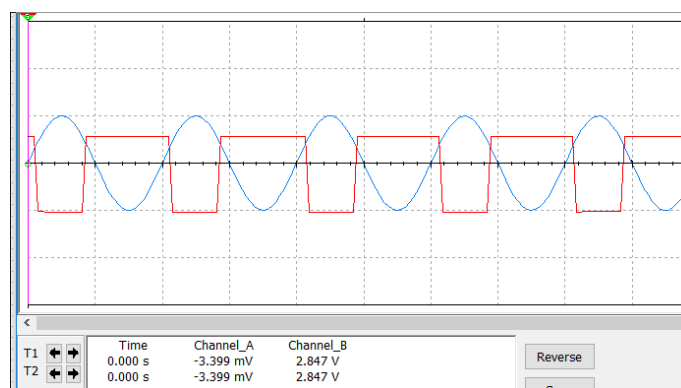
### 5.1 Cel

Celem doświadczenia było zapoznanie z zasadą działania inwertera logicznego CMOS - NOT.

### 5.2 Analiza



Rysunek 14: Inwerter CMOS



Rysunek 15: Zależność stanu logicznego wyjścia od wejścia w bramce NOT

Tablica 4: Tabela prawdy dla inwertera logicznego NOT

Wejście	Wyjście	Q1	Q2
1	0	1	0
0	1	0	1

### 5.3 Wniosek

Inwerter logiczny CMOS - NOT odwraca stan sygnału. Jest to bardzo prosta bramka logiczna, za pomocą której można budować inne bramki. Do budowy stosujemy dwa komplementarne tranzystory tak aby w zależności od sygnału wejściowego raz jeden był otwarty, a raz drugi.

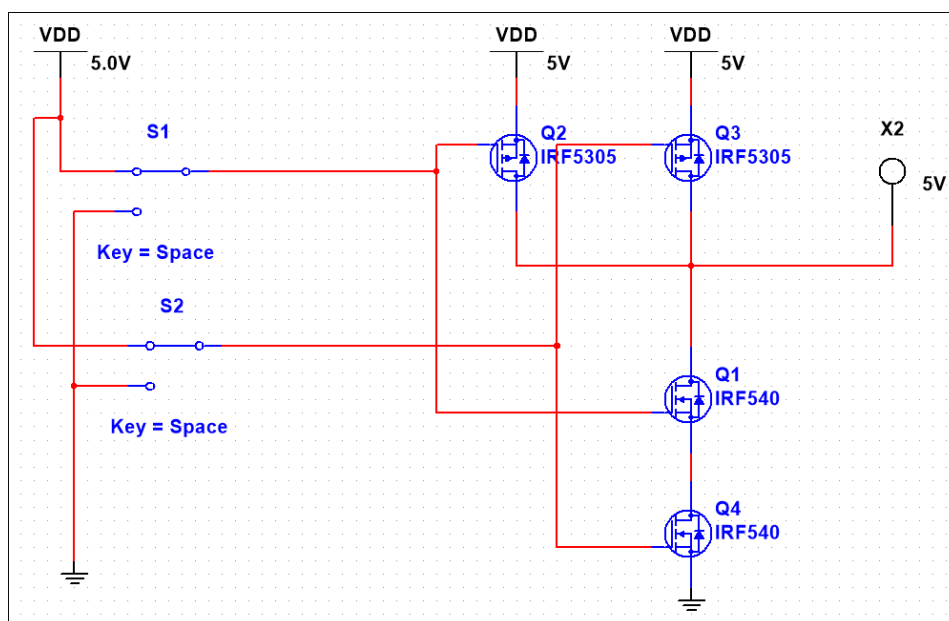


## 6 Bramka NAND w technologii CMOS

### 6.1 Cel

Celem doświadczenia było zapoznanie z budową i zasadą działania bramki NAND.

### 6.2 Analiza



Rysunek 16: Bramka NAND - 2 tranzystory PMOS połączone równolegle i 2 NMOS połączone szeregowo

Tablica 5: Tabela prawdy dla bramki NAND

S1	S2	Wyjście	Q2	Q3	Q1	Q4
1	1	0	0	0	1	1
0	1	1	1	0	0	1
1	0	1	0	1	1	0
0	0	1	1	1	0	0

### 6.3 Wniosek

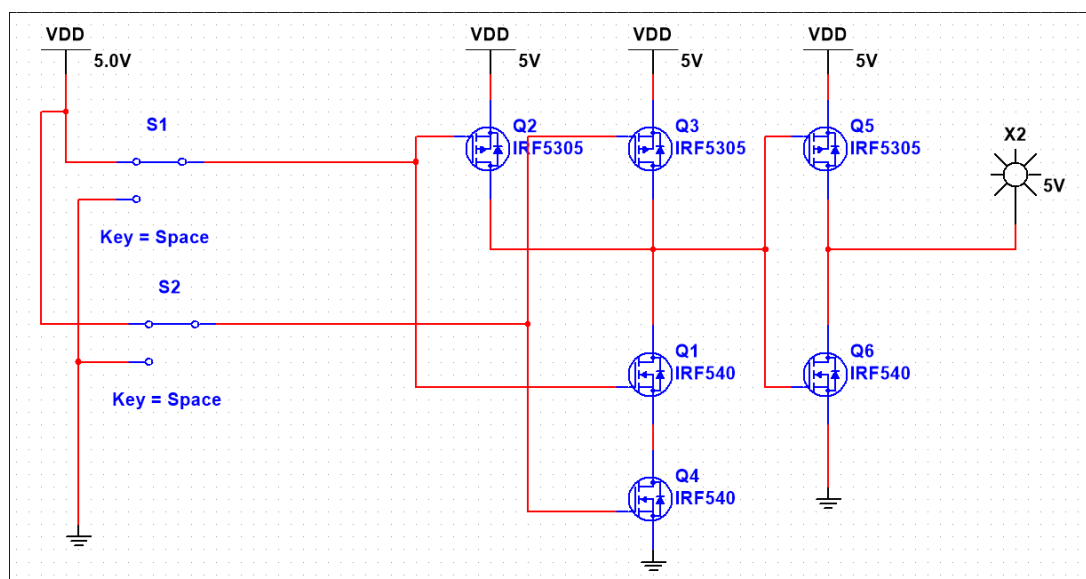
Bramka logiczna NAND - NOT AND (analogiczna do koniunkcji w logice klasycznej) działa na zasadzie "połączenia" funkcji 'i' i 'lub'. W jednym momencie włączone są jedynie dwa tranzystory, powoduje to, że prąd nie może płynąć bezpośrednio od  $V_{DD}$  do masy.

## 7 Bramka AND w technologii CMOS

### 7.1 Cel

Celem doświadczenia było zapoznanie z budową i zasadą działania bramki AND.

### 7.2 Analiza



Rysunek 17: Bramka AND - 2 tranzystory PMOS połączone równolegle i 2 NMOS połączone szeregowo + 2 na inwerter

Tablica 6: Tabela prawdy dla bramki AND - 2 tranzystory PMOS połączone równolegle i 2 NMOS połączone szeregowo + 2 komplementarne na inwerter

S1	S2	Wyjście	Q2	Q3	Q1	Q4	Q5	Q6
1	1	1	0	0	1	1	1	0
0	1	0	1	0	0	1	0	1
1	0	0	0	1	1	0	0	1
0	0	0	1	1	0	0	0	1

### 7.3 Wniosek

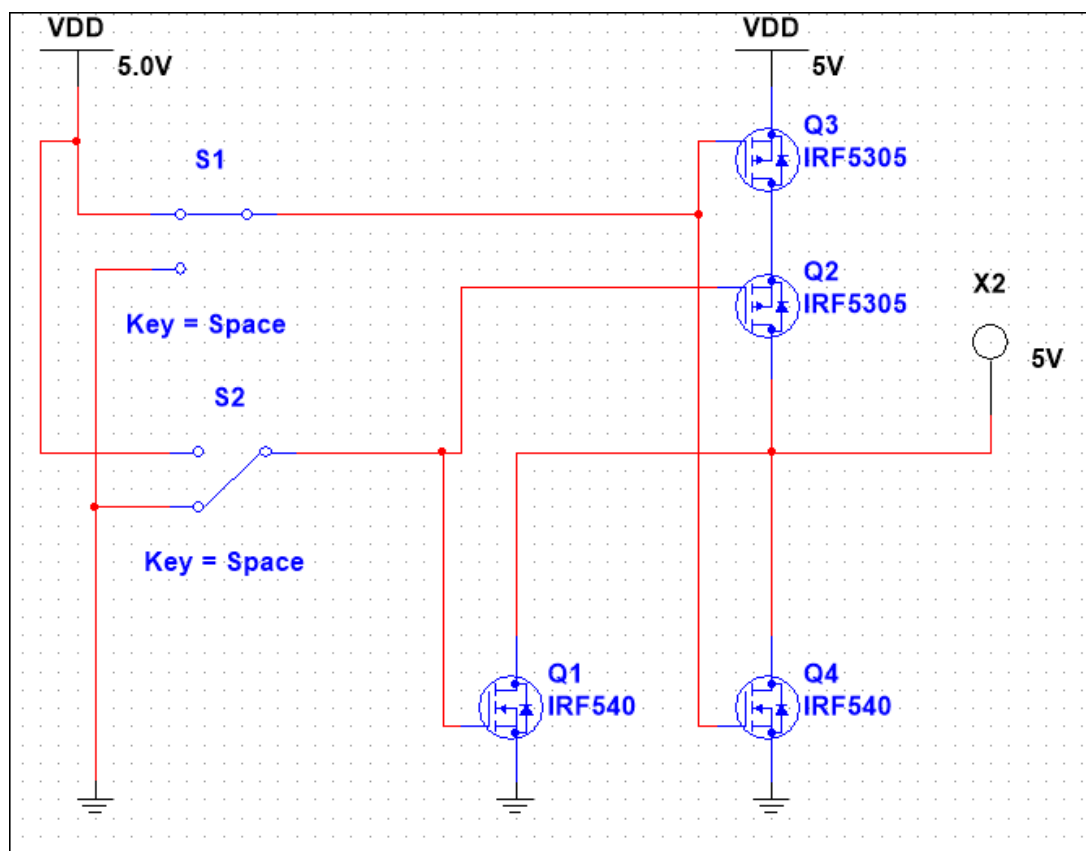
Bramka logiczna AND lub w tym przypadku NOT NAND działa na zasadzie "połączenia" bramek 'i', 'lub' i negacji. W jednym momencie włączone są jedynie dwa tranzystory (wykluczając inwerter), powoduje to, że prąd nie może płynąć bezpośrednio od  $V_{DD}$  do masy.

## 8 Bramka NOR w technologii CMOS

### 8.1 Cel

Celem doświadczenia było zapoznanie z budową i zasadą działania bramki NOR.

### 8.2 Analiza



Rysunek 18: Bramka NOR - 2 tranzystory NMOS połączone równolegle i 2 PMOS połączone szeregowo

Tablica 7: Tabela prawdy dla bramki NOR

S1	S2	Wyjście	Q3	Q2	Q1	Q4
1	1	0	0	0	1	1
0	1	0	1	0	1	0
1	0	0	0	1	0	1
0	0	1	1	1	0	0

### 8.3 Wniosek

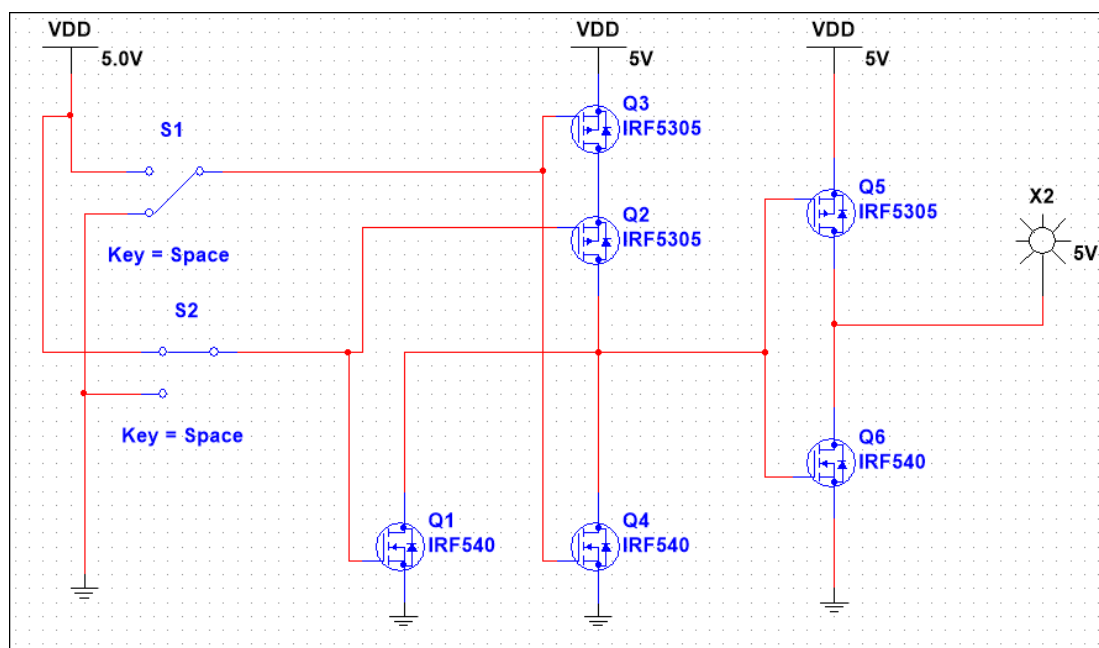
Bramka logiczna NOR - NOT OR jest analogiczna do negacji alternatywy w logice klasycznej. W jednym momencie włączone są jedynie dwa tranzystory, powoduje to, że prąd nie może płynąć bezpośrednio od  $V_{DD}$  do masy.

## 9 Bramka OR w technologii CMOS

### 9.1 Cel

Celem doświadczenia było zapoznanie z budową i zasadą działania bramki OR.

### 9.2 Analiza



Rysunek 19: Bramka OR - 2 tranzystory NMOS połączone równolegle i 2 PMOS połączone szeregowo + 2 na inwerter

Tablica 8: Tabela prawdy dla bramki OR

S1	S2	Wyjście	Q2	Q3	Q1	Q4	Q5	Q6
1	1	1	0	0	1	1	1	0
0	1	1	1	0	1	0	1	0
1	0	1	0	1	0	1	1	0
0	0	0	1	1	0	0	0	1

### 9.3 Wniosek

Bramka logiczna OR, lub w tym przypadku NOT NOR jest analogiczna do alternatywy w logice klasycznej. W jednym momencie włączone są jedynie dwa tranzystory (wykluczając inwerter), powoduje to, że prąd nie może płynąć bezpośrednio od  $V_{DD}$  do masy.