

Technika Cyfrowa

Sprawozdanie - Liczniki

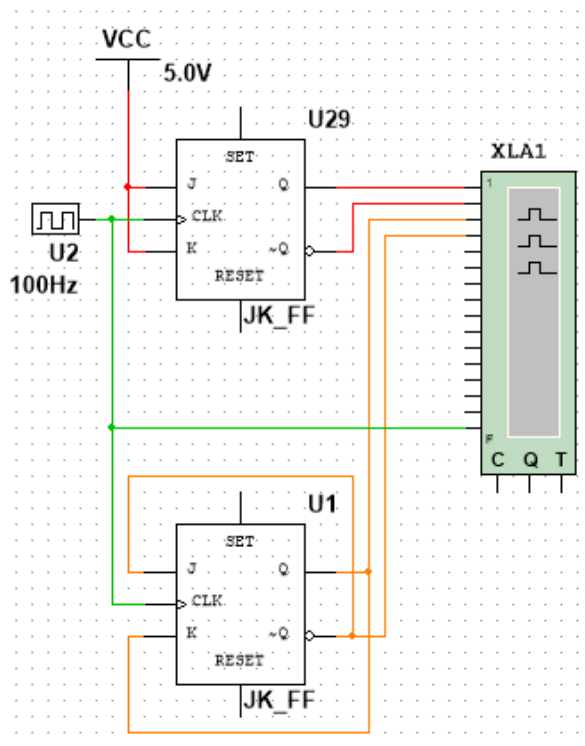
Maciej Trątnowiecki

AGH, Semestr Letni, 2020

1 Dwójka licząca w oparciu o przerzutniki JK

1.1 Projekt układu

W ramach laboratorium przygotowałem implementację dwójki liczącej w oparciu o przerzutnik JK na dwa różne sposoby.

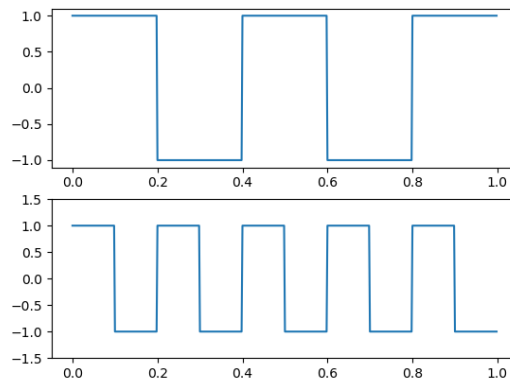


Zadaniem dwójki liczącej jest odtworzenie otrzymanego cyfrowego sygnału zegarowego z dwukrotnie niższą częstotliwością. Przypomnijmy tabelę wzbudzeń przerzutnika JK.

J	K	Działanie przerzutnika
0	0	Podtrzymanie stanu poprzedniego
0	1	Zmiana stanu na 0
1	0	Zmiana stanu na 1
1	1	Zmiana stanu na przeciwny

Tabela 1: Tabela wzbudzeń przerzutnika JK

Pierwszą dwójkę liczącą uzyskałem poprzez podanie stanu wysokiego na wejścia J i K przerzutnika. Tak ustawiony przerzutnik z każdym okresem zegara głównego zamienia stan wyjściowa Q na przeciwny. Zależność tą zilustrować możemy za pomocą poniższego wykresu.

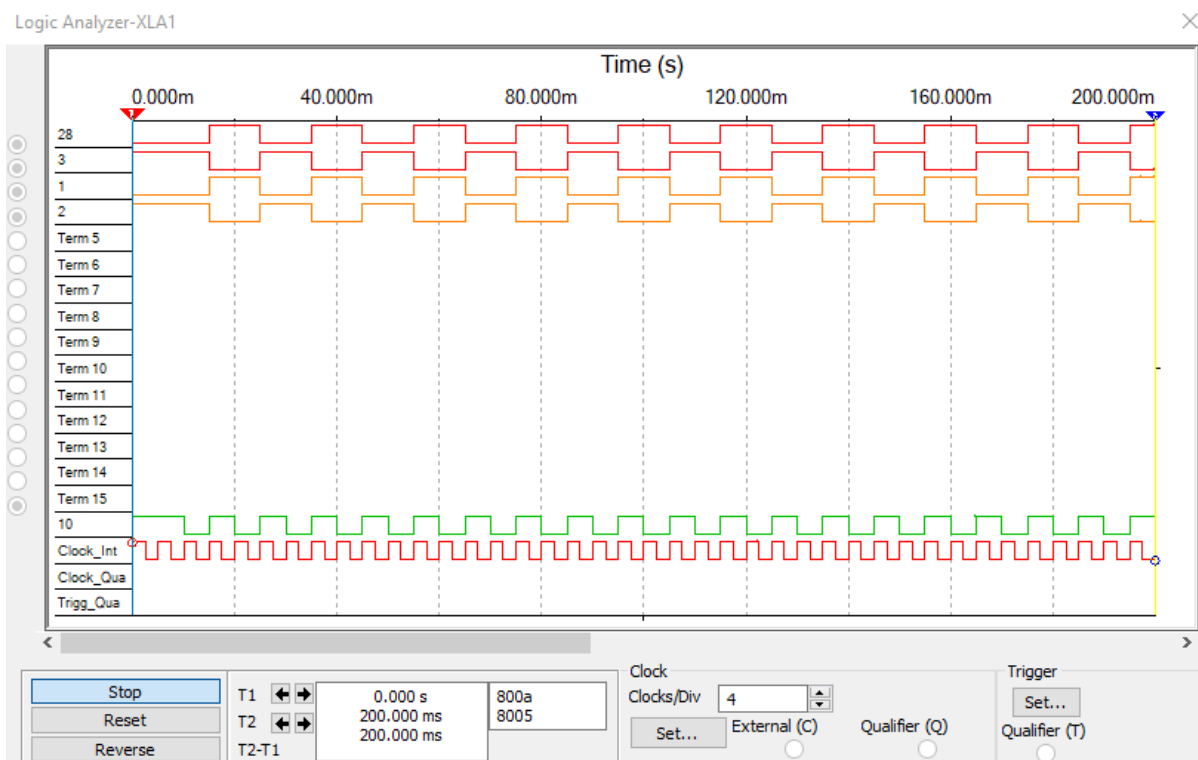


Dolny wykres odpowiada za przebieg zegara. Z każdym stanem wysokim podawanym przez zegar przerzutnik zamienia stan wyjściowy na przeciwny. W efekcie otrzymujemy sygnał o dwukrotnie niższej częstotliwości, czyli udało nam się zrealizować dwójkę liczącą.

Drugą implementację dwójki liczącej otrzymałem poprzez połączenie wejścia K z wyjściem Q, oraz wejścia J z wyjściem zanegowanego Q. Podobnie jak w poprzednim przypadku, otrzymujemy układ zamieniający stan wyjściowy na przeciwny z każdym stanem wysokim zegara. Dzieje się tak dlatego, że gdy na wejścia układu podamy dwa sygnały przeciwne, to jest stan niski na wejście J i wysoki na wejście K, lub odwrotnie, przerzutnik ustawi stan otrzymany na wejściu J jako wyjściowy. To z kolei spowoduje zamianę stanów na wejściach na przeciwne - wraz z następnym stanem wysokim zegara na wyjściu podany zostanie sygnał do niego przeciwny.

1.2 Sposób działania

Działanie obu układów dzielnika przetestowałem za pomocą analizatora logicznego. Sygnały zaznaczone kolorem czerwonym pochodzą od pierwszej dwójki liczącej, z kolei sygnały zaznaczone kolorem pomarańczowym od drugiej dwójki. Kolorem zielonym zaznaczono sygnał generowany przez zegar.



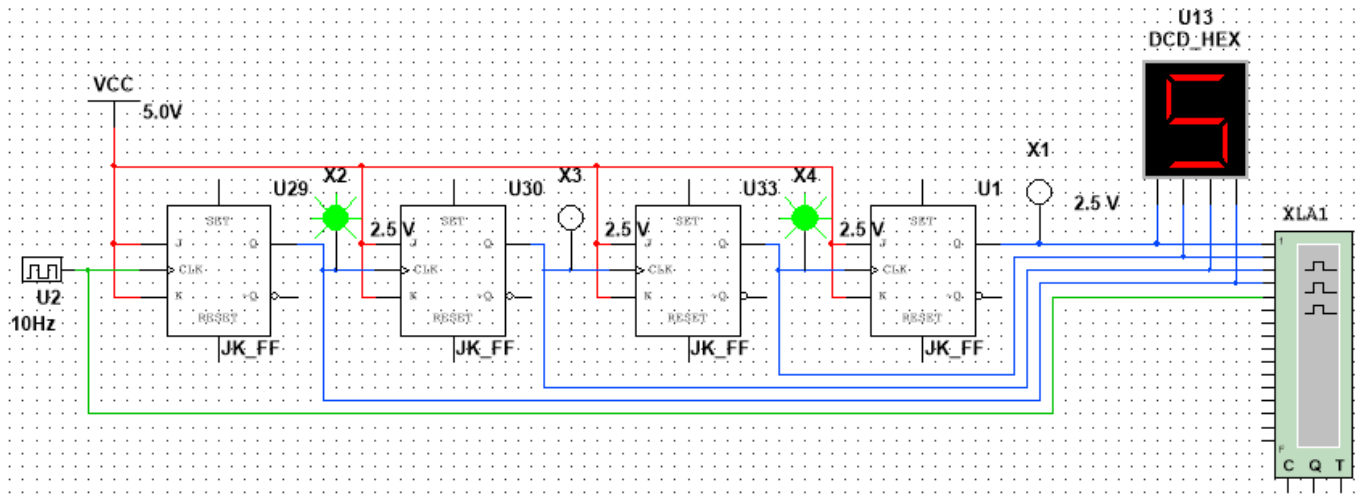
Oba układy generują ten sam sygnał wyjściowy, o dwukrotnie niższej częstotliwości w stosunku do sygnału wejściowego pochodzącego od zegara.

1.3 Wnioski

Układ dwójki liczącej można łatwo zrealizować za pomocą przerzutnika, bez potrzeby stosowania dodatkowych układów.

2 Czterobitowy licznik asynchroniczny liczący wstecz

2.1 Projekt układu



Za pomocą dwójek liczących zaprojektowanych w poprzednim zadaniu możemy zbudować licznik. Jeśli dwójki liczące połączymy szeregowo, łącząc wyjście jednej z dwójek z wejściem zegarowym następnej, każda kolejna z dwójek zamieniać będzie swój stan wyjściowy na przeciwny 2 razy rzadziej niż poprzednia.

Liczba w systemie dziesiętkowym	3 najmniej znaczący bit	2 najmniej znaczący bit	1 najmniej znaczący bit
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0

Tabela 2: Kolejne stany wyjść licznika

Zauważmy, że odpowiada to oczekiwany stanom wyjściowym licznika. Tak skonstruowany licznik nazywamy licznikiem asynchronicznym, ponieważ kolejne przerzutniki nie są wyzwalane zegarem generującym sygnał tej samej częstotliwości.

2.2 Sposób działania

Tak przygotowany układ przetestowałem za pomocą probówek reprezentujących kolejne bity, wyświetlacza siedmiosegmentowego z wbudowanym dekodery, oraz analizatora logicznego.

D	Q(t)	Q(t+1)
0	0	0
0	1	0
1	0	0
1	1	1

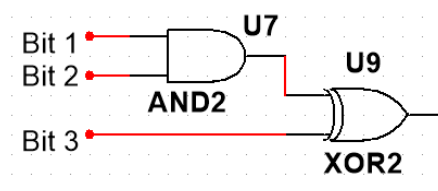
Tabela 3: Tabela przejść przerzutnika D

Nasz licznik przechodzić musi przez liczby od 0 do 7, zbierzmy zatem ich reprezentacje binarne w jednej tabeli.

Liczba	Liczba w systemie binarnym		
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Tabela 4: Liczby generowane przez licznik modulo 8 zapisane w systemie binarnym

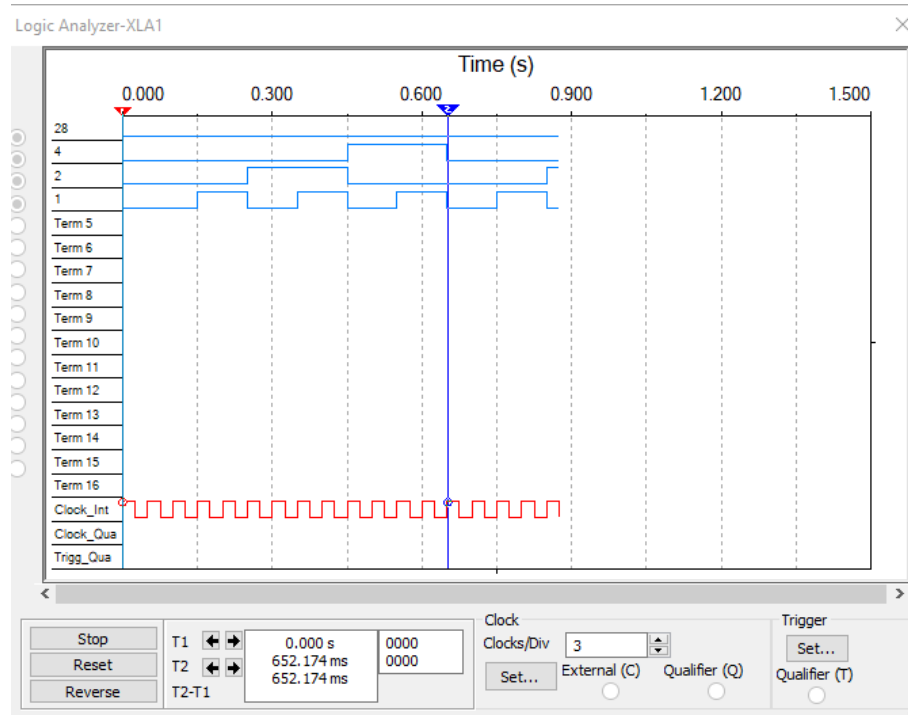
W liczniku synchronicznym wszystkie przerzutniki korzystają z tego samego sygnału zegarowego. Widzimy, że przerzutnik odpowiedzialny za najmniej ważny bit zmienia stan za każdym przejściem licznika. Połączymy więc jego wejście D z wyjściem zanegowanym Q. Zauważmy, że stan drugiego najmniej ważnego bitu równoważny jest z wartością funkcji xor dwóch najmniej ważnych bitów w poprzednim ustawieniu. Wykorzystamy tę własność podłączając wyjście bramki xor do wejścia D drugiego przerzutnika. Wejścia bramki podłączymy do wyjścia poprzedniego przerzutnika, oraz stanu na wyjściu drugiego z przerzutników. Trzeci bit zmienia swój stan na wysoki, gdy licznik wskazuje liczbę 3, tj. 011 w zapisie binarnym. Następnie powraca do stanu niskiego przy liczbie 7, tj. 111. Wykorzystamy tę własność - niech stan na wejściu trzeciego z przerzutników odpowiadał będzie wartości funkcji xor z wyjścia trzeciego przerzutnika, oraz wartości funkcji and na wyjściach dwóch poprzednich przerzutników.



3.2 Sposób działania

Tak przygotowany układ przetestowałem za pomocą analizatora logicznego. Kolorem zielonym zaznaczono sygnał zegara, kolorem granatowym sygnały odpowiadające za wartości kolejnych bitów liczby.

4.2 Sposób działania



Układ przetestowałem z użyciem wyświetlacza siedmiosegmentowego z wbudowanym dekodern, oraz analizatora logicznego. Układ poprawnie implementuje licznik modulo 6, po podaniu liczby 5 jego stan powraca do zera.

4.3 Wnioski

Liczniki modulo dowolną liczbę możemy w prosty sposób zrealizować za pomocą odpowiednio dobranych bramek logicznych, oraz wejścia reset w przerzutnikach licznika.