

Technika Cyfrowa

Sprawozdanie - Przerzutniki i rejestry

Maciej Trątnowiecki

AGH, Semestr Letni, 2020

1 Projekt przerzutnika RS

1.1 Projekt układu

Przypomnijmy tabelę prawdy przerzutnika RS.

S	R	Q_n	$\neg Q$
0	0	Q_{n-1}	$\neg Q_{n-1}$
1	0	1	0
0	1	0	1
1	1	-	-

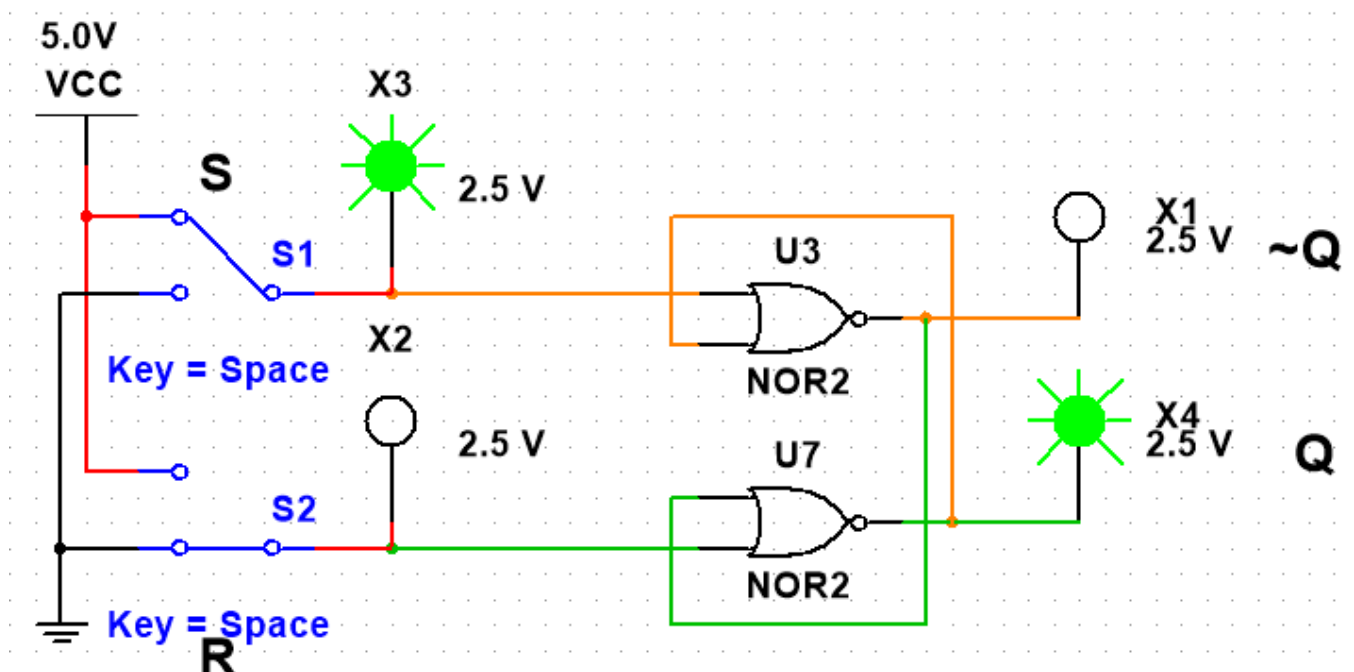
Tabela 1: Tabela prawdy przerzutnika RS

Gdy zarówno wejście S jak i R otrzyma stan niski, chcemy żeby nasz układ nie zmienił stanu podanego na wyjście. Zauważmy, że jest to równoważne z negacją stanu wyjścia zanegowanego. Bramka NOR neguje stan podany na jedno z wejść, jeśli na drugim wejściu jest podany stan niski.

Jeśli na wejście S podamy stan wysoki, a na wejście R stan niski, chcemy otrzymać stan wysoki na wyjściu układu. Bramka NOR poda zawsze stan niski, gdy otrzyma stan wysoki na którymkolwiek z wejść. Otrzymujemy zatem zależność:

- Stan niski na obu z wejść - na każdym z dwóch wyjść podajemy negację stanu drugiego wyjścia/
- Stan niski na wejściu R i wysoki na S - Na wyjściu zanegowanym podajmy stan niski, na wyjściu Q negację drugiego wyjścia.
- Stan niski na wejściu S i wysoki na R - Na wyjściu Q podajemy stan niski, na drugim negację wyjścia Q.

Do budowy układu zachowującego się w sposób opisany powyżej wystarczą nam dwie bramki NOR. Ich wyjścia połączymy z wyjściami układu. Jedno z wejść każdej z bramek połączone będzie z odpowiednim wejściem układu, drugie z wyjściem drugiej bramki.



Układ realizuje funkcję opisaną poniższą tabelą prawdy. Do przetestowania układu wykorzystano probówki.

1.2 Wnioski

Udało nam się pokazać, że układ przerzutnika RS można łatwo skonstruować przy użyciu prostych i powszechnie dostępnych bramek logicznych.

2 Budowa przerzutnika T

2.1 Projekt układu

Ponieważ w konstrukcji przerzutnika chcemy wykorzystać przerzutnik RS, zestawmy tabelę prawdy przerzutnika T ze stanami wejść przerzutnika RS dla odpowiadających im wartości wyjść.

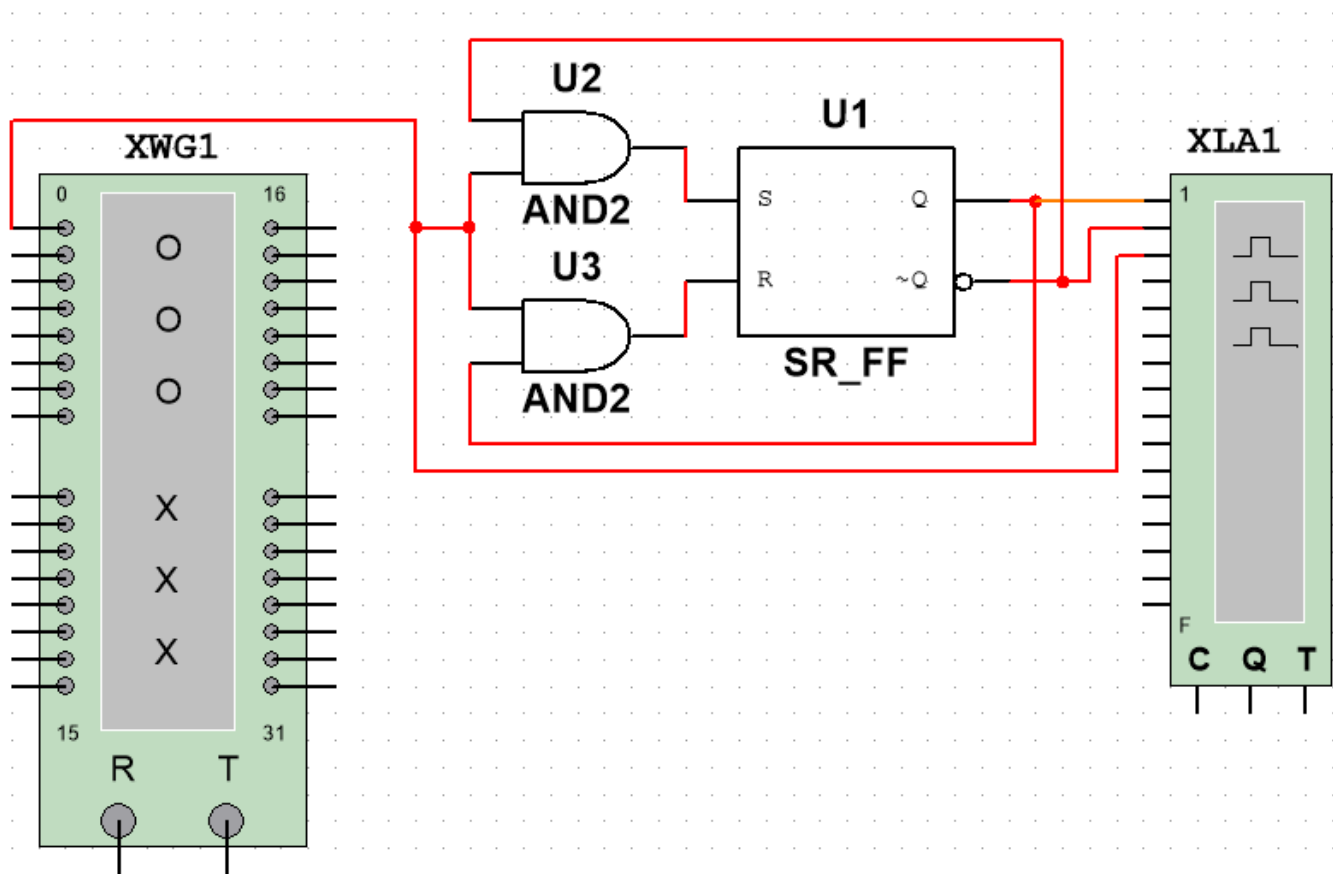
T	Q_n	Q_{n+1}	S	R
0	0	0	0	0
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

Tabela 2: Tabela prawdy przerzutnika T z odpowiadającymi jej stanami wejść przerzutnika RS

Będziemy chcieli dobrać funkcje logiczne opisujące zależność pomiędzy stanem wyjść układu przerzutnika RS, oraz wejścia T, a wejściami R i S.

Zauważmy, że taką zależność możemy uzyskać za pomocą dwóch bramek AND. Wartość na wejściu S opiszemy jako koniunkcję logiczną wejścia T i wyjścia zanegowanego Q. Z kolei wartość na wejściu R opiszemy jako koniunkcję logiczną wejścia T z wyjściem Q.

W efekcie uzyskujemy poniższy układ.



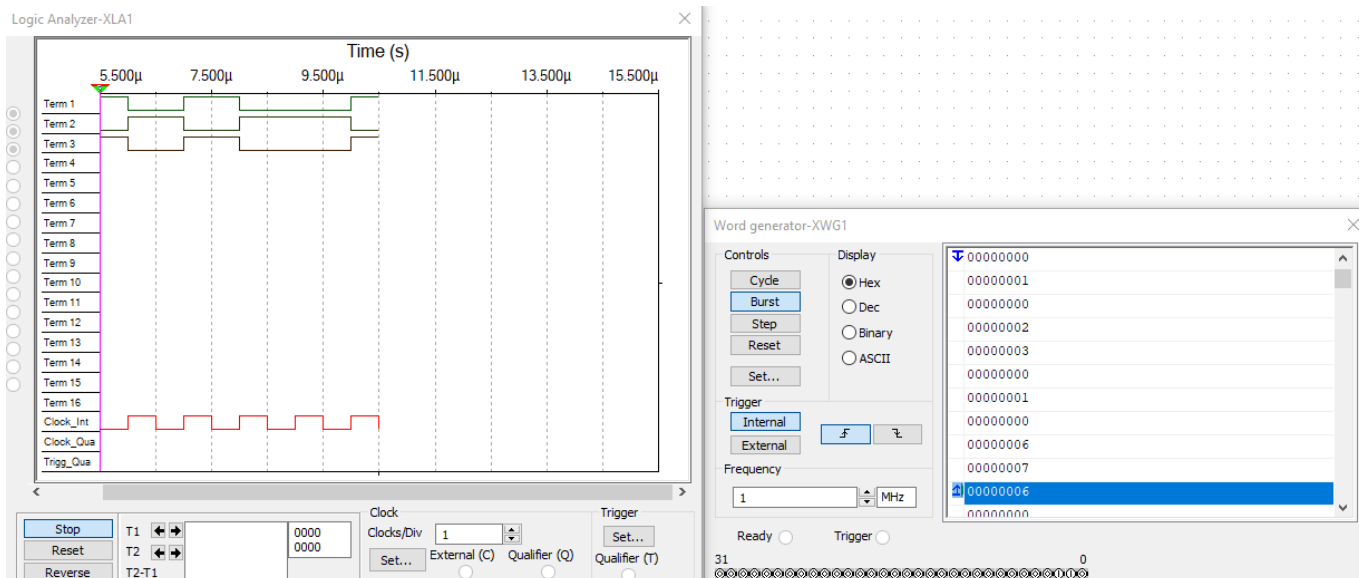
2.2 Sposób działania układu

Przerzutnik T posiada jedno wejście - T i dwa wyjścia - Q i zanegowane Q. Do wejścia T przerzutnika podłączyłem generator słów. Do wyjść przerzutnika podłączyłem analizator logiczny. Przerzutnik T realizuje funkcję opisaną poniższą tabelą stanów.

T	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 3: Tabela prawdy przerzutnika T

Co potwierdziłem za pomocą analizatora, otrzymując poniższe wyniki.

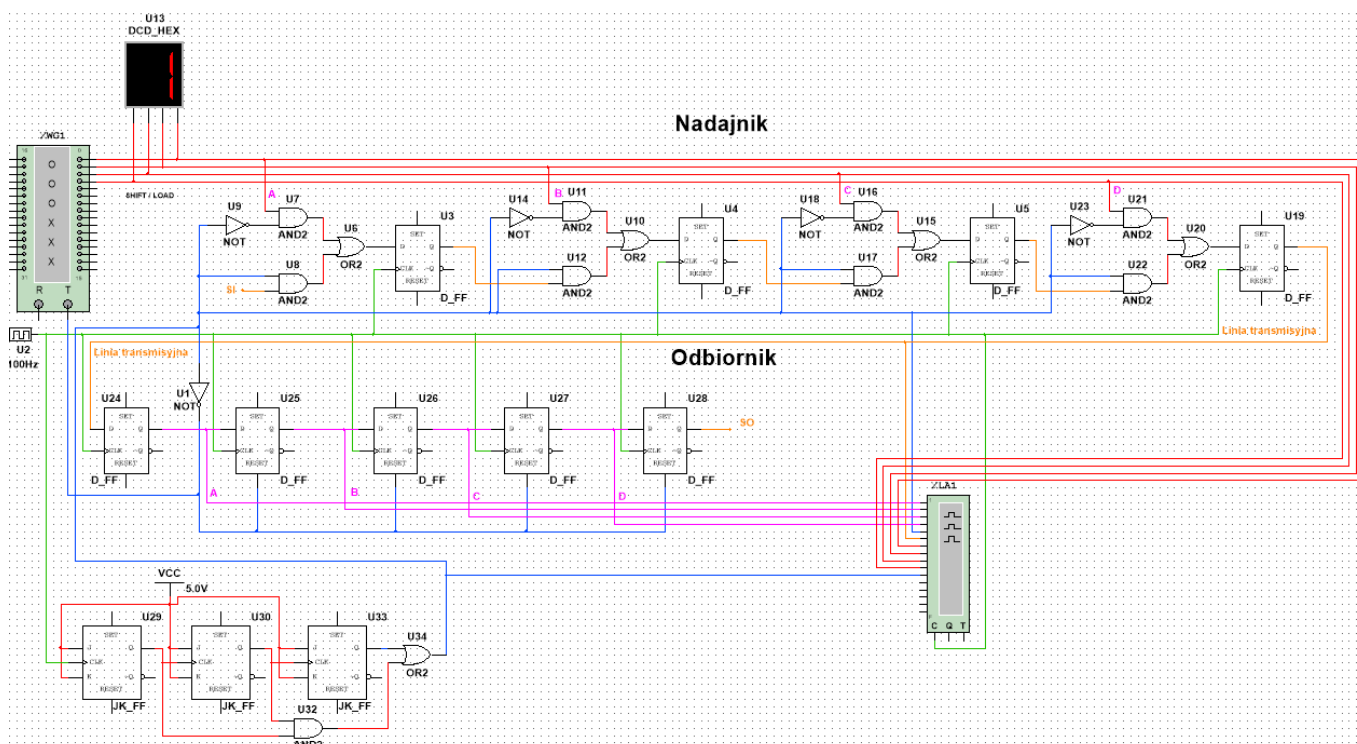


2.3 Wnioski

Przy użyciu prostych bramek logicznych możemy przeprowadzać konwersję pomiędzy poszczególnymi typami przerzutników.

3 Układ szeregowy nadajnika - odbiornika

3.1 Projekt układu

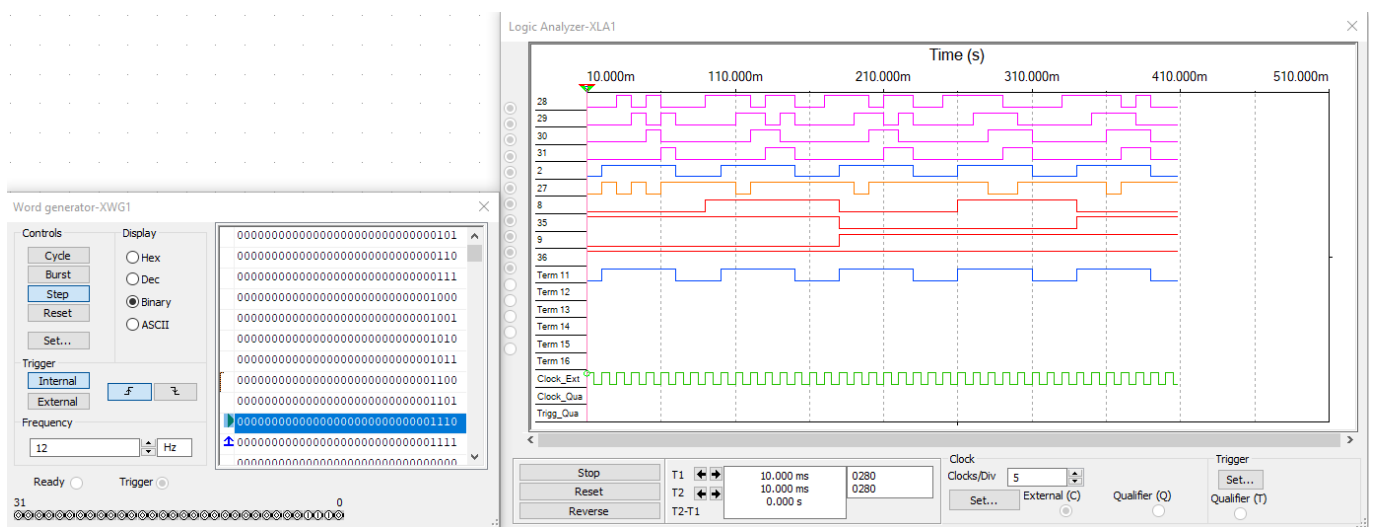


Rejestry nadajnika i odbiornika zbudowałem z wykorzystaniem przerzutników D. Generator słów podaje na wejście układu nadajnika czterobitową liczbę (jako sygnał równoległy). Nadajnik przekazuje liczbę jako sygnał szeregowy. Układ odbiornika odczytuje sygnał szeregowy do sygnału równoległego. Jego wyjścia połączone są z analizatorem logicznym. Za przesunięcie liczby przez rejestry odpowiednią ilość razy odpowiada układ zbudowany z użyciem licznika modulo i bramek logicznych umieszczony w lewym dolnym rogu płytki.

3.2 Sposób działania układu

Wejście układu, postaci czterobitowej liczby w formacie równoległym zostaje przekazane do rejestru PISO. Sygnał shift ustawiony jest w stan niski. Stany odpowiadające za kolejne bity liczby wejściowej przekazane zostają na wejścia D odpowiadających im przerzutników D. Następnie sygnał shift ustawiony zostaje w stan wysoki. Przez cztery kolejne okresy zegara stany odpowiadające za kolejne bity liczby wejściowej zostają "przesunięte", tj. przekazane przez linię sygnału szeregowego do odbiornika. Stan przekazany w początkowej fazie do przerzutnika przesuwany jest do kolejnego przerzutnika, by w końcu trafić na linię transmisyjną. Możliwe jest to dzięki wykorzystaniu przerzutników D kopiujących stan wejścia na wyjścia po otrzymaniu sygnału zegarowego, oraz użytych przed wejściami bramek logicznych. Przełączają one wejście pomiędzy poprzednią bramką i generatorem w zależności od stanu wejścia shift.

Z linii transmisyjnej sygnał szeregowy trafia do rejestru SIPO, który przetwarza go do formatu równoległego. Sygnał szeregowy trafia na wejście przerzutnika D. Wyjście przerzutnika do połączone jest z kolejnym przerzutnikiem. Za wyjściami przerzutników podłączamy kolejne wyjścia sygnału równoległego. Po wykonaniu odpowiednią ilość razy przesunięcia, wyjścia równoległe poprawnie reprezentują transmitowaną liczbę.



Układ przetestowany został z użyciem analizatora logicznego, wykazując oczekiwaną częstotliwość sygnału shift i poprawność przesłanych danych. Widzimy, że udało nam się przesłać liczbę czterobitową, za pomocą pojedynczej linii transmisyjnej.

3.3 Wnioski

Przy użyciu podstawowych przerzutników zbudować możemy rejestry realizujące konwersję danych z komunikacji szeregowo na równoległą. Pozwala to na budowę wydajniejszych systemów komunikacyjnych.