

Documentación:

1. Con el diseño de las compuertas lógicas realice el código de vhdl sobre el flip flop jk, donde tengo de entrada j, k que serían los activadores del flip flop y el clock; de salida tenemos la q y la q negada.
2. Con el uso de flip flops jk y una detallada máquina de estados se realizó un contador de 4 bits síncrono donde de entrada tenemos solo el clock y de salida los 4 bits.
3. Con el uso de flip flops jk y una detallada máquina de estados se realizó un contador bcd síncrono donde de entrada tenemos solo el clock y de salida los 4 bits, este contador solo contará 10 números de 0 a 9.
4. Con el uso de flip flops jk y los diseños de un contador bcd ascendente y descendente, se realizó un contador bcd de 0 a 99 usando dos contadores bcd donde sus entradas de jk varían dependiendo de el selector que nos dice si va a contar de forma ascendente o descendente.