Міністерство освіти і науки України

Національний технічний університет України

«Київський політехнічний інститут»

Кафедра КЕОА

**Розрахунково-графічна робота**

**з курсу: «Архітектура обчислювальних пристроїв»**

**«Доопрацювати процесорне ядро MIPS та долучити до нього наступний периферійний пристрій»**

Виконав:

студент III-го курсу ФЕЛ

гр. ДК-02

Ремез М.О.

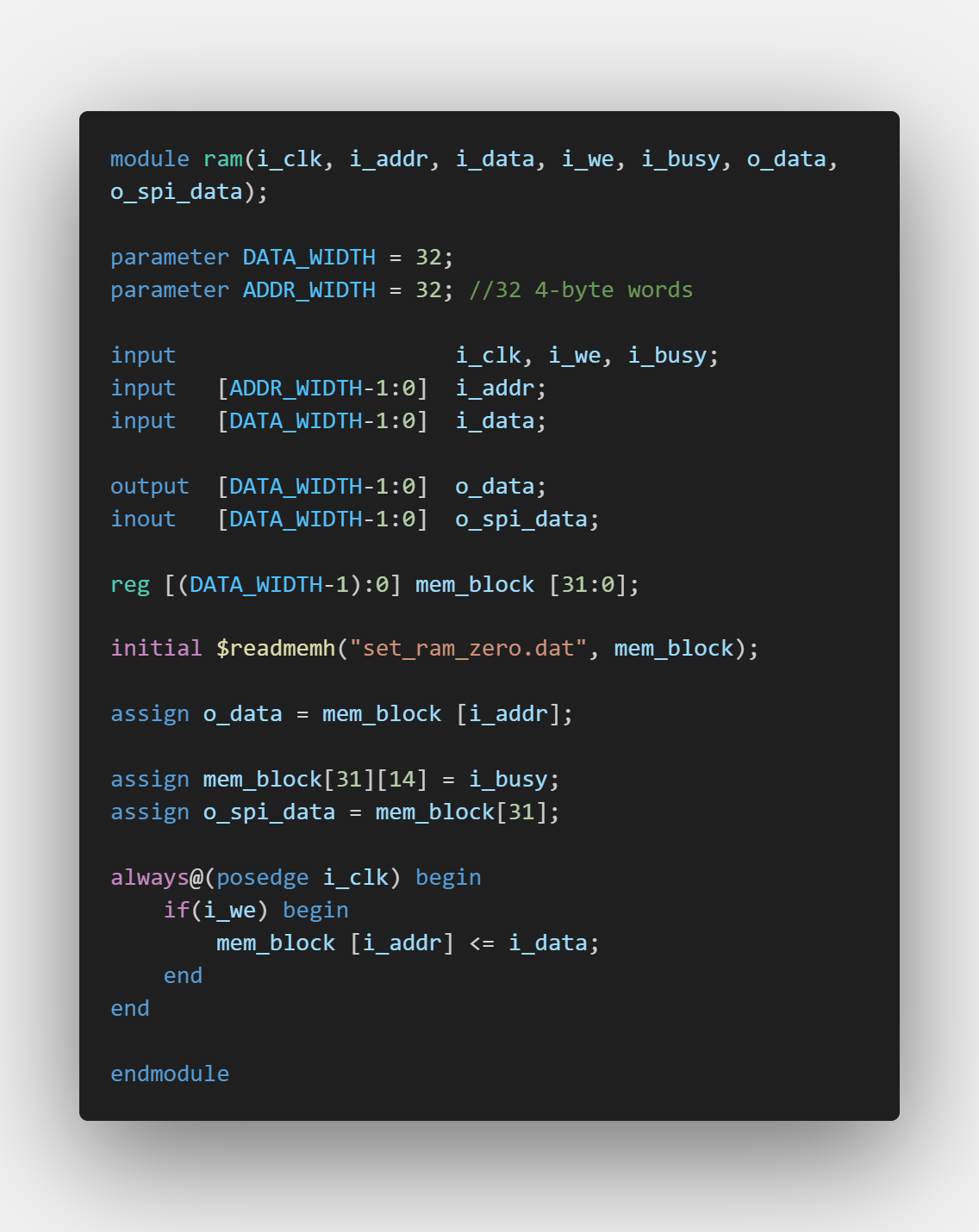
Київ 2023

**Мета роботи:** розробити контролер для передачі власних даних протоколом SPI

**Виконання:**

Для поєднання контролеру передачі даних протоколом SPI з конвеєрним ядром MIPS, було вирішено використовувати останній 32-х розрядний регістр RAM пам’яті. Розроблявся напів-дуплексний режим передачі даних, а отже під час передачі даних ми не будемо очікувати ніякої інформації від нашого slave пристрою, це значно спрощує розробку даного контролеру і імплементацію його до ядра.

Отже, для реалізації та поєднання контролеру довелось модифікувати модуль ОЗП, так він вигладає наразі:



**Рис.1. Код RAM модулю MIPS**

Код самого контролеру виглядає наступним чином:

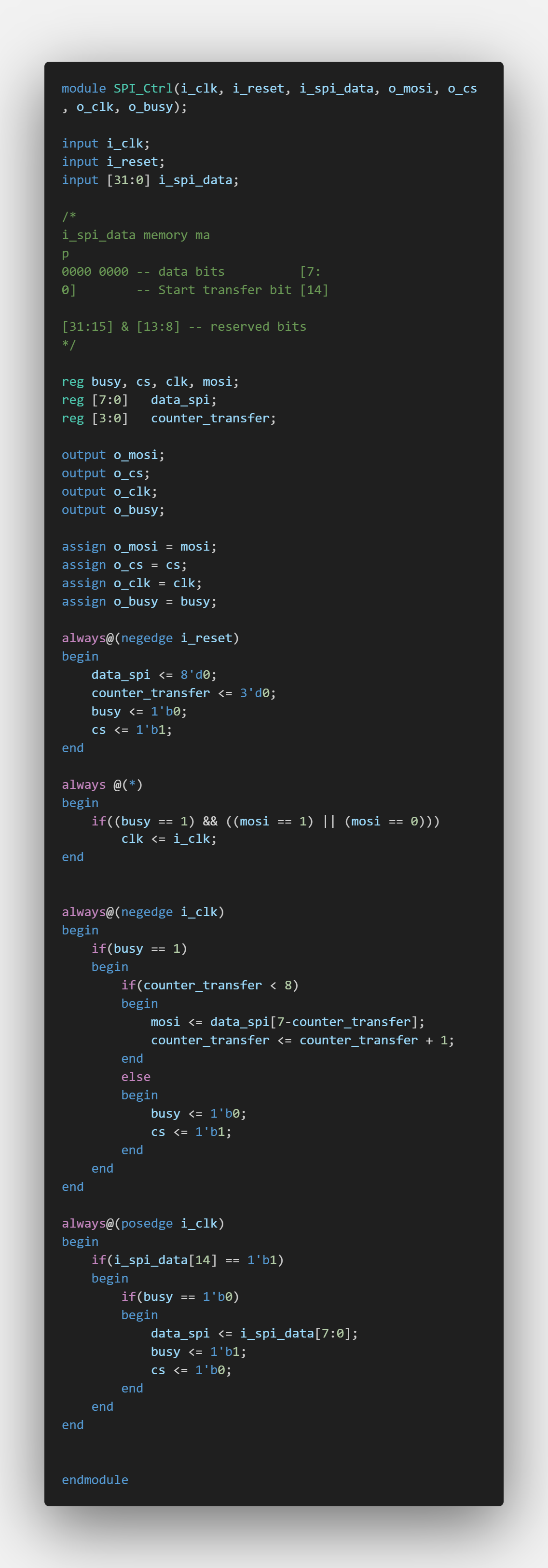


Рис.2. Код контролеру, який здійснює передачу даних по SPI

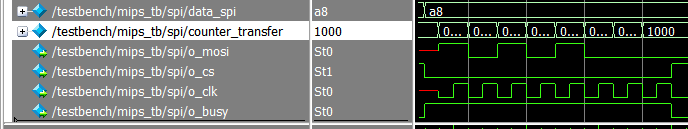
В коментарі зображена розмітка регістру який відповідає за конфігурацію та статус SPI контролера, молодші 8 біт – це дані які контролер передаватиме, а 14 біт це старт передачі даних, по завершенню передачі, даний біт буде скинутий.

Ось код імплементації даного модулю в саме ядро:



Рис.3. Імплементація власного SPI контролеру до власного процесорного ядра MIPS

Зібравши даний проект, бачимо наступний результат симуляції:



Вміст статус-регістру контролеру під час і після передачі скаладає:



Бачимо скидання 14 біту, що відповідає успішній передачі данних.