

Série N°5

Exercice 1

1. Combien de bascules sont nécessaires pour le MAR et le MBR d'une mémoire 1 K*4 bits?
2. Combien de mots, devrait contenir une mémoire si son MAR est de 8bits?
3. En utilisant comme unité des RAM 256*4 bits, concevoir une mémoire de:
 - a) 1 K*4 bits
 - b) 1 K*8 bits.

1. Nombre de bascules MAR : $1k = 1 * 2^{10} \rightarrow \text{nb bits } 10 \rightarrow 10$ bascules.

Nombre de bascules MBR : 4bits 4 bascules

Exercice 1

1. Combien de bascules sont nécessaires pour le MAR et le MBR d'une mémoire 1 K*4 bits?
2. Combien de mots, devrait contenir une mémoire si son MAR est de 8bits?
3. En utilisant comme unité des RAM 256*4 bits, concevoir une mémoire de:
 - a) 1 K*4 bits
 - b) 1 K*8 bits.

2. Nombre de Mots : $2^{\text{nb bits}} = 2^8 \text{ mots} = 256 \text{ mots}$

Exercice 1

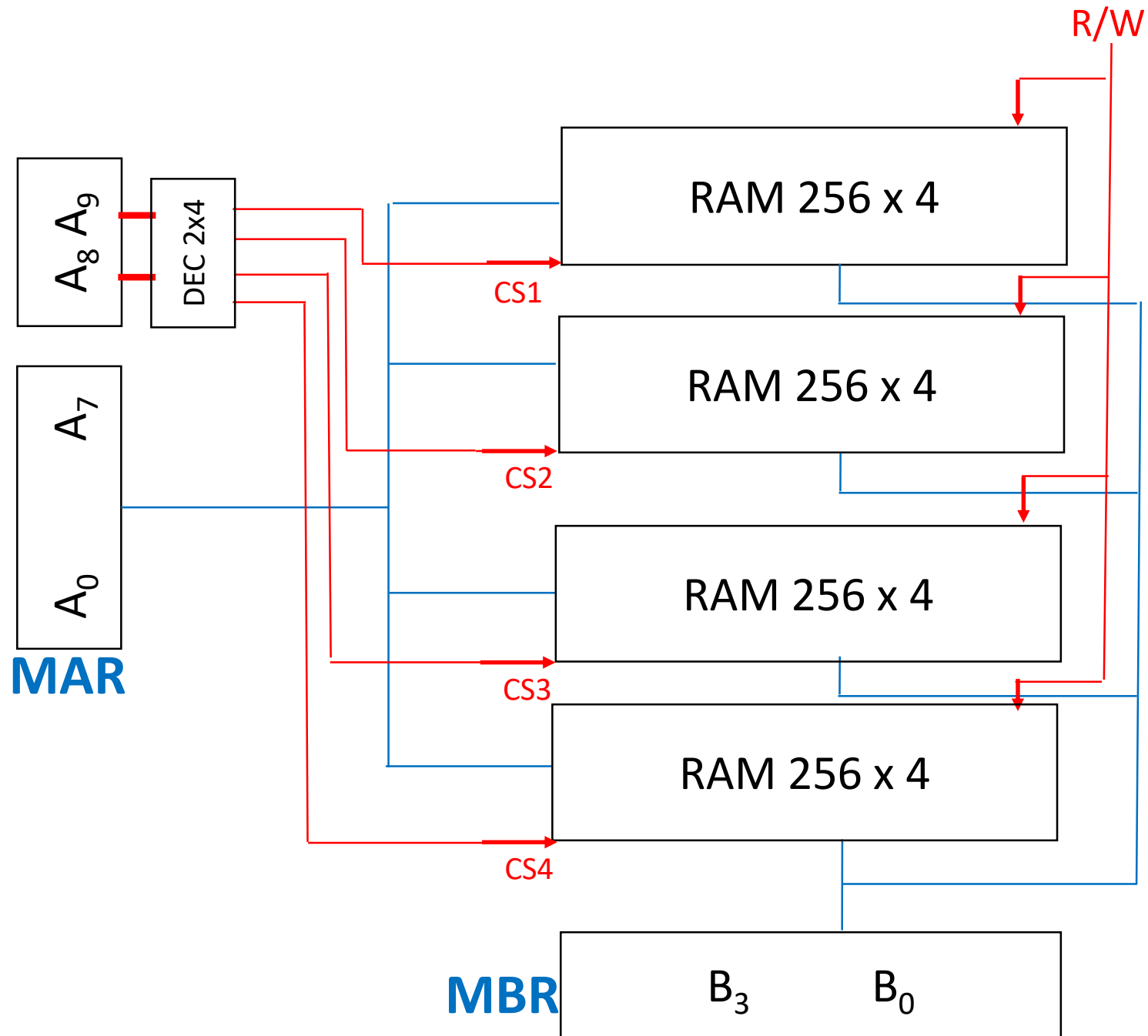
1. Combien de bascules sont nécessaires pour le MAR et le MBR d'une mémoire 1 K*4 bits?
2. Combien de mots, devrait contenir une mémoire si son MAR est de 8bits?
3. En utilisant comme unité des RAM 256*4 bits, concevoir une mémoire de:
 - a) 1 K*4 bits
 - b) 1 K*8 bits.

a) Nombre de RAMs pour réaliser 1K * 4 bits à l'aide de 256 * 4bits :

$$1k = 2^{10} / 256 = 2^8 = 2^{10-8} = 4$$

a) Réaliser $1K * 4 \text{ bits}$ à l'aide de $256 * 4\text{bits}$:

$CS1 = \neg A8 / A9$
 $CS2 = \neg A8 A9$
 $CS3 = A8 \neg A9$
 $CS4 = A8 A9$



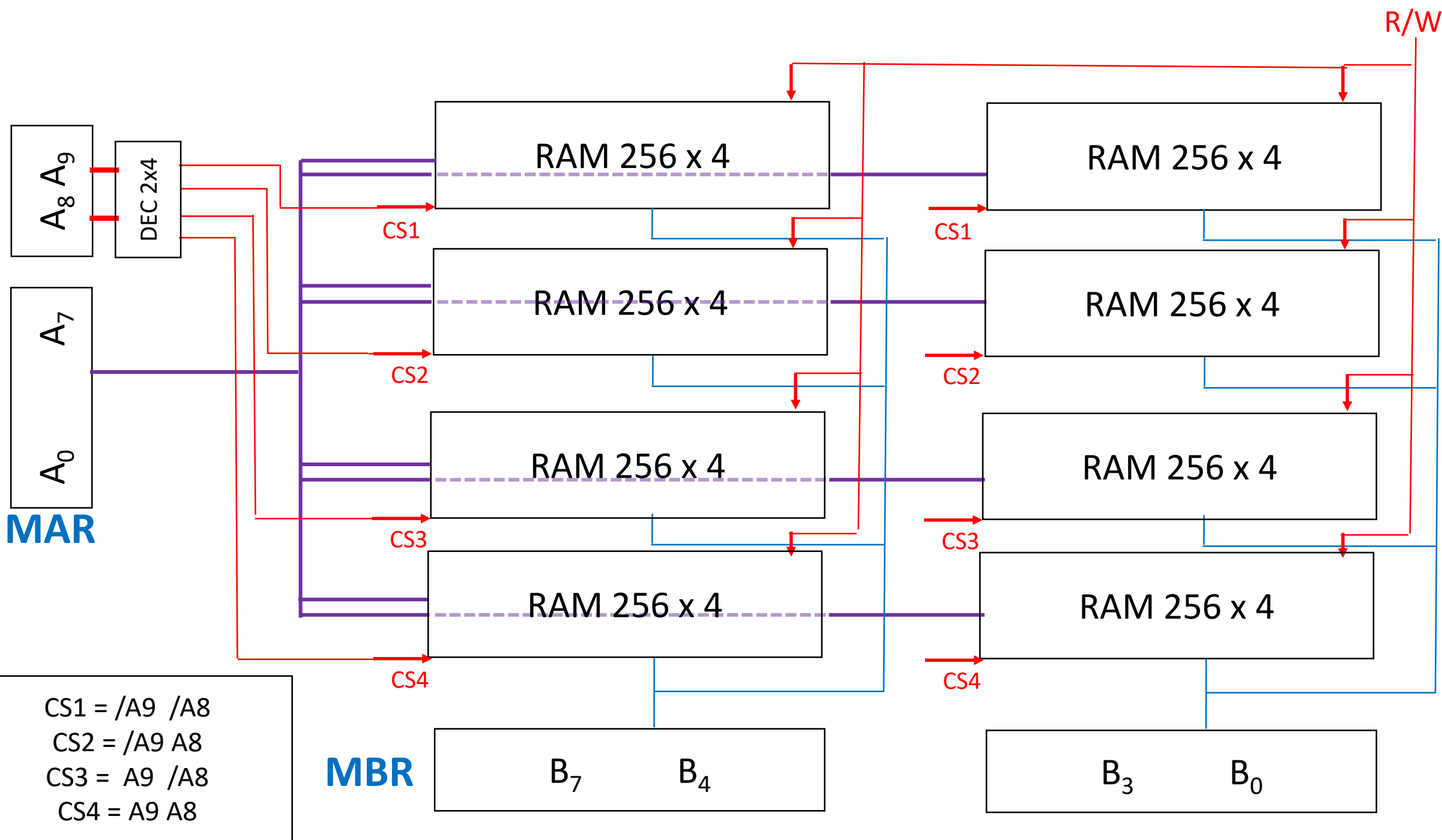
Exercice 1

1. Combien de bascules sont nécessaires pour le MAR et le MBR d'une mémoire 1 K*4 bits?
2. Combien de mots, devrait contenir une mémoire si son MAR est de 8bits?
3. En utilisant comme unité des RAM 256*4 bits, concevoir une mémoire de:
 - a) 1 K*4 bits
 - b) 1 K*8 bits.

B) Nombre de RAMs pour réaliser 1K * 8 bits à l'aide de 256 * 4bits :

Parallel : $1k (2^{10}) / 256 (2^8) = 4.$

Série : $8\text{bits} / 4\text{Bits} = 2.$



Exercice 2

On dispose d'une machine dont le bus d'adresse est sur 16 bits et le bus de données est sur 8 bits. La mémoire de cette machine est composée d'une RAM de 32Kilo*8 et d'une ROM de 16Kilo×8.

1. Quelles sont les tailles des registres d'adresse MAR et MBR ?
2. Donner le schéma fonctionnel de cette RAM en utilisant des mémoires de 32k×4bits
3. Donner le schéma fonctionnel global (RAM+ROM), en précisant les adresses de chaque boîtier.

**1) RAM : MAR : $32\text{ K} = 2^5 * 2^{10} \rightarrow 15\text{ bits}$,
MBR : 8 bits,**

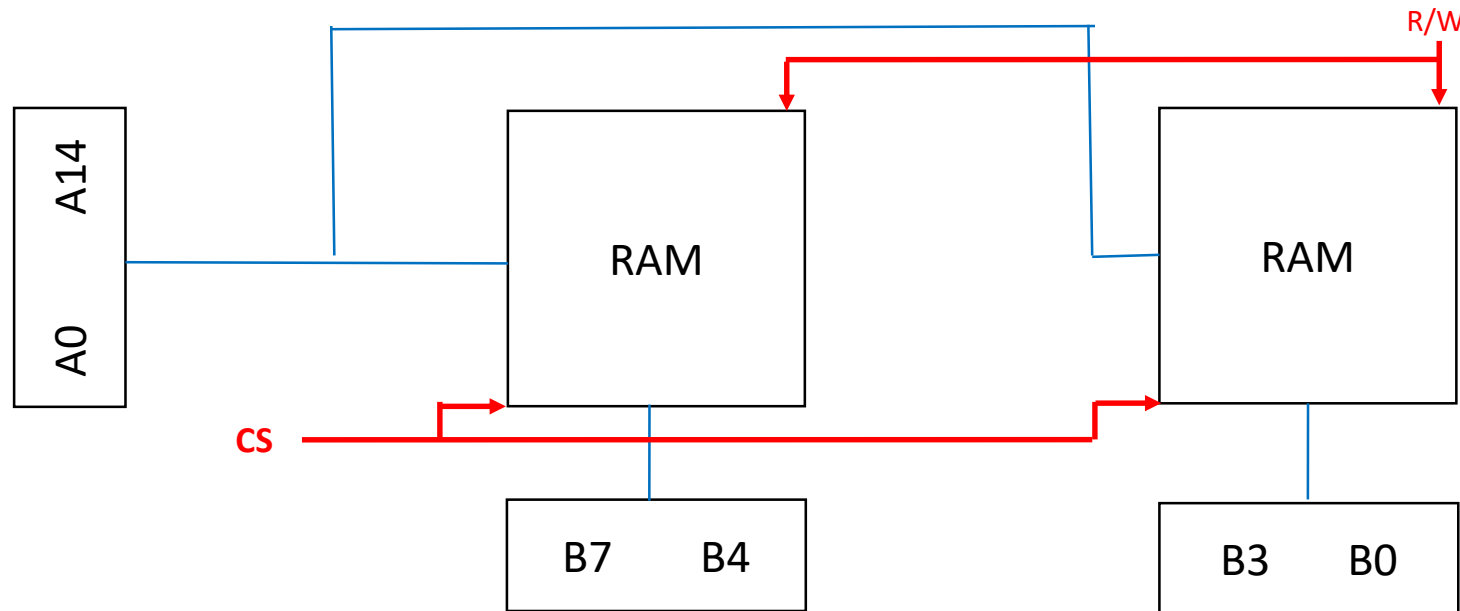
**ROM : MAR : $16\text{ k} = 2^4 * 2^{10} \rightarrow 14\text{ bits}$
MBR : 8bits**

2) NB RAMs = 8bits / 4bits = 2 (série),

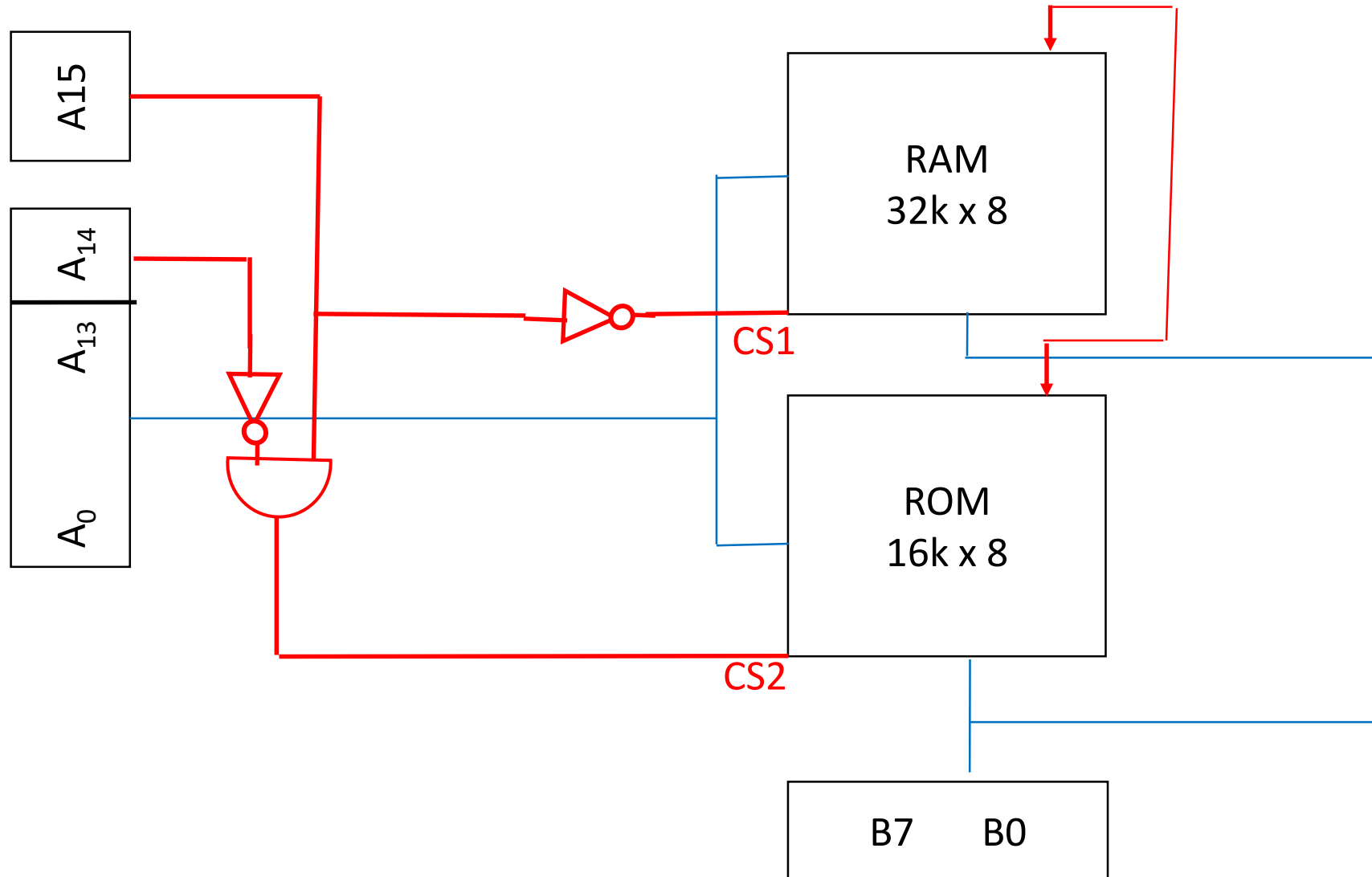
Exercice 2

On dispose d'une machine dont le bus d'adresse est sur 16 bits et le bus de données est sur 8 bits. La mémoire de cette machine est composée d'une RAM de 32Kilo*8 et d'une ROM de 16Kilo*8.

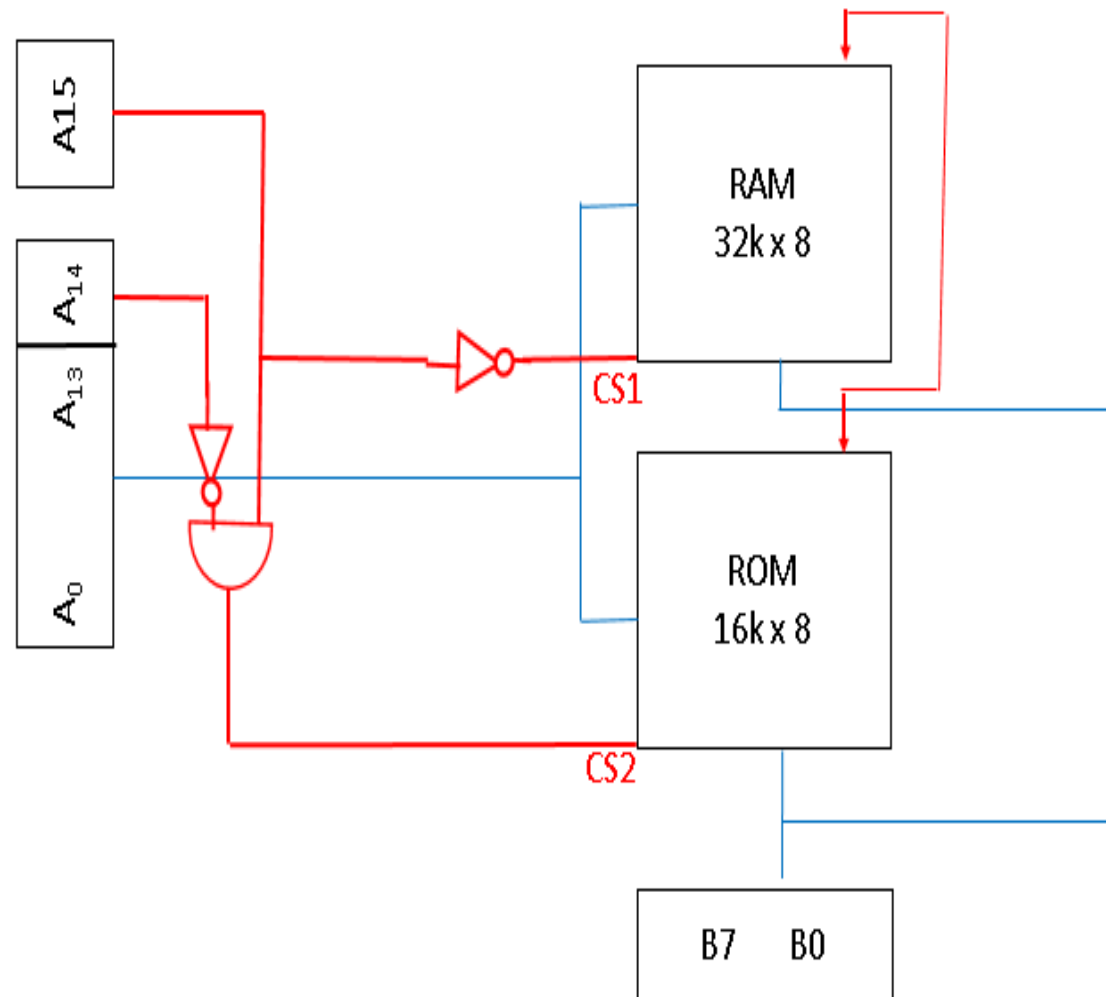
1. Quelles sont les tailles des registres d'adresse MAR et MBR ?
2. Donner le schéma fonctionnel de cette RAM en utilisant des mémoires de 32k*4bits
3. Donner le schéma fonctionnel global (RAM+ROM), en précisant les adresses de chaque boîtier.



3) Le schéma fonctionnel global (RAM+ROM)



3) Le schéma fonctionnel global (RAM+ROM)



RAM MIN : **0**000 0000 0000 0000 = 0000₍₁₆₎

RAM Max : **0**111 1111 1111 1111 = 7FFF₍₁₆₎

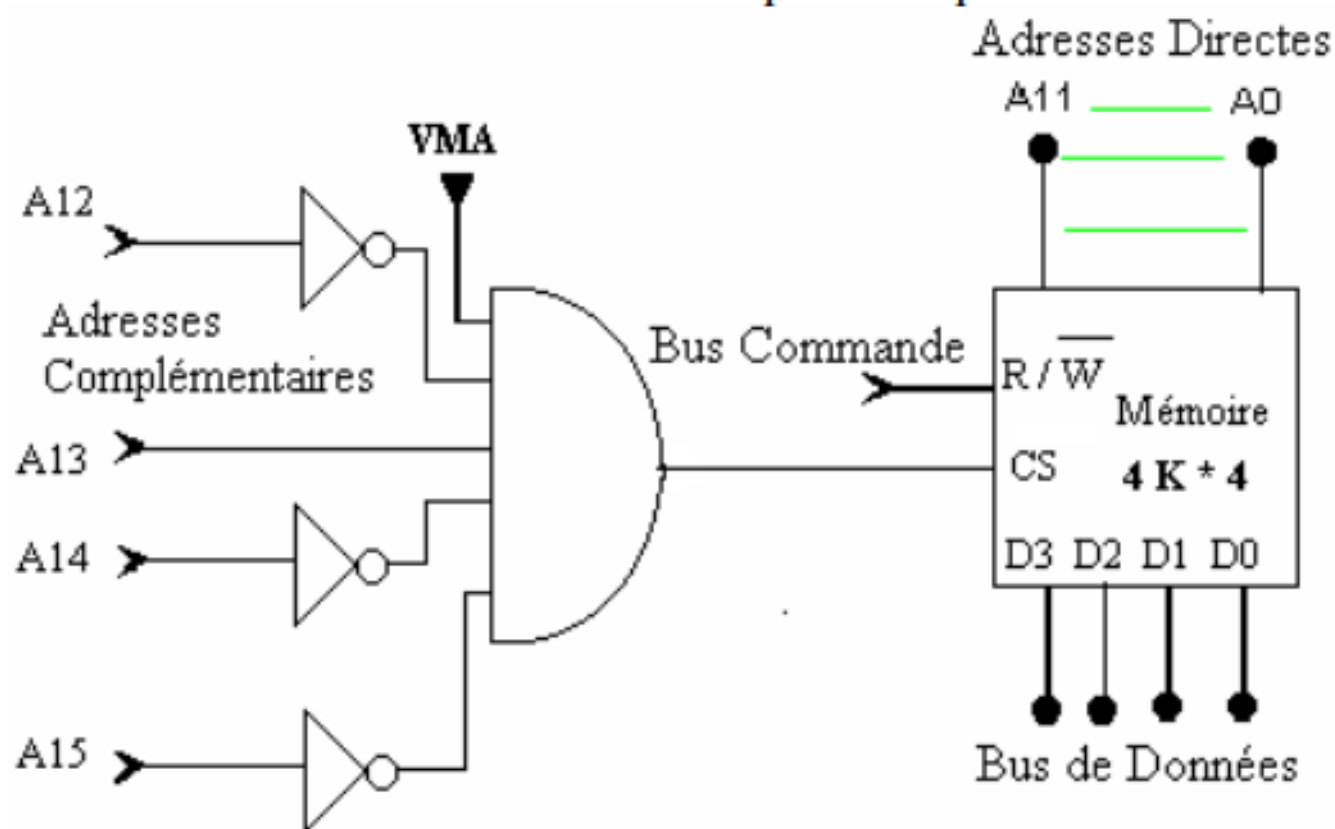
ROM MIN : **1**000 0000 0000 0000 = 8000₍₁₆₎

ROM MAX : **1**011 1111 1111 1111 = BFFF₍₁₆₎

↑↑↑↑ ↑↑↑↑ ↑↑↑↑ ↑↑↑↑
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Exercice 3

Soit une mémoire RAM de 4Kilos*4 représentée par le schéma suivant :



1. Quel est le rôle des brôches R/W et CS dans un circuit mémoire.
2. De combien de bits est constituée la donnée stockée dans cette mémoire.
3. De quelle capacité est cette mémoire(en Kbits puis en Koctets).
4. Quel doit être l'état du signal VMA (Valid Memory Access) et l'état des lignes A12 à A15 pour sélectionner cette mémoire.

Exercice 3

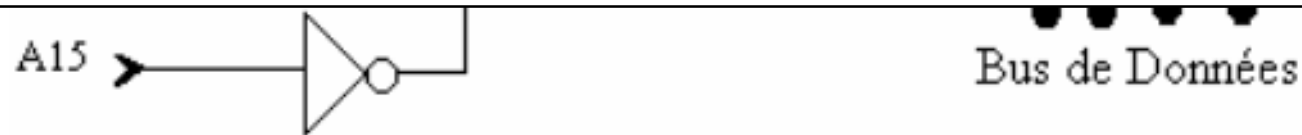
Soit une mémoire RAM de 4Kilos*4 représentée par le schéma suivant :



1)

Role de R/\overline{W} : c'est la fonction de lecture écriture (on utilisera dans ce cours $RW= 1$ pour la lecture et $RW = 0$ pour l'écriture)

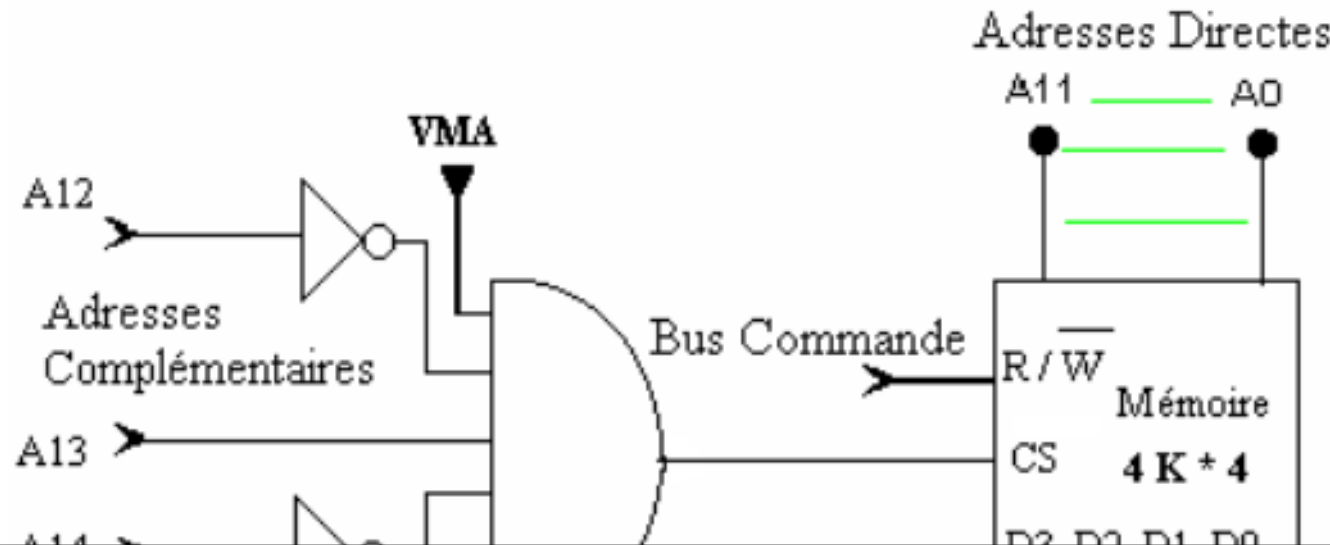
Role de CS (Chip Select) : c'est l'entrée qui permet d'activer ou de désactiver la RAM



1. Quel est le rôle des broches R/W et CS dans un circuit mémoire.
2. De combien de bits est constituée la donnée stockée dans cette mémoire.
3. De quelle capacité est cette mémoire(en Kbits puis en Koctets).
4. Quel doit être l'état du signal VMA (Valid Memory Access) et l'état des lignes A12 à A15 pour sélectionner cette mémoire.

Exercice 3

Soit une mémoire RAM de 4K*4 représentée par le schéma suivant :



2) Nombre de bits du MBR (Mot mémoire) : 4Bits

3) Capacité en bits : $4 \text{ k} * 4 \text{ bits} = 2^2 * 2^{10} * 2^2 = 2^4 * 2^{10} \text{ bits} = 2^{14} \text{ bits}$

Capacité en Kbits : $2^{14} / 2^{10} = 2^4 \text{ kbits}$

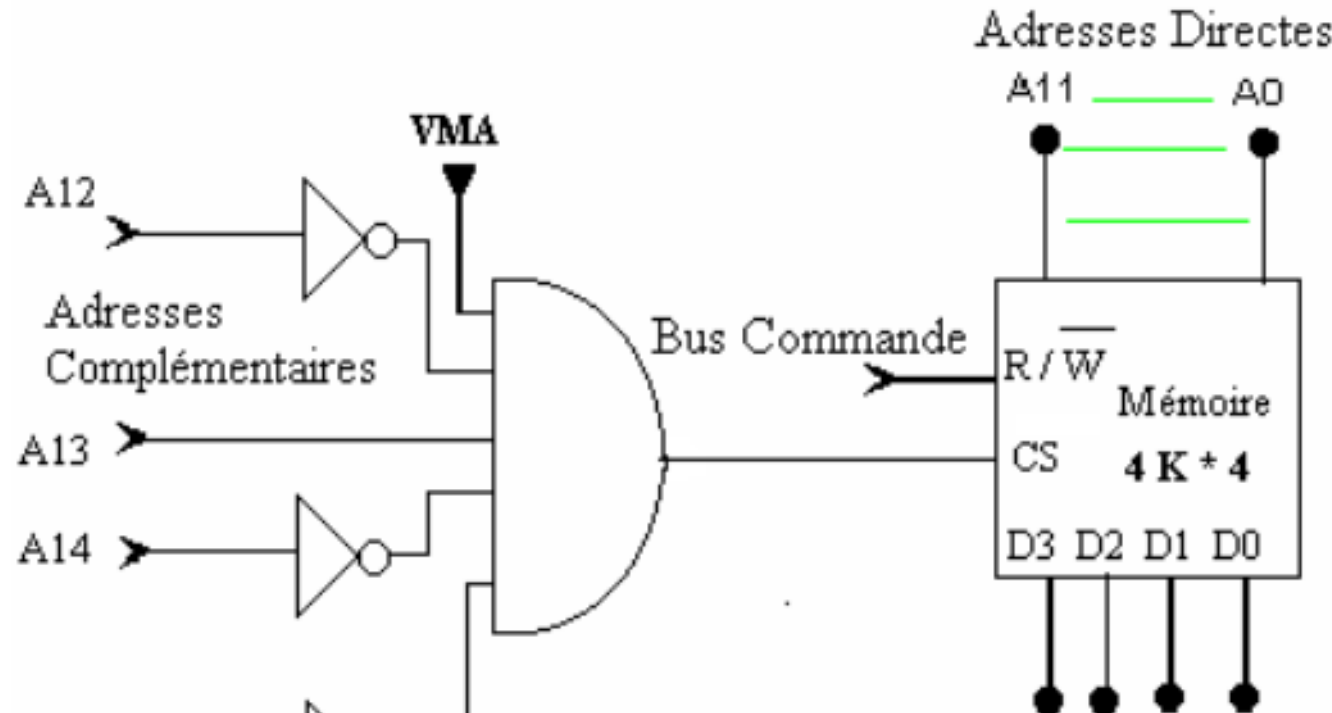
Capacité en Koctets : $2^4 \text{ kbits} / 8 \text{ bits} = 2^4 / 2^3 = 2^1 \text{ Koctet},$

Capacité en Koctets : $2^{14} \text{ bits} / 8 \text{ bits} = 2^{11} \text{ octet} = 2^{11} / 2^{10} = 2^1 \text{ Koctet},$

4. Quel doit être l'état du signal VMA (Valid Memory Access) et l'état des lignes A12 à A15 pour sélectionner cette mémoire.

Exercice 3

Soit une mémoire RAM de 4Kilos*4 représentée par le schéma suivant :



4) L'état de VMA : 1

A12 = 0

A13 = 1

A14 = 0

A15 = 0

$$CS = VMA * /A12 * A13 * /A14 * /A15$$

4. Quel doit être l'état du signal VMA (Valid Memory Access) et l'état des lignes A12 à A15 pour sélectionner cette mémoire.

Exercice 3

Soit une mémoire RAM de 4Kilos*4 représentée par le schéma suivant :

Astuce :

Pour le calcul des adresses il faut savoir que :

2^P est égal à 1 suivi de P fois zéros ex : $2^5 = 100000$ $2^6 = 1000000$

$2^P - 1$ est égal à P fois 1 ex : $2^5 - 1 = 11111$ $2^6 - 1 = 111111$

4) Les plages d'adressages :

Min : **0010** 0000 0000 0000 = **2000**₍₁₆₎

Max : **0010** 1111 1111 1111 = **2FFF**₍₁₆₎

Max : = Min + NbMots-1 = **2000** + $2^{12} - 1 =$

0010 0000 0000 0000 + **0010** 1111 1111 1111 = **2FFF**₍₁₆₎

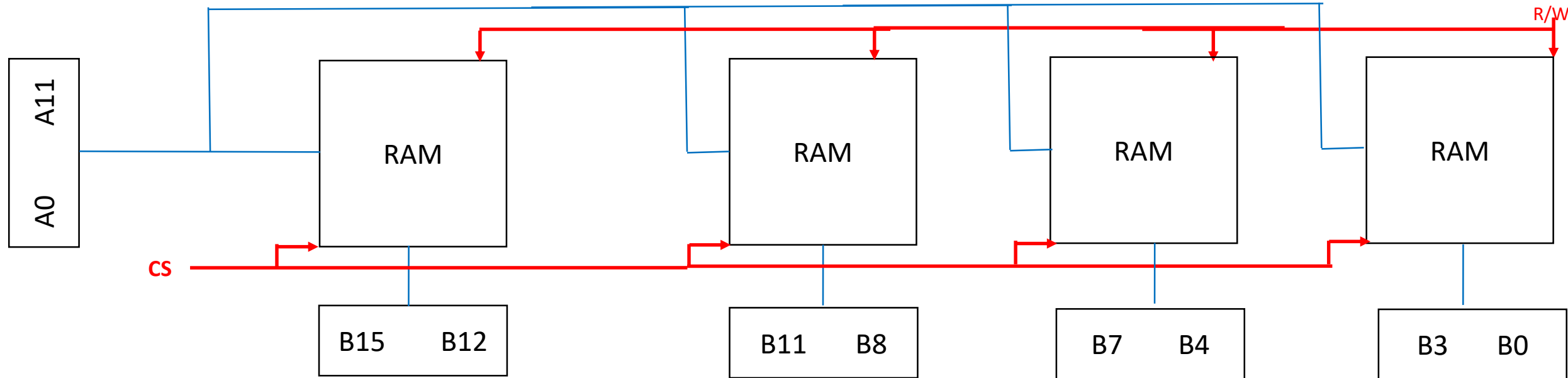
5. Donner la plage d'adresse(en Hexasécimal)utilisée par cette mémoire.

6. On veut augmenter la taille de la donnée à 16bits en associant plusieurs mémoire 4K*4, donner le branchement necessaires.

5. Donner la plage d'adresse(en Héxadécimal)utilisée par cette mémoire.
6. On veut augmenter la taille de la donnée à 16bits en associant plusieurs mémoire 4K*4, donner le branchement necessaires.

6) Nombre de RAMs = $16\text{bits} / 4\text{bits} = 4$ RAMs (série)

5. Donner la plage d'adresse(en Héxadécimal)utilisée par cette mémoire.
6. On veut augmenter la taille de la donnée à 16bits en associant plusieurs mémoire 4K*4, donner le branchement necessaires.

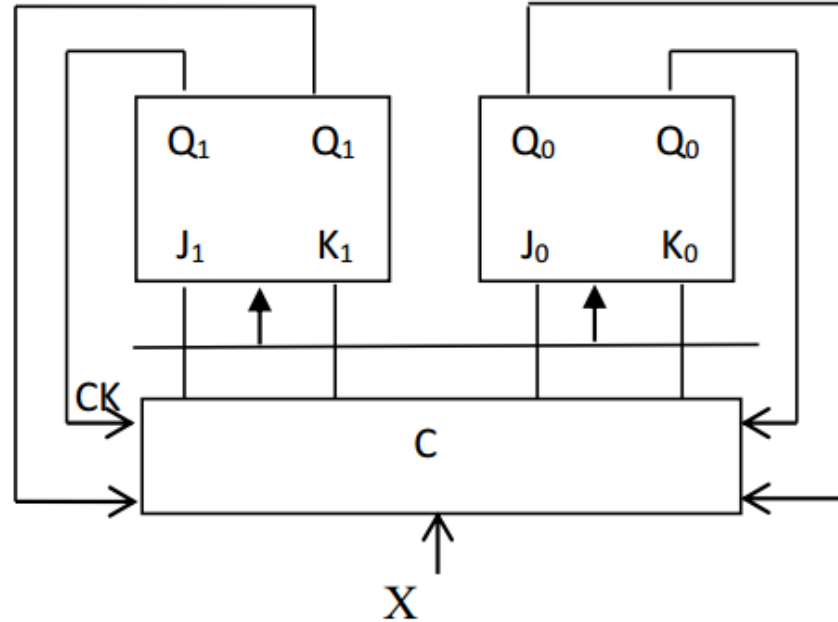


Exercice 4

Soit un circuit défini par le fonctionnement et le schéma bloc suivant :

Fonctionnement Schéma

Q_1	Q_0	X	Q_1^+	Q_0^+
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0



- 1) Réaliser le circuit C permettant de donner (J_0, K_0) et (J_1, K_1) .
On veut réaliser le même fonctionnement en utilisant des bascules D au lieu des bascules JK et une mémoire ROM au lieu du circuit C.
- 2) Donner la table de vérité et le nouveau schéma bloc (préciser bien les entrées sorties).
Combien de bit demandé dans la ROM ?

Exercice 4

Soit un circuit défini par le fonctionnement et le schéma bloc suivant :

FonctionnementSchéma

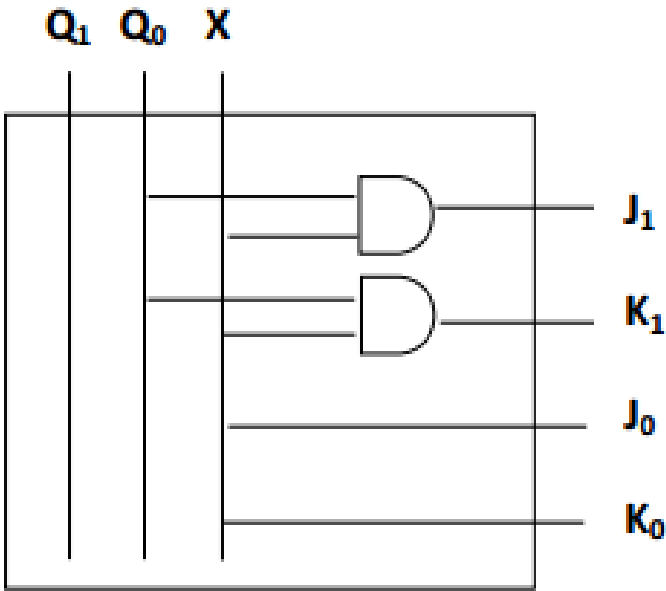
Q ₁	Q ₀	X	Q ₁ ⁺	Q ₀ ⁺
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

Q ₁	Q ₀	X	Q1+	Q0+	J ₁	K ₁	J ₀	K ₀
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	x	1	x
0	1	0	0	1	0	X	X	0
0	1	1	1	0	1	X	X	1
1	0	0	1	0	X	0	0	x
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

J1 = Q₀X K1 = Q₀ X J0 = X K0 = X

Table d'excitation (J K)

Q	Q ⁺	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0



Exercice 4

Soit un circuit défini par le fonctionnement et le schéma bloc suivant :

Table d'excitation (D)

FonctionnementSchéma

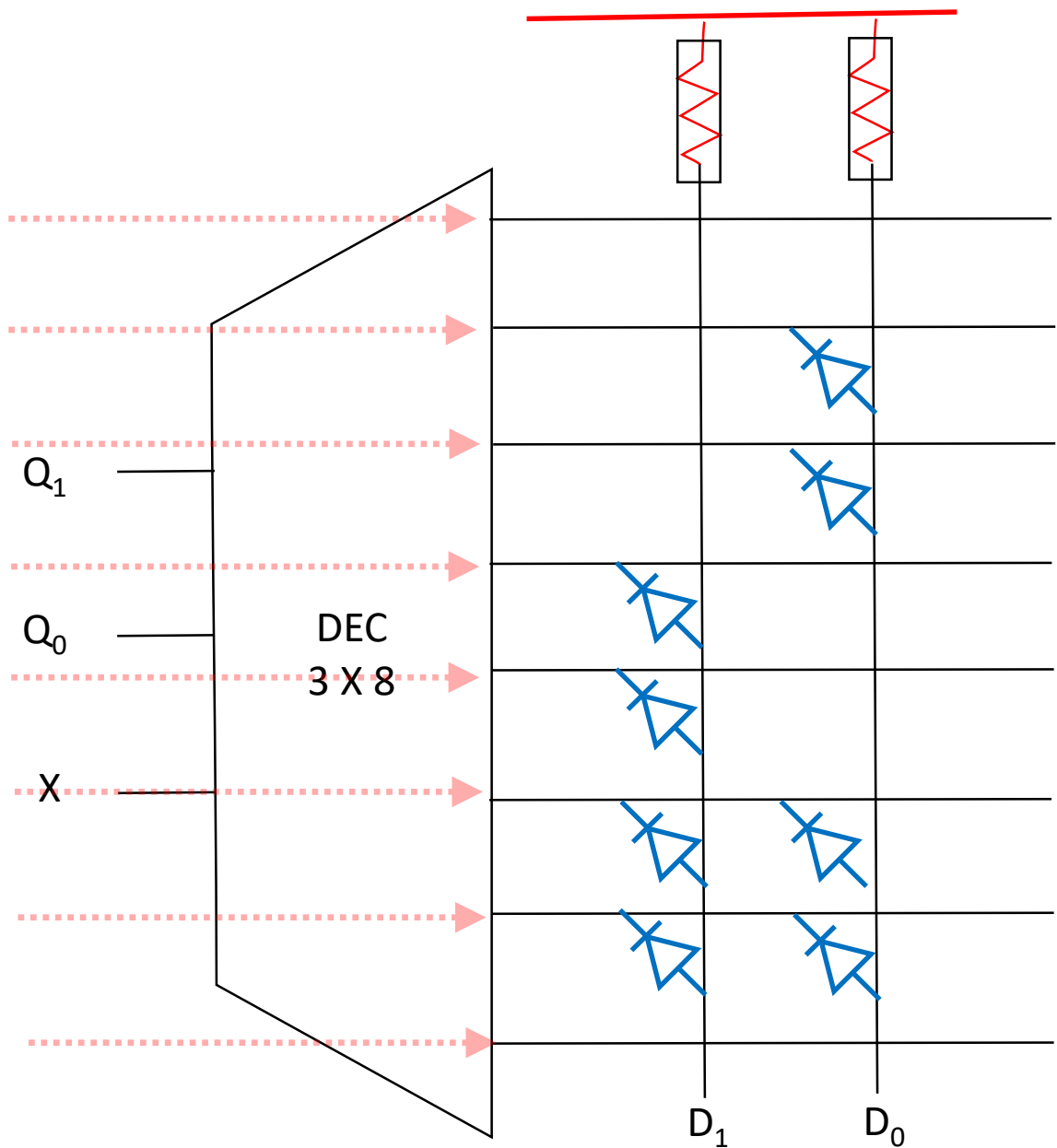
Q ₁	Q ₀	X	Q ₁ ⁺	Q ₀ ⁺
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

Q ₁	Q ₀	X	Q ₁ ⁺	Q ₀ ⁺	D ₁	D ₀
0	0	0	0	0	0	0
0	0	1	0	1	0	1
0	1	0	0	1	0	1
0	1	1	1	0	1	0
1	0	0	1	0	1	0
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	0	0	0	0

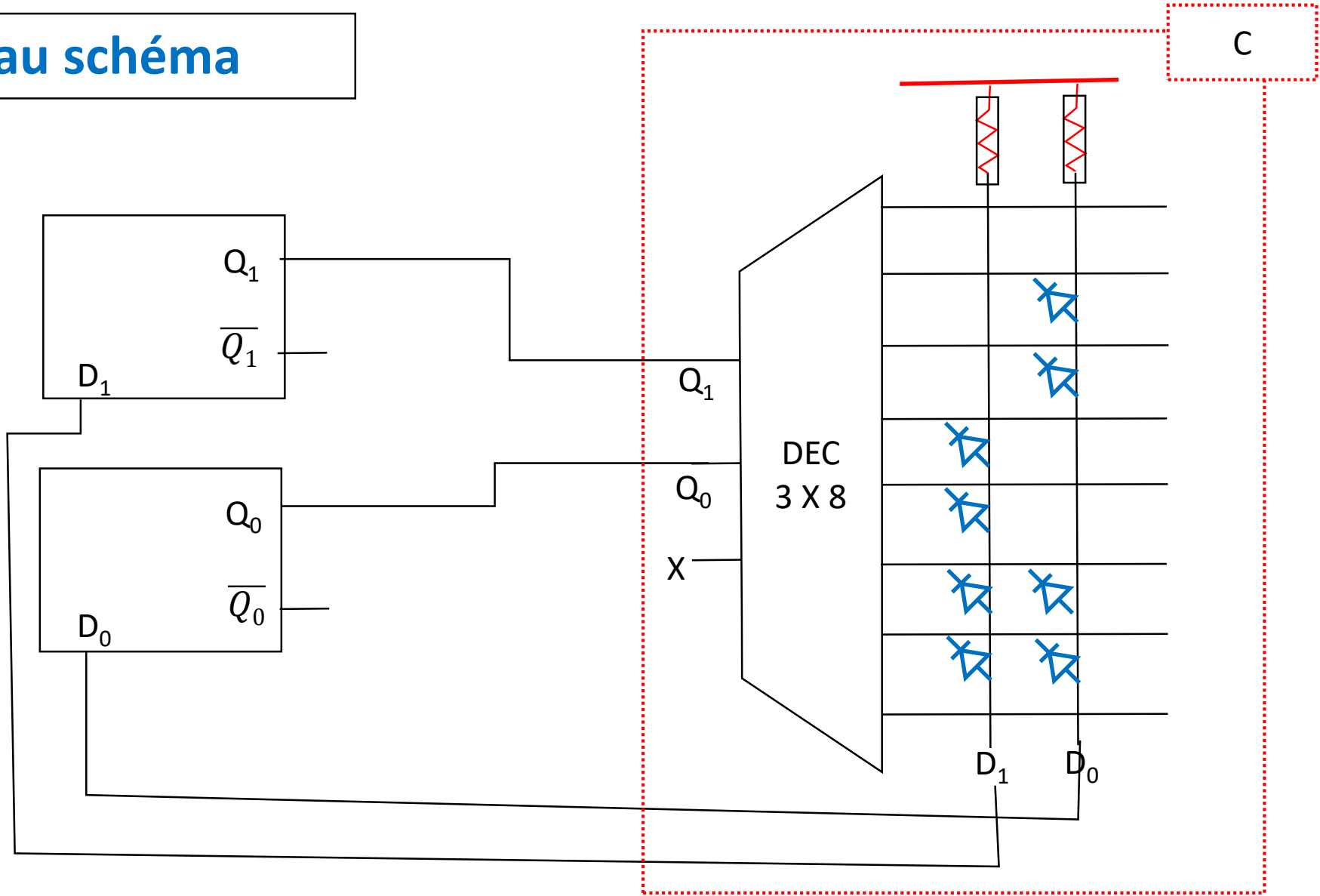
Q	Q ⁺	T
0	0	0
0	1	1
1	0	0
1	1	1

D1 = Q1 /X + Q1/Q0 + Q1Q0X D0 = Q0/X + /Q0X

Q_1	Q_0	X	Q_1+	Q_0+	D_1	D_0
0	0	0	0	0	0	0
0	0	1	0	1	0	1
0	1	0	0	1	0	1
0	1	1	1	0	1	0
1	0	0	1	0	1	0
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	0	0	0	0



Le nouveau schéma



Exercice 6

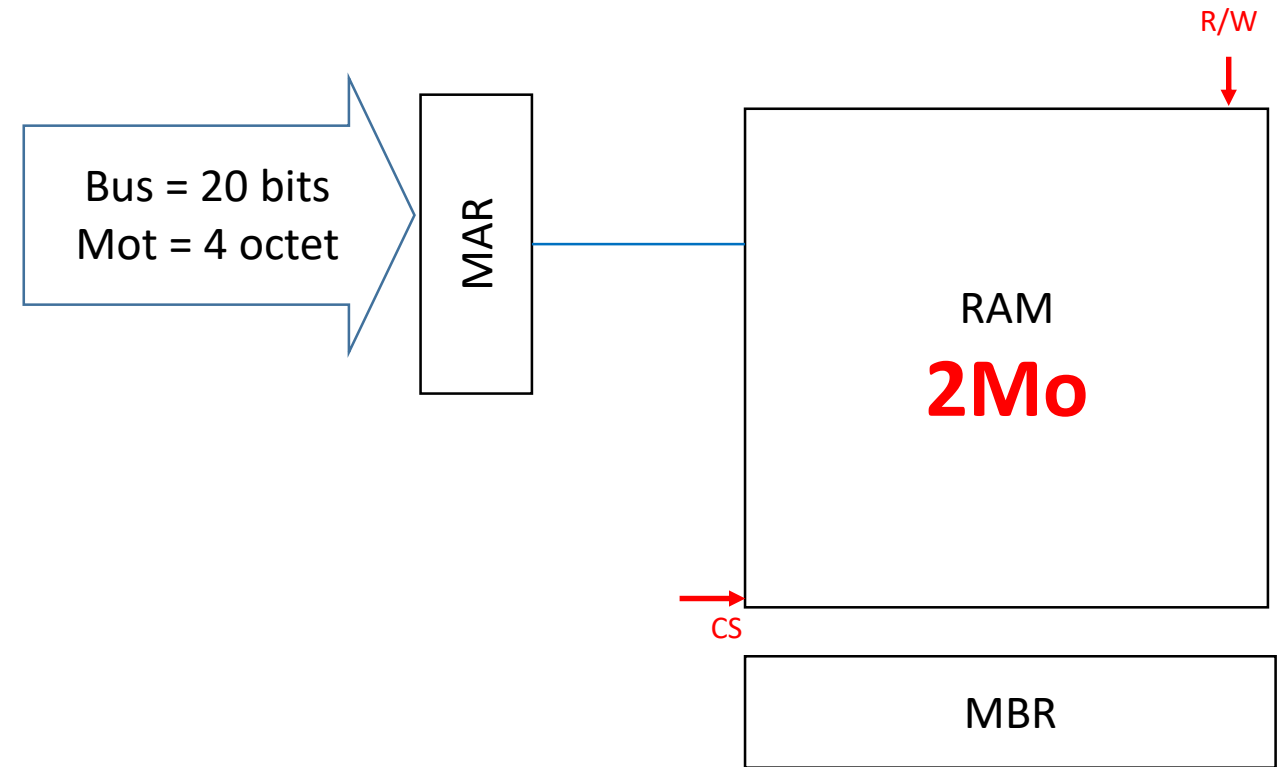
On considère une machine avec la configuration suivante : une mémoire centrale de taille **2 MØ**, avec des mots mémoires de **4 octets** et un bus d'adresse de taille **20bits**.

- 1- Calculer la taille minimale du bus d'adresse qui permet d'adresser cette mémoire.
- 2- Déterminer la plage d'adressage de cette mémoire (adresse minimale et adresse maximale en Hexa).
- 3- En fait, cette mémoire est constituée de deux blocs séparés. Le premier est une RAM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(00000)₁₆** et le deuxième est une ROM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(60000)₁₆**.
 - a- Donner le schéma de la mémoire en montrant les connexions nécessaires.
 - b- Déterminer les deux plages d'adressage respectivement de la RAM et la ROM.
- 4- Est-ce que la mémoire centrale de cet ordinateur est extensible ? Si oui, déterminer la taille de la mémoire d'extension et le nombre minimum de blocs mémoires (de même taille que les précédents) qu'on peut rajouter ? Justifier.

Extension de la mémoire

Q1 : Calculer le nombre de bits minimal pour adresser la RAM

Q1



nb mots = Taille de la mémoire adressable / taille mot

nb mots = 2Mo/4o = 2²¹ octet / 2² octet = 2¹⁹ Mots

NB mots = 2^{nbBitsMAR}

NB bits = 19

00000

FFFFF

Exercice 6

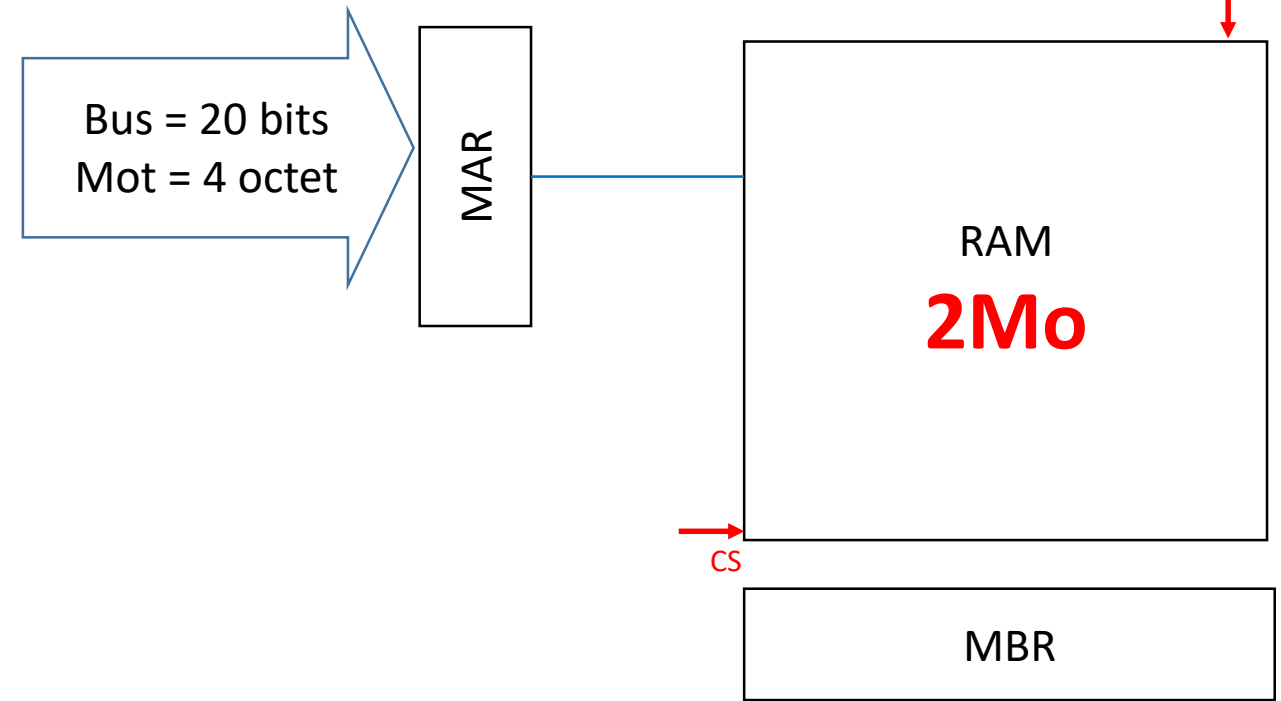
On considère une machine avec la configuration suivante : une mémoire centrale de taille **2 MØ**, avec des mots mémoires de **4 octets** et un bus d'adresse de taille **20bits**.

- 1- Calculer la taille minimale du bus d'adresse qui permet d'adresser cette mémoire.
- 2- Déterminer la plage d'adressage de cette mémoire (adresse minimale et adresse maximale en Hexa).
- 3- En fait, cette mémoire est constituée de deux blocs séparés. Le premier est une RAM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(00000)₁₆** et le deuxième est une ROM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(60000)₁₆**.
 - a- Donner le schéma de la mémoire en montrant les connexions nécessaires.
 - b- Déterminer les deux plages d'adressage respectivement de la RAM et la ROM.
- 4- Est-ce que la mémoire centrale de cet ordinateur est extensible ? Si oui, déterminer la taille de la mémoire d'extension et le nombre minimum de blocs mémoires (de même taille que les précédents) qu'on peut rajouter ? Justifier.

Extension de la mémoire

Q2 : Déterminer la plage d'adressage de cette RAM.

Q2



Plage d'adresses :

→ Min = **0000 0000 0000 0000 0000 (00000₁₆)**

→ max $2^{19}-1$ = **0111 1111 1111 1111 1111 (7FFFF₁₆)**

00000

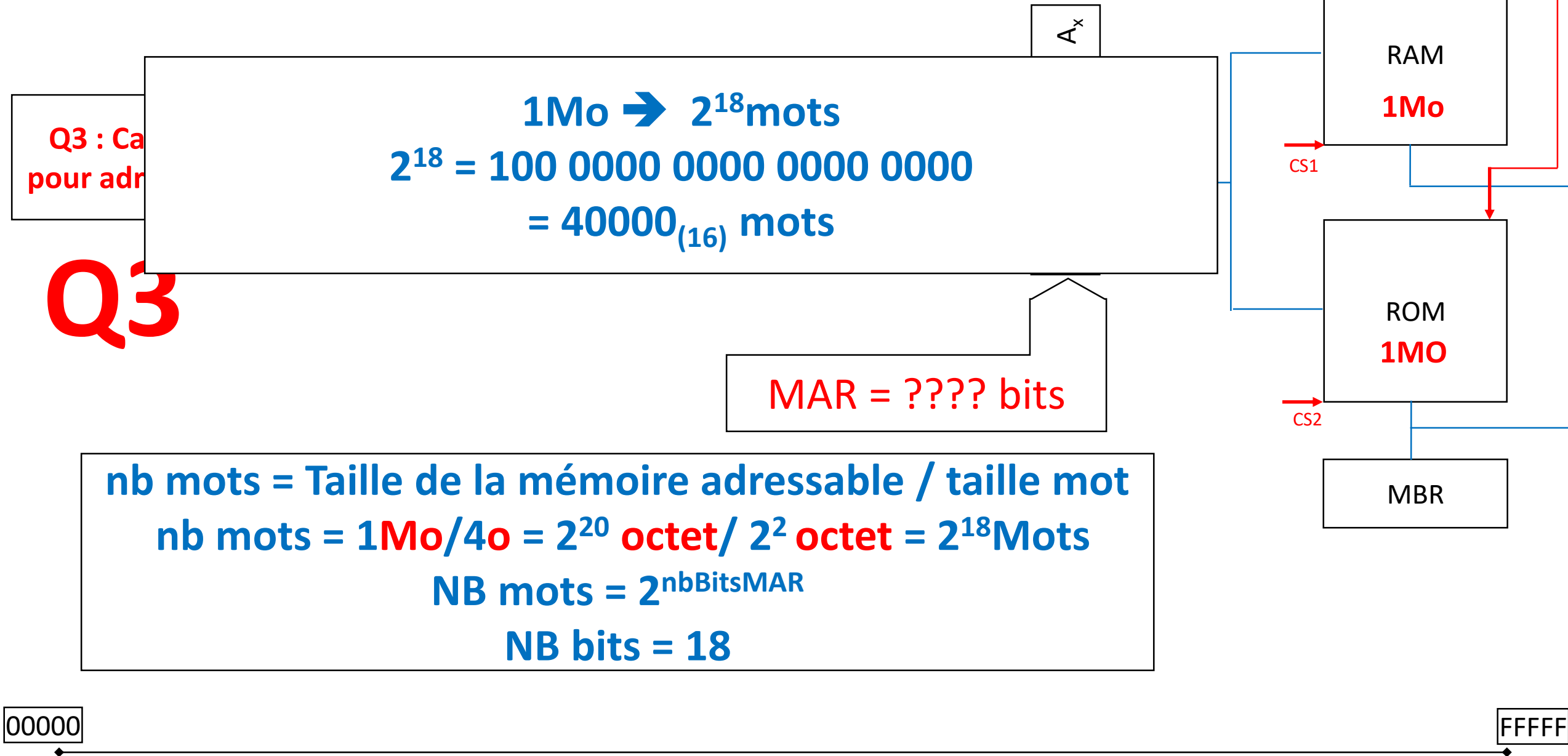
FFFFF

Exercice 6

On considère une machine avec la configuration suivante : une mémoire centrale de taille **2 MØ**, avec des mots mémoires de **4 octets** et un bus d'adresse de taille **20bits**.

- 1- Calculer la taille minimale du bus d'adresse qui permet d'adresser cette mémoire.
- 2- Déterminer la plage d'adressage de cette mémoire (adresse minimale et adresse maximale en Hexa).
- 3- En fait, cette mémoire est constituée de deux blocs séparés. Le premier est une RAM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(00000)₁₆** et le deuxième est une ROM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(60000)₁₆**.
 - a- Donner le schéma de la mémoire en montrant les connexions nécessaires.
 - b- Déterminer les deux plages d'adressage respectivement de la RAM et la ROM.
- 4- Est-ce que la mémoire centrale de cet ordinateur est extensible ? Si oui, déterminer la taille de la mémoire d'extension et le nombre minimum de blocs mémoires (de même taille que les précédents) qu'on peut rajouter ? Justifier.

Extension de la mémoire



Extension de la mémoire

Q3 : Si les adresses de RAM commence par 0 et ROM commence par $40000_{(16)}$, calculer les plages d'adresses de chaque bloque

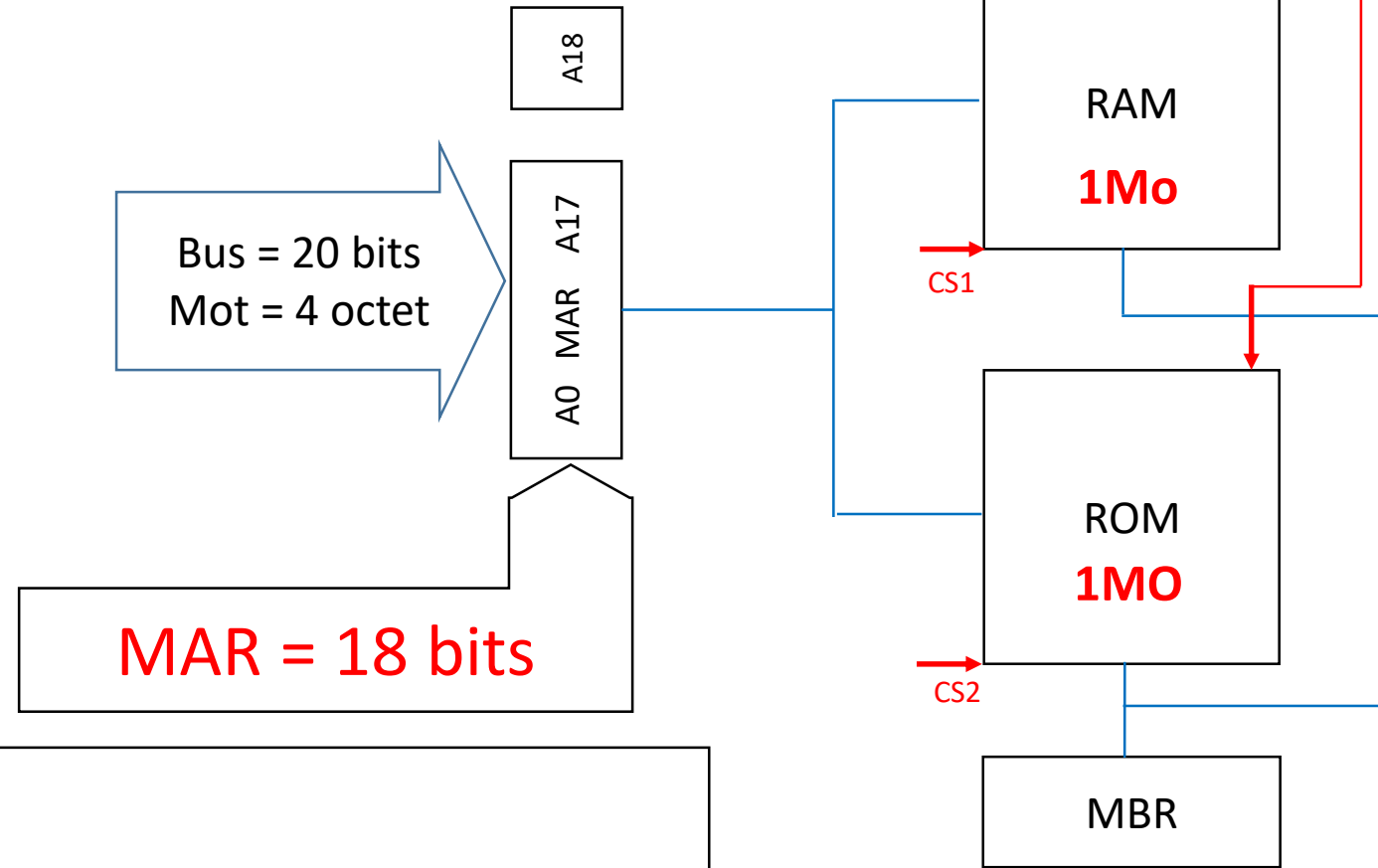
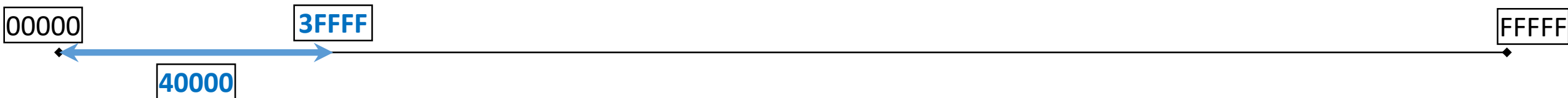
Q3

RAM :

MIN = 0000 0000 0000 0000 0000 = **00000**

MAX = MIN + NB mots - 1

= 00000 + $2^{18} - 1$ = 0011 1111 1111 1111 1111 = **3FFFF**



Extension de la mémoire

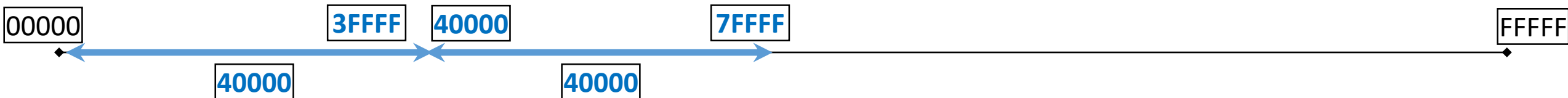
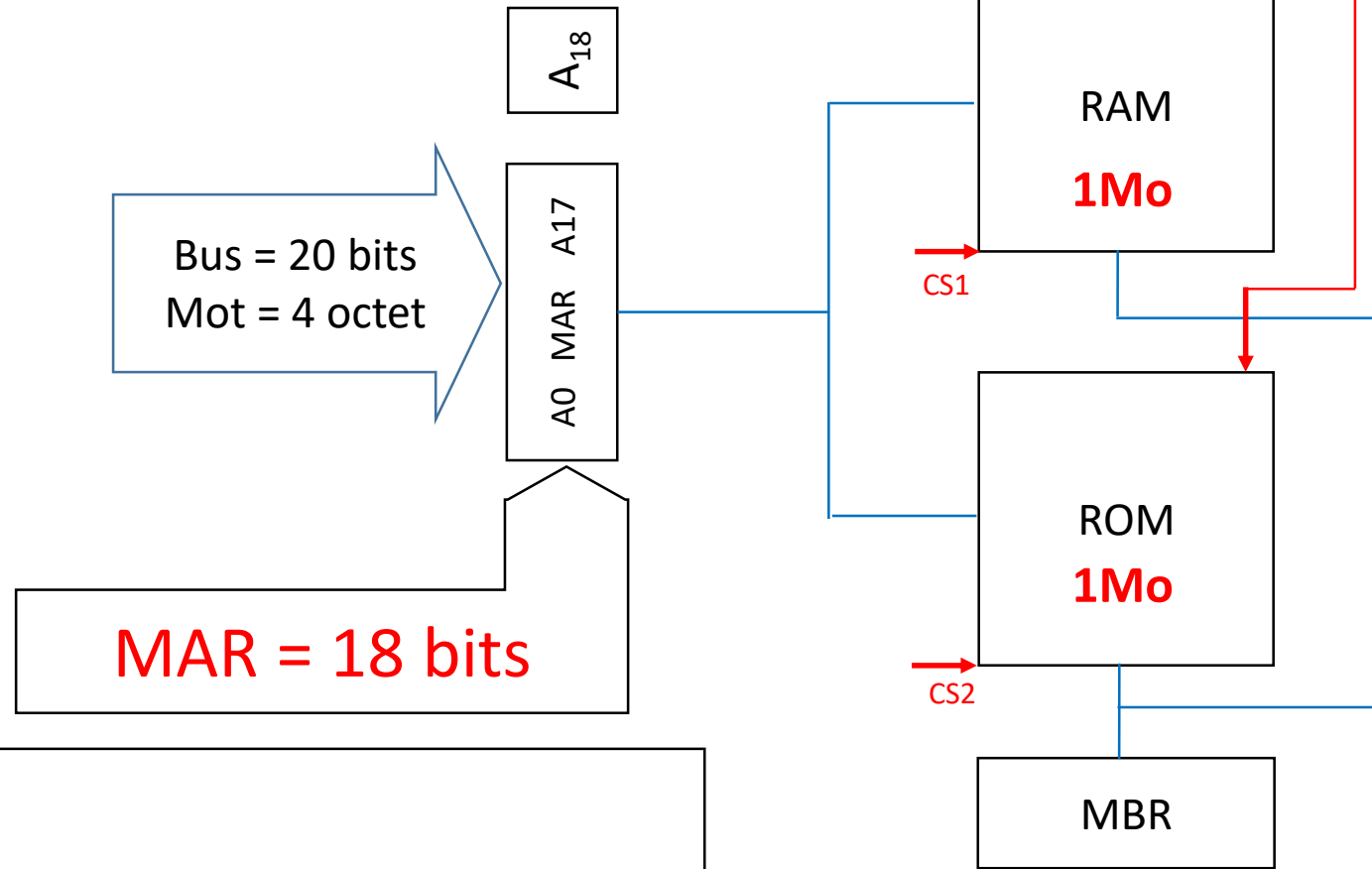
Q3 : Si les adresses de RAM commence par 0 et ROM commence par $40000_{(16)}$, calculer les plages d'adresses de chaque RAM

Q3

ROM :

MIN = 40000 = $0100\ 0000\ 0000\ 0000\ 0000$

MAX = $40000 + 2^{18} - 1$ (3FFFF) = 7FFFF



Extension de la mémoire

Q3 : Déterminer CS1 et CS2

Q3

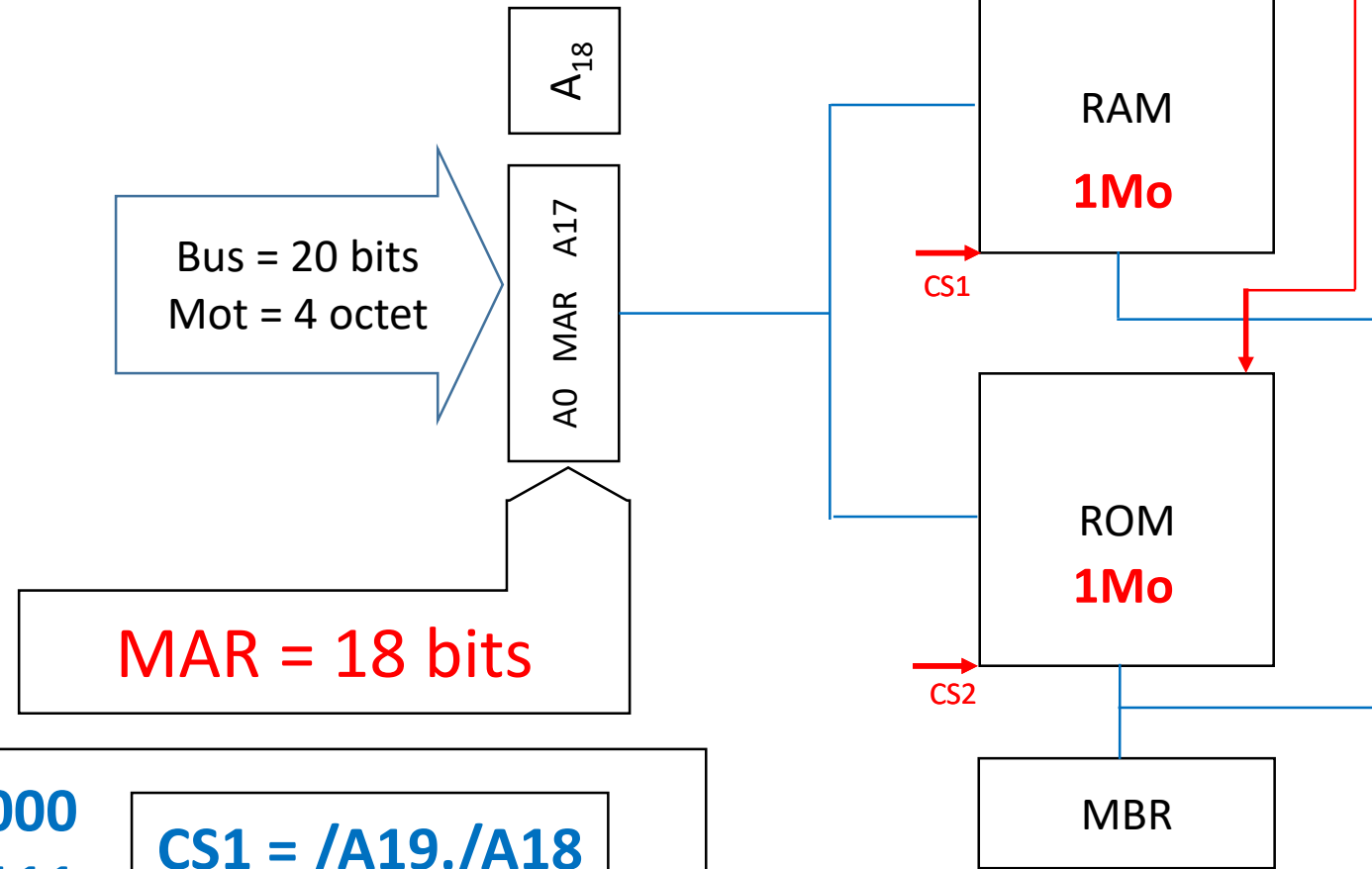
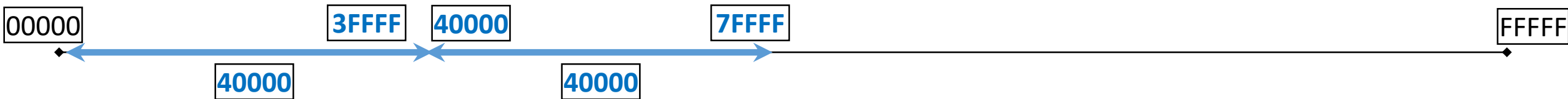
Bus = 20 bits
Mot = 4 octet

MAR = 18 bits

RAM : 0000 0000 0000 0000 0000
0011 1111 1111 1111 1111
ROM: 0100 0000 0000 0000 0000
0111 1111 1111 1111 1111

CS1 = $\neg A_{19} / A_{18}$

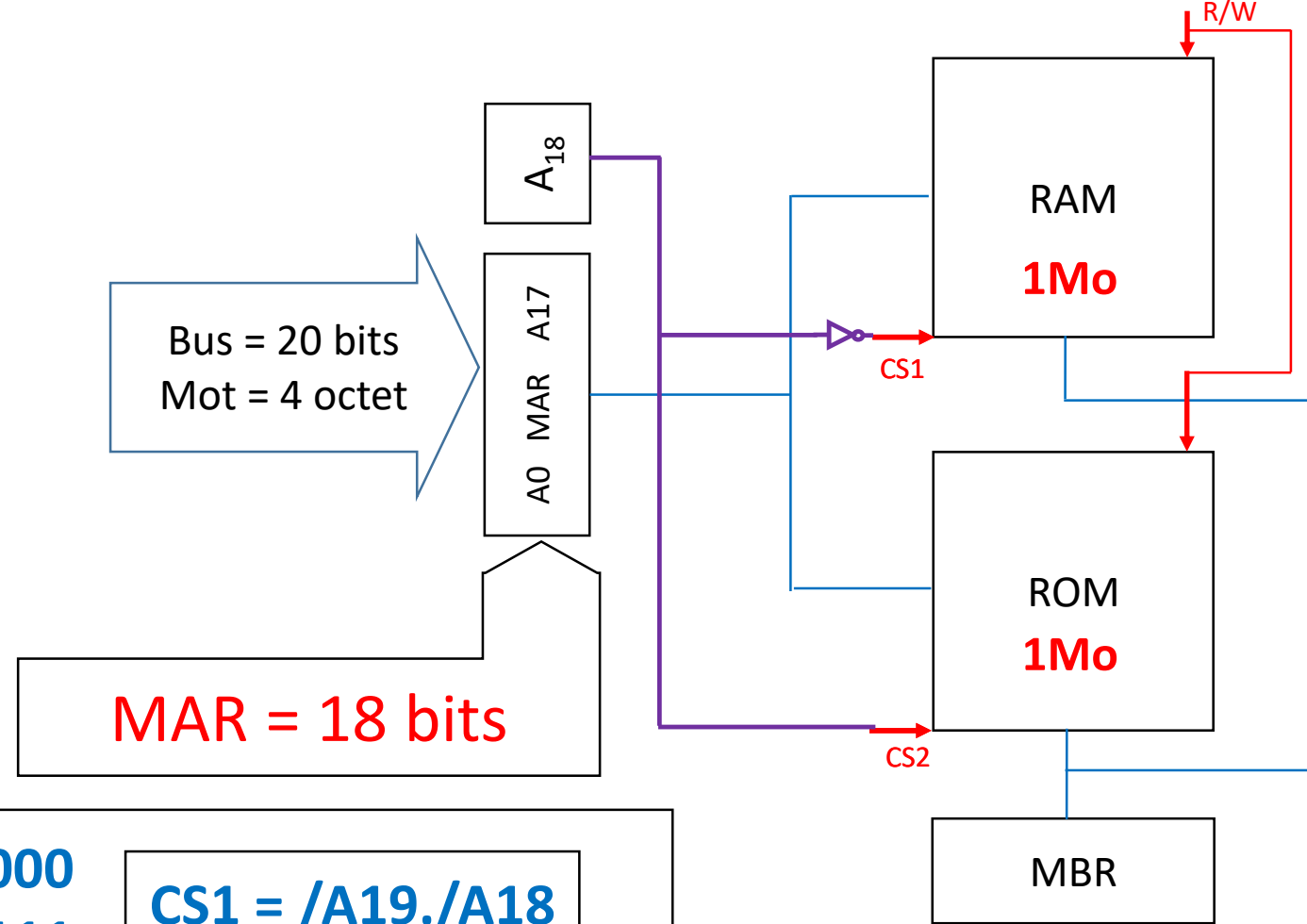
CS2 = $\neg A_{19} . A_{18}$



Extension de la mémoire

Q3 : Déterminer CS1 et CS2

Q3

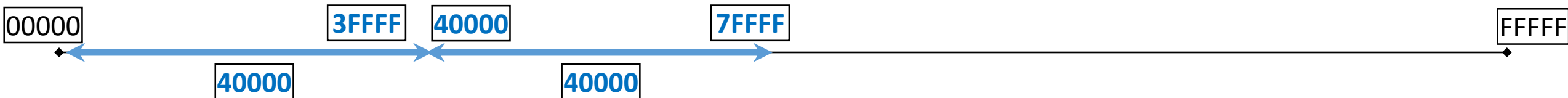


RAM : 0000 0000 0000 0000 0000
0011 1111 1111 1111 1111

ROM : 0100 0000 0000 0000 0000
0111 1111 1111 1111 1111

CS1 = $\neg A_{19} \cdot A_{18}$

CS2 = $A_{19} \cdot A_{18}$



Exercice 6

On considère une machine avec la configuration suivante : une mémoire centrale de taille **2 MØ**, avec des mots mémoires de **4 octets** et un bus d'adresse de taille **20bits**.

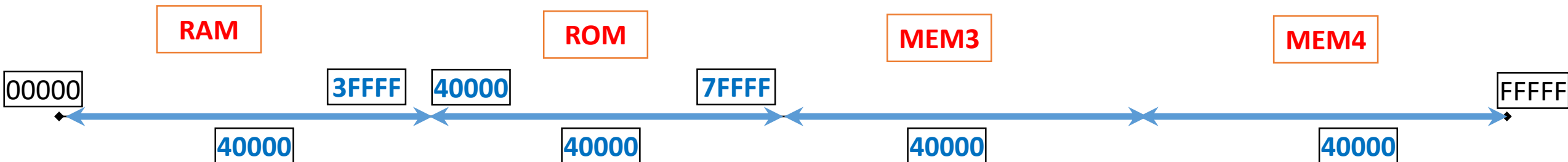
- 1- Calculer la taille minimale du bus d'adresse qui permet d'adresser cette mémoire.
- 2- Déterminer la plage d'adressage de cette mémoire (adresse minimale et adresse maximale en Hexa).
- 3- En fait, cette mémoire est constituée de deux blocs séparés. Le premier est une RAM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(00000)₁₆** et le deuxième est une ROM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(60000)₁₆**.
 - a- Donner le schéma de la mémoire en montrant les connexions nécessaires.
 - b- Déterminer les deux plages d'adressage respectivement de la RAM et la ROM.
- 4- Est-ce que la mémoire centrale de cet ordinateur est extensible ? Si oui, déterminer la taille de la mémoire d'extension et le nombre minimum de blocs mémoires (de même taille que les précédents) qu'on peut rajouter ? Justifier.

Extension de la mémoire

Q4 : Peut-on ajouter d'autres mémoires de même taille (1Mo) ??

Q4

20 bits \rightarrow 4Mo (RAM + ROM = 2Mo) 2^{20}
On peut ajouter une mémoire de 2Mo
 \rightarrow 2 autres Mémoire de 1M,



Extension de la mémoire

Q4 : Peut-on ajouter d'autres mémoires de même taille ??

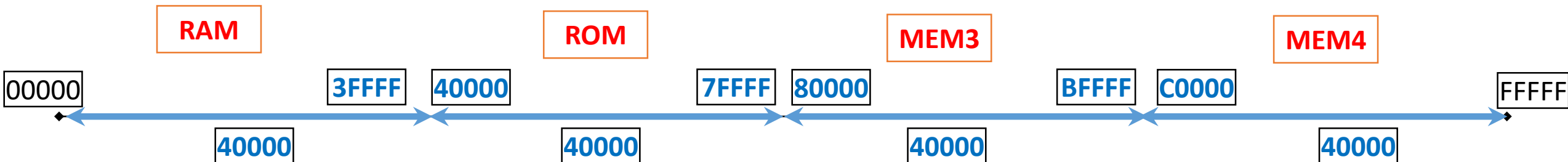
Q4

20 bits \rightarrow 4Mo (RAM + ROM = 2Mo) 2^{20}

On peut ajouter 2 autres MEM de 1M,

MEM3 : 7FFFF+1 à (7FFFF+1)+3FFFF \rightarrow 80000 à BFFFF

MEM4 : BFFFF+1 à (BFFFF+1)+3FFFF \rightarrow C0000 à FFFFF



Extension de la mémoire

Q4

Q4 : Peut

RAM : 0000 0000 0000 0000 0000

CS1 = /A19./A18

0011 1111 1111 1111 1111

ROM : 0100 0000 0000 0000 0000

CS2 = /A19.A18

0111 1111 1111 1111 1111

MEM1 : 1000 0000 0000 0000 0000

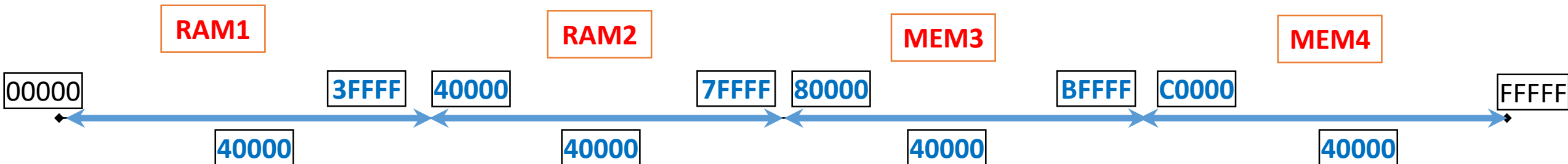
CS3 = A19./A18

1011 1111 1111 1111 1111

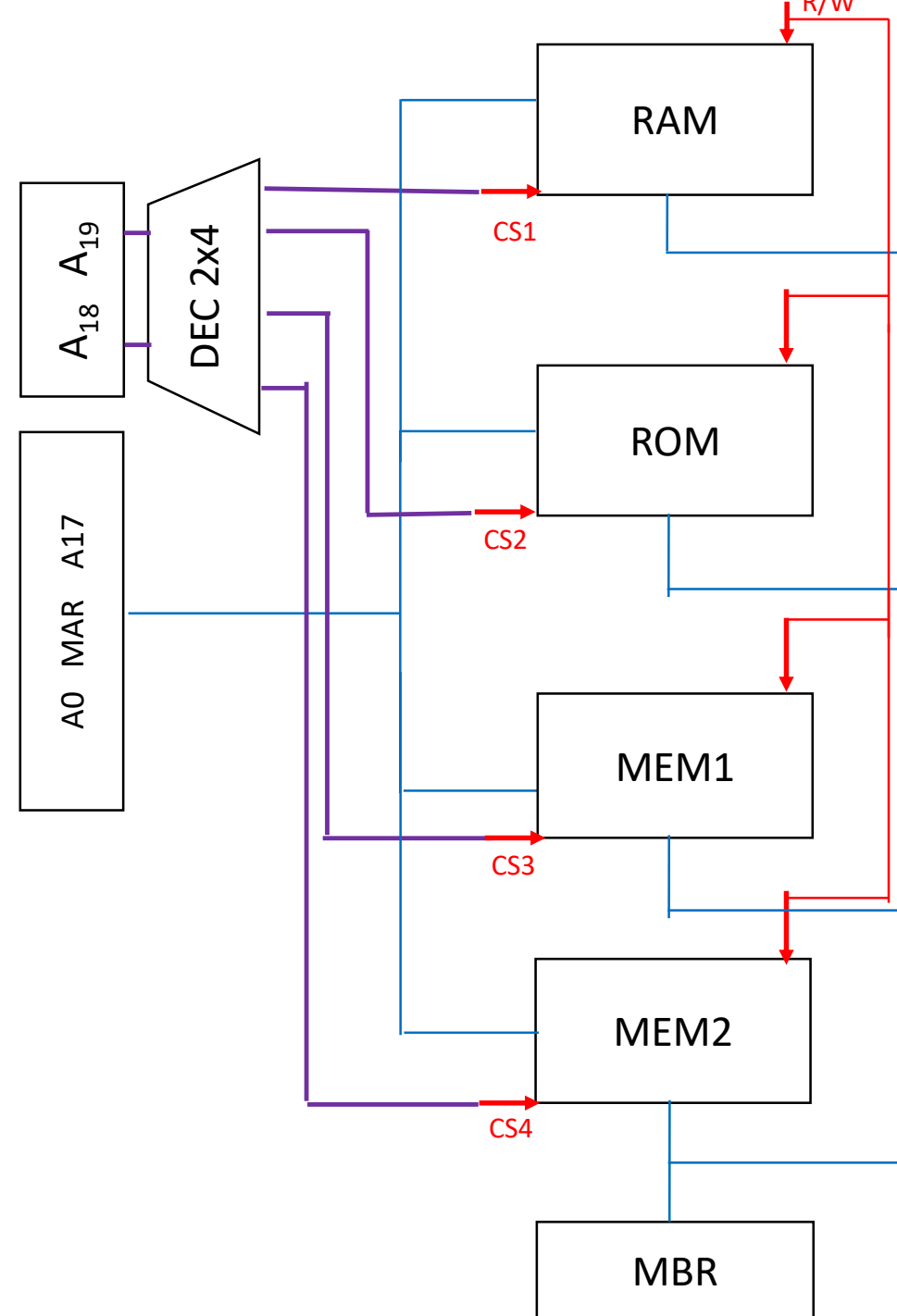
MEM2 : 1100 0000 0000 0000 0000

CS4 = A19.A18

1111 1111 1111 1111 1111



Extension de la mémoire



Q4