

Atividade 2: Introdução à placa DE10-Lite

Maria Eduarda Soares Romana Silva - 2408830

1 Introdução

O presente relatório descreve a segunda atividade da disciplina de Lógica Reconfigurável, no qual foram propostos dois exercícios, o primeiro correspondia a implementação da Atividade 1: Portas lógicas, mas dessa vez o objetivo era implementar na placa DE10-Lite, definindo cada entrada (a e b) em uma chave e associar um LED para cada uma das saídas. O segundo exercício correspondia ao desenvolvimento de um circuito lógico digital para o controle de uma máquina de cópias, utilizando chaves como entradas de um sistema combinacional. O intuito era projetar um circuito cuja saída seja ativada (nível lógico alto) sempre que duas ou mais chaves estiverem fechadas simultaneamente. Além disso, o enunciado impôs uma restrição: as chaves SW1 e SW4 nunca poderiam estar ativas ao mesmo tempo, condição que permitiu o uso da situações "don't care" na simplificação.

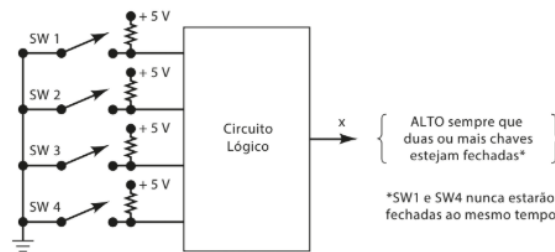


Figura 1: Circuito lógico exercício 2

2 Exercício 1

Seguindo o mesmo código da Atividade , foi usado apenas o Pin Planer na IDE Quartus para definir as entradas e saídas.

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair	Strict Preservation
a	Input	PIN_C10	7	B7_NO	PIN_C10	2.5 V		12mA (default)			
b	Input	PIN_C11	7	B7_NO	PIN_C11	2.5 V		12mA (default)			
s	Output	PIN_A8	7	B7_NO	PIN_A8	2.5 V (default)		12mA (default)	2 (default)		
t	Output	PIN_A9	7	B7_NO	PIN_C9	2.5 V (default)		12mA (default)	2 (default)		
u	Output	PIN_A11	7	B7_NO	PIN_A11	2.5 V		12mA (default)	2 (default)		
v	Output	PIN_A10	7	B7_NO	PIN_C8	2.5 V (default)		12mA (default)	2 (default)		
w	Output	PIN_B10	7	B7_NO	PIN_D12	2.5 V (default)		12mA (default)	2 (default)		
x	Output	PIN_C13	7	B7_NO	PIN_E11	2.5 V (default)		12mA (default)	2 (default)		
y	Output	PIN_E14	7	B7_NO	PIN_B11	2.5 V (default)		12mA (default)	2 (default)		
z	Output	PIN_D14	7	B7_NO	PIN_B12	2.5 V (default)		12mA (default)	2 (default)		
<<new node>>											

Figura 2: Pin planner

3 Exercício 2

3.1 Consideração sobre o enunciado e interpretação alternativa

Durante a realização da atividade em sala de aula, a análise do enunciado trouxe uma interpretação divergente da proposta pelo autor do material original. Segundo a resolução apresentada no livro de origem, a restrição imposta no exercício apenas diz respeito à impossibilidade de que as chaves SW1 e SW2 estejam simultaneamente fechadas, sem considerar quaisquer outras limitações físicas.

Entretanto, quando se analisa o contexto descrito no enunciado de forma mais realista, é inviável que o circuito ative sensores não-sequenciais ao mesmo tempo (por exemplo, SW1 e SW3), tendo em vista que trata-se de uma máquina copiadora, onde um papel de comprimento dois passa pelos sensores e os mesmo são ativados, na situação onde SW1 e SW3 estejam ativos simultaneamente da a impressão que o papel tem "furos" no meio. Dessa forma, foi compreendido que as chaves deveriam ser ativadas em sequência, refletindo o movimento contínuo do papel.

Com base nisso, o relatório apresentará duas soluções distintas:

- A solução seguindo o padrão do autor, baseada na restrição simples entre SW1 e SW4;
- Uma solução alternativa, mais condizente com a análise mais realista do sistema, em que apenas as combinações de chaves ativadas de forma sequencial são consideradas válidas para gerar saída alta.

3.2 Solução seguindo o padrão do autor

3.2.1 Tabela verdade

Tabela 1: Tabela Verdade - solução 1

SW1	SW2	SW3	SW4	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	x
1	0	1	0	1
1	0	1	1	x
1	1	0	0	1
1	1	0	1	x
1	1	1	0	1
1	1	1	1	x

3.2.2 Mapa de Karnaugh

Tabela 2: Mapa de Karnaugh - solução 1

	$\overline{SW3}\overline{SW4}$	$\overline{SW3}SW4$	$SW3\overline{SW4}$	$SW3SW4$
$\overline{SW1}\overline{SW2}$	0	0	1	0
$\overline{SW1}SW2$	0	1	1	1
$SW1\overline{SW2}$	1	x	x	1
$SW1SW2$	0	x	x	1

3.2.3 Equação lógica

$$Y = SW3 \cdot SW4 + SW2 \cdot SW4 + SW1 \cdot SW3 + SW1 \cdot SW2 \quad (1)$$

3.2.4 Código VHDL comentado

```

1  library ieee ;
2  use ieee . std_logic_1164 . all ;
3  -----
4  entity atv02 is
5
6  port (
7      a , b, c, d: in bit ;
8      -- a = SW1
9      -- b = SW2
10     -- c = SW3
11     -- d = SW4
12     y: out bit
13 );
14
15 end entity ;
16 -----
17 architecture atv02 of atv02 is
18
19 begin
20
21     y <= (c and d) or (b and d) or (b and c) or (a and c) or (a and b);
22     -- equacao logica
23
24 end architecture ;

```

Listing 1: Código VHDL - solução 1

3.2.5 Diagrama RTL

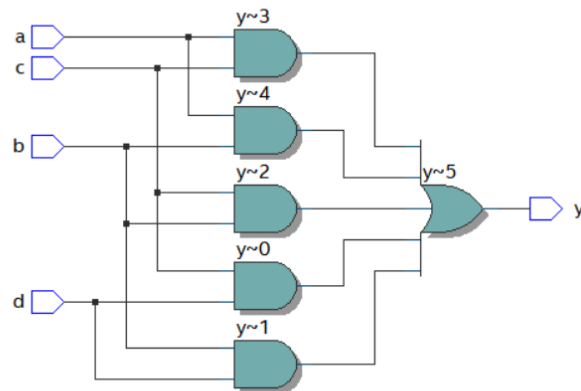


Figura 3: Diagrama RTL - solução 1

3.2.6 Simulação

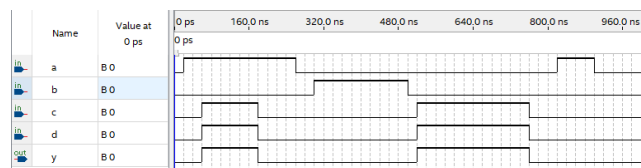


Figura 4: Simulação - solução 1

3.3 Solução seguindo interpretação realista

3.3.1 Tabela verdade

Tabela 3: Tabela Verdade - solução 2

SW1	SW2	SW3	SW4	Y
0	0	0	0	0
1	0	0	0	0
0	1	0	0	0
0	0	1	0	1
1	0	0	1	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	x
1	0	1	0	0
1	0	1	1	x
1	1	0	0	1
1	1	0	1	x
1	1	1	0	1
1	1	1	1	x

3.3.2 Mapa de Karnaugh

Tabela 4: Mapa de Karnaugh - solução 2

	$\overline{SW3}\overline{SW4}$	$\overline{SW3}SW4$	$SW3\overline{SW4}$	$SW3SW4$
$\overline{SW1}\overline{SW2}$	0	0	1	0
$\overline{SW1}SW2$	0	1	1	1
$SW1\overline{SW2}$	1	x	x	1
$SW1SW2$	0	x	x	0

3.3.3 Equação lógica

$$Y = SW3 \cdot SW4 + SW2 \cdot SW3 + SW1 \cdot SW2 \quad (2)$$

3.3.4 Código VHDL comentado

```

1  library ieee ;
2  use ieee . std_logic_1164 . all ;
3  -----
4  entity atv02 is
5
6  port (
7      a , b, c, d: in bit ;
8      -- a = SW1
9      -- b = SW2
10     -- c = SW3
11     -- d = SW4
12     y: out bit
13 );
14
15 end entity ;
16 -----
17 architecture atv02 of atv02 is
18
19 begin
20
21     y <= (c and d) or (b and c) or (a and b);
22     -- equacao logica
23
24 end architecture ;

```

Listing 2: Código VHDL - solução 2

3.3.5 Diagrama RTL

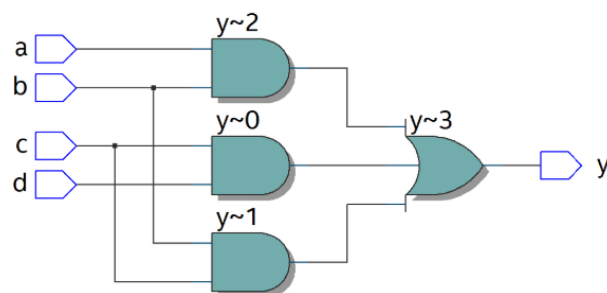


Figura 5: Diagrama RTL - solução 2

3.3.6 Simulação

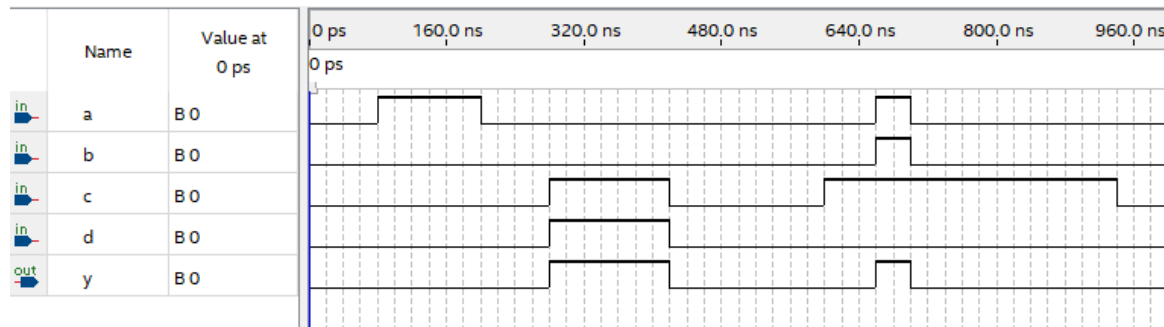


Figura 6: Simulação - solução 2

Errata

Durante a elaboração da Tabela Verdade apresentada neste relatório, foi adotada a convenção de que o nível lógico **0** representa o estado **desligado**, e o nível lógico **1** representa o estado **ligado**. No entanto, conforme especificado no enunciado do exercício, a lógica correta é: **chave ligada corresponde ao nível lógico 0** e **chave desligada ao nível lógico 1**.

Dessa forma, a única diferença em relação à solução apresentada seria a **negação das saídas** para que estejam de acordo com a convenção exigida. A lógica do circuito permanece válida, e o funcionamento pode ser facilmente ajustado com inversores nas saídas, se necessário.