

Atividade 1 - Portas Lógicas

Maria Eduarda Soares Romana Silva - 2408830

1 Introdução

O presente relatório descreve a primeira atividade da disciplina de Lógica Reconfigurável, cujo objetivo foi implementar as principais portas lógicas utilizando a linguagem HDL na ferramenta Quartus, a fim de consolidar os assuntos apresentados em aula. As portas abordadas foram: **NOT** (para cada entrada), **AND**, **OR**, **NAND**, **NOR**, **XOR**, **XNOR**, todas a partir das mesmas entradas de dados (A e B). Além do código VHDL, essa atividade também contempla a simulação dos resultados e a geração do diagrama RTL, permitindo uma análise complementar do comportamento das portas lógicas e suas estruturas internas.

2 Código VHDL comentado

```
1 library ieee;
2 use ieee.std_logic_1164.all;
3 -----
4 entity atv01 is
5
6 port (
7     a , b: in bit;
8     s , t , u , v , w , x , y , z: out bit
9 );
10
11 end entity;
12 -----
13 architecture atv01 of atv01 is
14
15 begin
16     s <= not b; -- inversao entrda b
17     t <= not a; -- inversao entrada a
18     u <= a and b; -- conjuncao logica
19     v <= a or b; -- disjuncao logica
20     w <= a nand b; -- porta NAND
21     x <= a nor b; -- porta NOR
22     y <= a xor b; -- disjuncao exclusiva
23     z <= a xnor b; -- porta XNOR
24
25 end architecture;
```

Listing 1: Código VHDL da atividade 01

3 Simulação

Na simulação, foram feitas algumas combinações de entradas A e B, podendo, portanto, observar o comportamento de saída de cada porta lógica implementada:

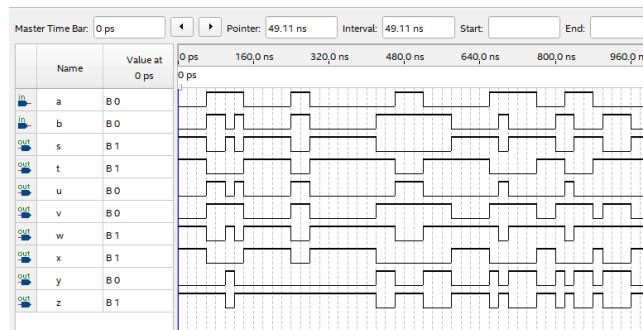


Figura 1: Simulação

4 Diagrama RTL

O diagrama RTL (Register Transfer Level) gerado pela ferramenta Quartus mostra a representação estrutural do circuito com as operações lógicas conectadas às entradas A e B. Esse diagrama se faz essencial para visualizar a composição do hardware sintetizado.

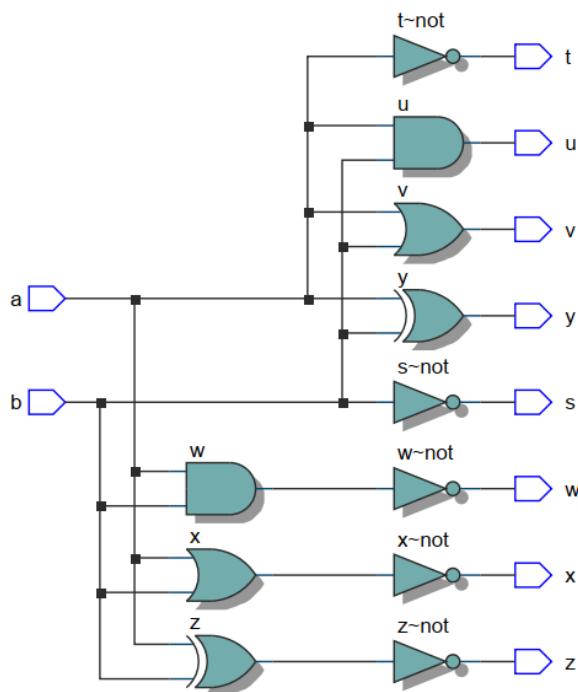


Figura 2: Diagrama RTL