

Atividade 4: Multiplexador Genétrico

Maria Eduarda Soares Romana Silva - 2408830

1 Introdução

O presente relatório descreve a quarta atividade da disciplina de Lógica Reconfigurável. Nesta atividade, foi proposto o desenvolvimento de um multiplexador genérico. O projeto exigiu a parametrização da quantidade de entradas e da largura de cada entrada, utilizando a estrutura *generics*. Para isso, foram definidos dois parâmetros:

- s : número de bits dos seletores (definindo o número de entradas como 2^s);
- m : número de bits por entrada.

A implementação foi validada por meio de simulação e depois testada em uma placa FPGA.

2 Código VHDL comentado

```
1 -- ATIVIDADE 4 - MULTPLEX
2 -- MARIA EDUADA SOARES
3
4 library ieee ;
5 use ieee.std_logic_1164.all;
6 use IEEE.NUMERIC_STD.ALL;
7
8 entity atv04 is
9     generic (
10         s : integer := 2;    -- bits de selecao
11         m : integer := 2    -- bits de cada entrada
12     );
13     port (
14         seletores : in STD_LOGIC_VECTOR(s-1 downto 0);
15         entradas  : in STD_LOGIC_VECTOR((2**s)*m-1 downto 0);
16         saidas    : out STD_LOGIC_VECTOR(m-1 downto 0)
17     );
18 end entity;
19
20 architecture atv04 of atv04 is
21 begin
22     gen : for i in saidas'range generate
23         saidas(i) <= entradas(to_integer(unsigned(seletores))*m+i);
24     end generate;
25 end architecture;
```

Listing 1: Código VHDL - multiplexador genérico

A estrutura *generic* permite definir a quantidade de entradas (2^s) e quantos bits cada entrada terá (m).

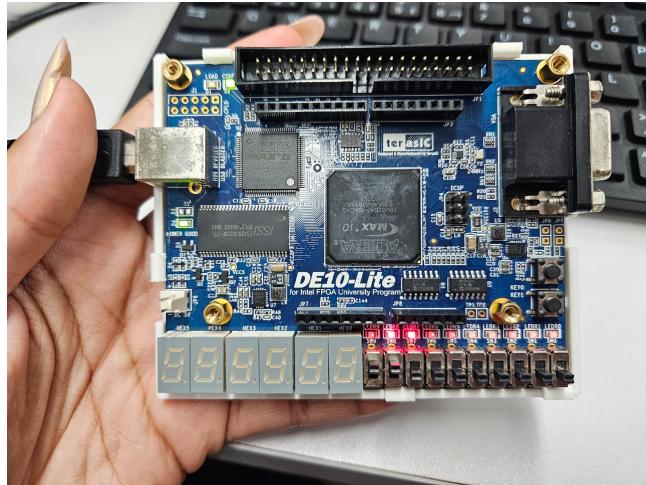


Figura 1: Placa FPGA com o MUX em funcionamento

3 Foto da placa

Abaixo, está a imagem real da placa FPGA, após enviar o código para a mesma, sendo possível visualizar o funcionamento do multiplexador.

4 Pin Planner

O *Pin Planner* é uma ferramenta do software Quartus utilizada para associar os sinais lógicos do projeto aos pinos físicos da FPGA.

A definição dos pinos para uso na placa foi feita conforme a imagem abaixo, utilizando os botões como entradas, os LEDs como saídas e chaves seletoras para controle.

<input type="checkbox"/> entradas[7]	Input	PIN_B14	7	B7_NO	PIN_F15	2.5 V		12mA (default)		
<input checked="" type="checkbox"/> saídas[1]	Output	PIN_A8	7	B7_NO	PIN_A11	2.5 V (default)		12mA (default)	2 (default)	
<input checked="" type="checkbox"/> saídas[0]	Output	PIN_A9	7	B7_NO	PIN_D14	2.5 V (default)		12mA (default)	2 (default)	
<input type="checkbox"/> entradas[5]	Input	PIN_A12	7	B7_NO	PIN_A14	2.5 V		12mA (default)		
<input type="checkbox"/> entradas[3]	Input	PIN_A13	7	B7_NO	PIN_B12	2.5 V		12mA (default)		
<input type="checkbox"/> entradas[2]	Input	PIN_A14	7	B7_NO	PIN_A12	2.5 V		12mA (default)		
<input type="checkbox"/> entradas[4]	Input	PIN_B12	7	B7_NO	PIN_A13	2.5 V		12mA (default)		
<input type="checkbox"/> seletores[1]	Input	PIN_C10	7	B7_NO	PIN_J12	2.5 V (default)		12mA (default)		
<input type="checkbox"/> seletores[0]	Input	PIN_C11	7	B7_NO	PIN_H13	2.5 V (default)		12mA (default)		
<input type="checkbox"/> entradas[0]	Input	PIN_C12	7	B7_NO	PIN_D12	2.5 V		12mA (default)		
<input type="checkbox"/> entradas[1]	Input	PIN_D12	7	B7_NO	PIN_C12	2.5 V		12mA (default)		
<input type="checkbox"/> entradas[6]	Input	PIN_F15	7	B7_NO	PIN_B14	2.5 V		12mA (default)		
<<new node>>										

Figura 2: Pin Planner

5 Diagrama RTL

O diagrama RTL é uma representação gráfica do circuito lógico desenvolvido a partir do código VHDL. Ele mostra como os sinais de entrada e saída estão conectados por meio de blocos lógicos internos.

A imagem a seguir mostra a visão estrutural do circuito gerada automaticamente pelo software Quartus, evidenciando os blocos lógicos criados para implementar o multiplexador.

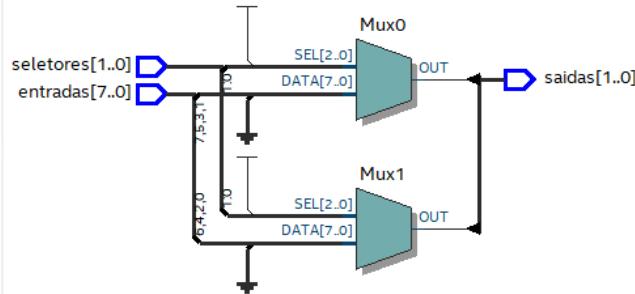


Figura 3: Diagrama RTL

6 Simulação Waveform

A simulação *waveform* é uma representação temporal do comportamento do circuito. Ela mostra como os sinais de entrada, saída e controle variam ao longo do tempo. Com ela, é possível verificar se o multiplexador está selecionando corretamente a entrada desejada com base no valor dos seletores.

A simulação foi feita com 8 entradas de 8 bits e mostrou o correto funcionamento do multiplexador. A cada mudança no seletor, a saída passou a refletir o valor correspondente da entrada selecionada, como é possível ver na imagem abaixo.

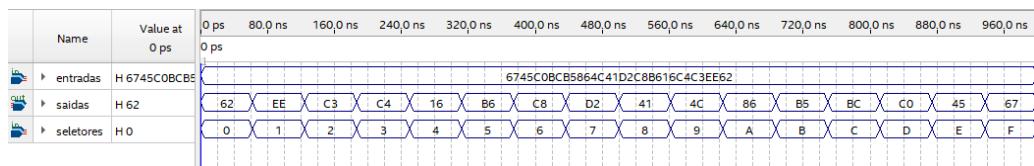


Figura 4: Simulation Waveform