به نام خدا

گزارش پروژه درس MIPS _ FPGA

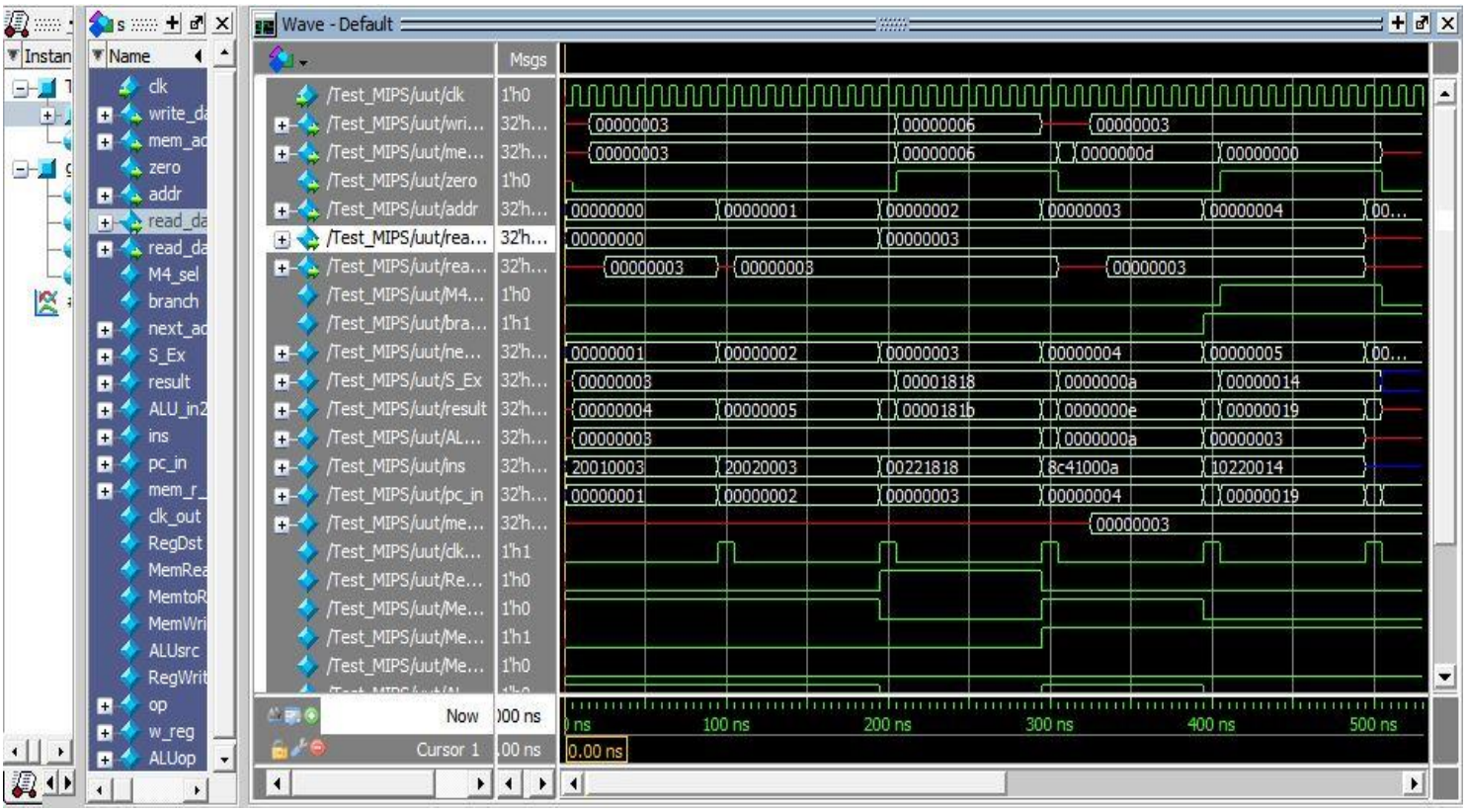
مائده شامیرزایی _ 9629743

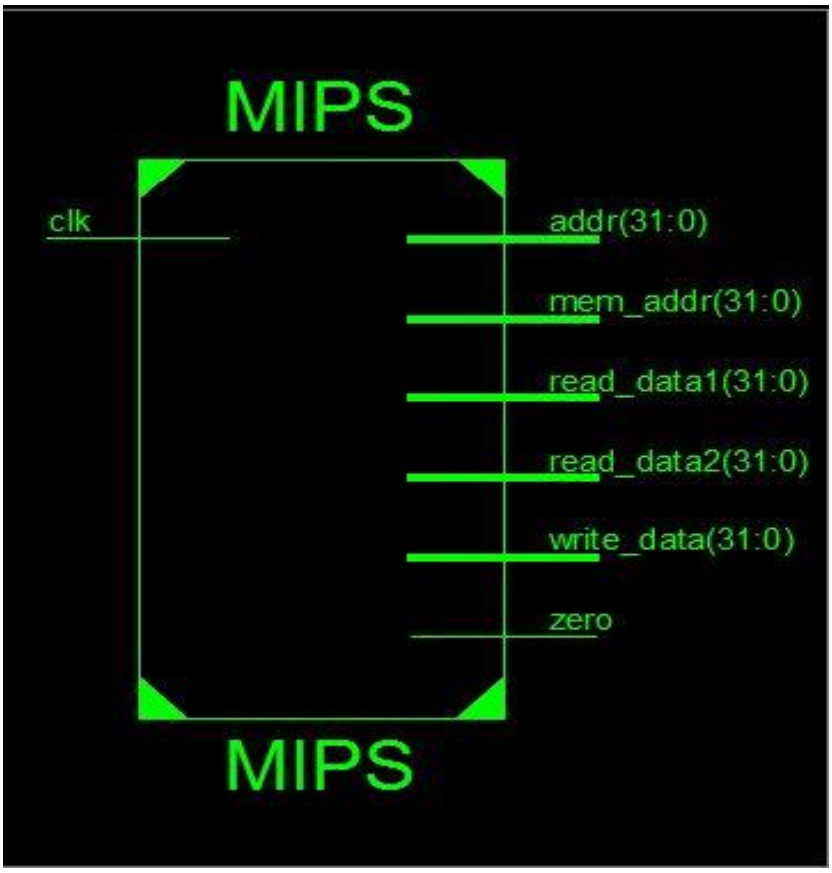
ابتدا به بررسی تک تک ماژول ها میپردازیم:

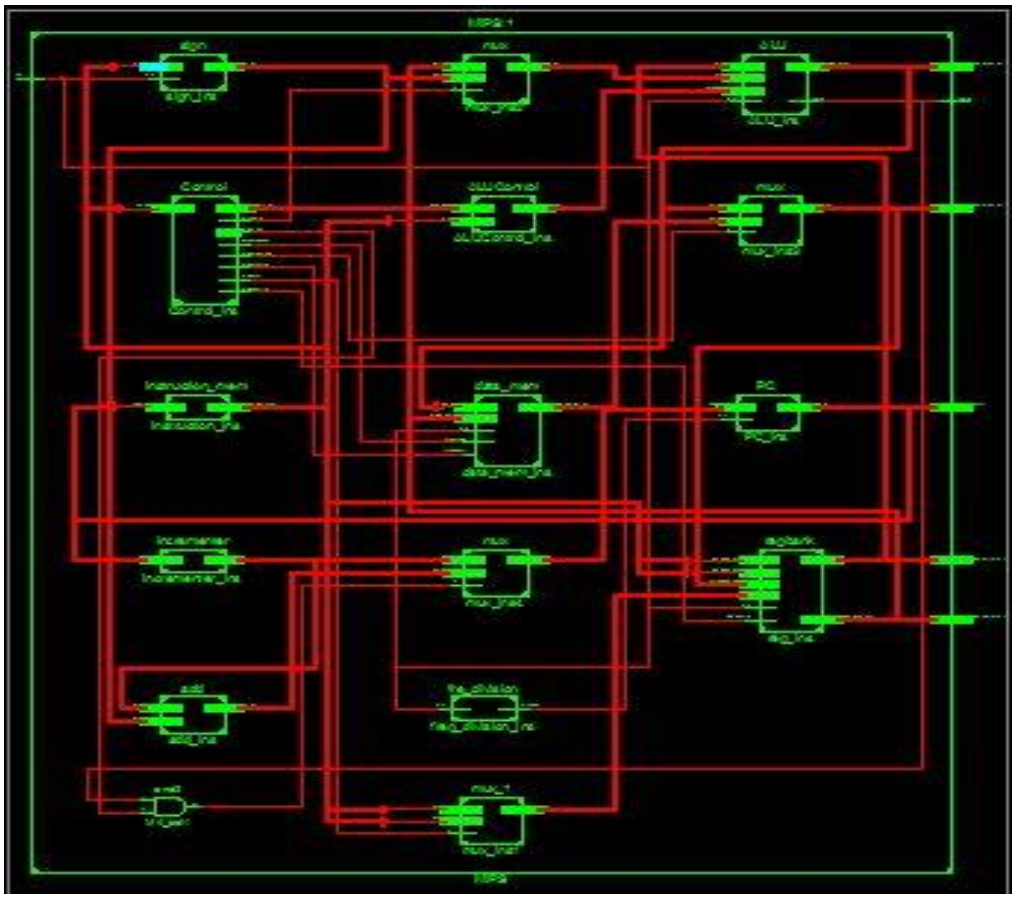
1) PC : این ماژول همان program counter است که هربار فقط ورودی را روی خروجی میریزد. (به نام PC در پوشه کدها موجود است.)
2) incrementer : این ماژول یکی به ورودی اضافه میکند و روی خروجی میریزد.(به نام incrementer در پوشه کد ها موجود است.)
3) mux : این ماژول یک mux با پارامتر ورودی n (که دیفالت برابر 32 است) میباشد. (به نام mux در پوشه کدها موجود است.)
4) ALU : یک ALU 32 بیتی است که عملیات های موجود در آن طبق موارد ذکر شده در صورت پروژه ست شده اند. (به نام ALU در پوشه کد ها موجود است.)
5) Data memory: حافظه ای به عرض 32 بیت و طول 128 سطر است .(به نام data_mem در پوشه کد ها موجود است.)
6) Instruction memory: حافظه ای از دستورات است به عرض و ارتفاع 32. (به نام instruction_mem در پوشه کدها موجود است.)
7) Sign extension: ماژول گسترش بیت که اگر بیت اخر 1 بود ، 16 بیت باقی مانده از 32 بیت خروجی را با 1 پر میکند در غیر اینصورت با 0. (به نام sign در پوشه کدها موجود است.)
8) Registers bank: مجموعه ای از رجیستر ها یا به عبارتی حافظه ای به عرض و ارتفاع 32 است. با توجه به flag های موجود در ورودی ، از آن خوانده یا روی آن میتوان نوشت. (به نام regbank در پوشه کدها موجود است .)
9) Add : ماژولی است که در قسمت 9 ام پروژه خواسته شده و فقط دو عدد را گرفته و جمع میکند.(به نام add د رپوشه کد ها موجود است.)
10) Fre_division : ماژول تقسیم فرکانسی است که هر 10 تا کلاک یک بار ماژول PC را فعال میکند.(به نام fre_division در پوشه کدها موجود است.)

- ✓ ماژول اصلی به نام MIPS در نظر گرفته شده و دارای ورودی clk و خروجی 32 بیتی write_data, mem_addr, zero, addr, read_data1, read_data2 میباشد.

کلیه ماژول ها تست شده و testbench ها هم در پوشه کدها قرار دارند. در زیر تصاویر مربوط به سیمولیشن ماژول اصلی ، مدل RTL و گزارش های سنتز ماژول اصلی را میبینیم.


Wave - Default
Msgs
Name
/Test_MIPS/uut/clk
/Test_MIPS/uut/wri...
/Test_MIPS/uut/me...
/Test_MIPS/uut/zero
/Test_MIPS/uut/addr
/Test_MIPS/uut/rea...
/Test_MIPS/uut/M4...
/Test_MIPS/uut/bra...
/Test_MIPS/uut/ne...
/Test_MIPS/uut/S_Ex
/Test_MIPS/uut/result
/Test_MIPS/uut/AL...
/Test_MIPS/uut/ins
/Test_MIPS/uut/pc_in
/Test_MIPS/uut/clk...
/Test_MIPS/uut/Re...
/Test_MIPS/uut/Me...
clk
addr
read_da
M4_sel
branch
next_ad
S_Ex
result
ALU_in2
ins
pc_in
clk_out
RegDst
MemRea
MemtoR
MemWri
ALUsrc
RegWrit
op
w_reg
ALUop
Now
Cursor 1
0.00 ns
100 ns
200 ns
300 ns
400 ns
500 ns


MIPS
clk
addr(31:0)
mem_addr(31:0)
read_data1(31:0)
read_data2(31:0)
write_data(31:0)
zero
MIPS



MIPS Project Status (07/25/2020 - 11:22:22)			
Project File:	FPGA_MIPS.xise	**Parser Errors:**	No Errors
Module Name:	MIPS	**Implementation State:**	Synthesized
Target Device:	xc6slx4-3tqg144	**• Errors:**	No Errors
Product Version:	ISE 14.7	**• Warnings:**	86 Warnings (58 new)
Design Goal:	Balanced	**• Routing Results:**	
Design Strategy:	Xilinx Default (unlocked)	**• Timing Constraints:**	
Environment:	System Settings	**• Final Timing Score:**	

Device Utilization Summary (estimated values)			[-]
Logic Utilization	**Used**	**Available**	**Utilization**
Number of Slice Registers	147	4800	3%
Number of Slice LUTs	409	2400	17%
Number of fully used LUT-FF pairs	113	443	25%
Number of bonded IOBs	162	102	158%
Number of Block RAM/FIFO	1	12	8%
Number of BUFG/BUFGCTRLs	2	16	12%

Detailed Reports					[-]
Report Name	**Status**	**Generated**	**Errors**	**Warnings**	**Infos**
Synthesis Report	Current	2020 11:22:20 25	0	86 Warnings (58 new)	8 Infos (8 new)

Detailed Reports					[-]
Report Name	**Status**	**Generated**	**Errors**	**Warnings**	**Infos**
Synthesis Report	Current	شنبه ژوئیه 25 2020 11:22:20	0	86 Warnings (58 new)	8 Infos (8 new)
Translation Report					
Map Report					
Place and Route Report					
Power Report					
Post-PAR Static Timing Report					
Bitgen Report					

Secondary Reports			[-]
Report Name	**Status**	**Generated**	

Date Generated: 07/25/2020 - 11:26:57

گزارش سنتز:

TABLE OF CONTENTS

==========

* Synthesis Options Summary *

==========

Source Parameters ----

"Input File Name : "MIPS.prj

Ignore Synthesis Constraint File : NO

Target Parameters ----

"Output File Name : "MIPS

Output Format : NGC

Target Device : xc6slx4-3-tqg144

Source Options ----

Top Module Name : MIPS

Automatic FSM Extraction : YES

FSM Encoding Algorithm : Auto

Safe Implementation : No

FSM Style : LUT

RAM Extraction : Yes

RAM Style : Auto

ROM Extraction : Yes

Shift Register Extraction : YES

ROM Style : Auto

Resource Sharing : YES

Asynchronous To Synchronous : NO

Shift Register Minimum Size : 2

Use DSP Block : Auto

Automatic Register Balancing : No

Target Options ----

LUT Combining : Auto

Reduce Control Sets : Auto

Add IO Buffers : YES

Global Maximum Fanout : 100000

Add Generic Clock Buffer(BUFG) : 16

Register Duplication : YES

Optimize Instantiated Primitives : NO

Use Clock Enable : Auto

Use Synchronous Set : Auto

Use Synchronous Reset : Auto

Pack IO Registers into IOBs : Auto

Equivalent register Removal : YES

General Options ----

Optimization Goal : Speed

Optimization Effort : 1

Power Reduction : NO

Keep Hierarchy : No

Netlist Hierarchy : As_Optimized

RTL Output : Yes

Global Optimization : AllClockNets

Read Cores : YES

Write Timing Constraints : NO

Cross Clock Analysis : NO

/ : Hierarchy Separator

<> : Bus Delimiter

Case Specifier : Maintain

Slice Utilization Ratio : 100

BRAM Utilization Ratio : 100

DSP48 Utilization Ratio : 100

Auto BRAM Packing : NO

Slice Utilization Ratio Delta : 5

==========

==========

* HDL Parsing *

==========

Analyzing Verilog file "D:\files\FPGA_MIPS\sign.v" into library work

.<Parsing module <sign

Analyzing Verilog file "D:\files\FPGA_MIPS\regbank.v" into library work

.<Parsing module <regbank

Analyzing Verilog file "D:\files\FPGA_MIPS\PC.v" into library work

.<Parsing module <PC

Analyzing Verilog file "D:\files\FPGA_MIPS\mux.v" into library work

.<Parsing module <mux

Analyzing Verilog file "D:\files\FPGA_MIPS\instruction_mem.v" into library work

.<Parsing module <instruction_mem

Analyzing Verilog file "D:\files\FPGA_MIPS\incrementer.v" into library work

.<Parsing module <incrementer

Analyzing Verilog file "D:\files\FPGA_MIPS\freq_division.v" into library work

.<Parsing module <fre_division

Analyzing Verilog file "D:\files\FPGA_MIPS\data_mem.v" into library work

.<Parsing module <data_mem

Analyzing Verilog file "D:\files\FPGA_MIPS\Control.v" into library work

.<Parsing module <Control

Analyzing Verilog file "D:\files\FPGA_MIPS\ALUControl.v" into library work

.<Parsing module <ALUControl

Analyzing Verilog file "D:\files\FPGA_MIPS\ALU.v" into library work

.<Parsing module <ALU

Analyzing Verilog file "D:\files\FPGA_MIPS\add.v" into library work

.<Parsing module <add

Analyzing Verilog file "D:\files\FPGA_MIPS\MIPS.v" into library work

.<Parsing module <MIPS

==========

==========

* HDL Elaboration *

==========

==========

.<Elaborating module <MIPS

.<Elaborating module <fre_division

WARNING:HDLCompiler:413 - "D:\files\FPGA_MIPS\freq_division.v" Line .33: Result of 5-bit expression is truncated to fit in 4-bit target

.<Elaborating module <PC

.<Elaborating module <incrementer

.<Elaborating module <add

.<Elaborating module <ALU

.<Elaborating module <instruction_mem

WARNING:HDLCompiler:634 - "D:\files\FPGA_MIPS\instruction_mem.v" .Line 22: Net <instruction_mem[31][31]> does not have a driver

.<Elaborating module <regbank

.<Elaborating module <Control

.<Elaborating module <ALUControl

.<Elaborating module <data_mem

.<Elaborating module <sign

WARNING:HDLCompiler:872 - "D:\files\FPGA_MIPS\sign.v" Line 23: Using initial value of ex_0 since it is never assigned

WARNING:HDLCompiler:872 - "D:\files\FPGA_MIPS\sign.v" Line 24: Using initial value of ex_1 since it is never assigned

.<(Elaborating module <mux(n=5

.<Elaborating module <mux

==========
==========

* HDL Synthesis *

==========

HDL Synthesis Report

Macro Statistics

RAMs : 4 #

x32-bit single-port RAM : 1128

x32-bit dual-port RAM : 232

x32-bit single-port Read Only RAM : 132

Adders/Subtractors : 5 #

bit adder : 3-32

bit subtractor : 1-32

bit adder : 1-4

Registers : 7 #

bit register : 2-1

bit register : 4-32

bit register : 1-4

Latches : 42 #

bit latch : 42-1

Comparators : 2 #

bit comparator equal : 1-32

bit comparator greater : 1-32

Multiplexers : 33 #

bit 2-to-1 multiplexer : 25-1

bit 2-to-1 multiplexer : 7-32

bit 2-to-1 multiplexer : 1-5

Advanced HDL Synthesis Report

Macro Statistics

RAMs : 4 #

x32-bit dual-port block RAM : 1128

x32-bit dual-port distributed RAM : 232

x32-bit single-port distributed Read Only RAM : 132

Adders/Subtractors : 4 #

bit adder : 3-32

bit subtractor : 1-32

Counters : 1 #

bit up counter : 1-4

Registers : 130 #

Flip-Flops : 130

Comparators : 2 #

bit comparator equal : 1-32

bit comparator greater : 1-32

Multiplexers : 64 #

bit 2-to-1 multiplexer : 57-1

bit 2-to-1 multiplexer : 6-32

bit 2-to-1 multiplexer : 1-5

==========
==========

... Final Macro Processing

==========

Final Register Report

Macro Statistics

Registers : 140 #

Flip-Flops : 140

* Design Summary *

==========

Top Level Output File Name : MIPS.ngc

:Primitive and Black Box Usage

BELS : 626 #

GND : 1 #

INV : 3 #

LUT1 : 56 #

LUT2 : 9 #

LUT3 : 135 #

LUT4 : 124 #

LUT5 : 24 #

LUT6 : 10 #

MUXCY : 135 #

VCC : 1 #

XORCY : 128 #

FlipFlops/Latches : 179 #

FD : 104 #

FDE : 32 #

FDR : 4 #

LD : 39 #

RAMS : 15 #

RAM32M : 10 #

RAM32X1D : 4 #

RAMB8BWER : 1 #

Clock Buffers : 2 #

BUFG : 1 #

BUFGP : 1 #

IO Buffers : 161 #

OBUF : 161 #

:Device utilization summary

Selected Device : 6slx4tqg144-3

:Slice Logic Utilization

Number of Slice Registers: 147 out of 4800 3%

Number of Slice LUTs: 409 out of 2400 17%

Number used as Logic: 361 out of 2400 15%

Number used as Memory: 48 out of 1200 4%

Number used as RAM: 48

:Slice Logic Distribution

Number of LUT Flip Flop pairs used: 443

Number with an unused Flip Flop: 296 out of 443 66%

Number with an unused LUT: 34 out of 443 7%

Number of fully used LUT-FF pairs: 113 out of 443 25%

Number of unique control sets: 10

:IO Utilization

Number of IOs: 162

(*) Number of bonded IOBs: 162 out of 102 158%

IOB Flip Flops/Latches: 32

:Specific Feature Utilization

Number of Block RAM/FIFO: 1 out of 12 8%

Number using Block RAM only: 1

Number of BUFG/BUFGCTRLs: 2 out of 16 12%

Timing Report

:Timing Summary

Speed Grade: -3

(Minimum period: 4.555ns (Maximum Frequency: 219.529MHz

Minimum input arrival time before clock: No path found

Maximum output required time after clock: 8.298ns

Maximum combinational path delay: No path found

:Timing Details

(All values displayed in nanoseconds (ns

==========

Total REAL time to Xst completion: 9.00 secs

Total CPU time to Xst completion: 9.46 secs

Total memory usage is 256964 kilobytes

(Number of errors : 0 (0 filtered

(Number of warnings : 86 (0 filtered

(Number of infos : 8 (0 filtered