



Elementos de memória

Sistemas Digitais 2017/2018

Pedro Salgueiro
pds@di.uevora.pt



Sumário

- Elementos de memória
 - Conceitos
 - Tipos
 - Variedade
- Latches
 - Latch SR
 - Latch SRE
 - Latch D
- Edge-triggered
 - Edge-triggered D
 - Edge-triggered JK
 - Edge-triggered T



Conceitos

- Flip-flop (circuito bi-estável)
 - Circuito que permite estabelecer e memorizar um bit de informação
 - Pode ter em permanência um de dois **estados** possíveis
- **Estado**
 - Valor lógico à saída do flip-flop
- **Tipo de comportamento**
 - Sensível ao **nível** → *latch* (*trancar*)
 - Sensível à **transição** → edge-triggered



Tipos de flip-flops

- Latch
 - Funcionamento transparente das entradas para as saídas
 - Uma alteração das entradas pode provocar uma mudança de estado imediata das saídas
- Edge-triggered
 - A mudança de estado dá-se num momento bem determinado e sob controlo do utilizador
 - Independentemente do momento em que as entradas se alteram
 - Tem uma entrada de sincronização: relógio
 - À entrada de relógio são aplicados impulso de relógio
 - Existem flip-flops sensíveis à
 - transição ascendente
 - Transição descendente



Flip-flop *latch*(exemplo)

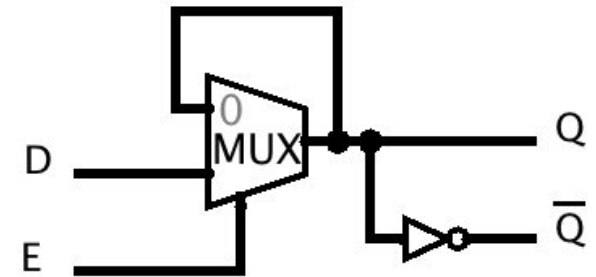
– Entradas e saídas

- Entradas
 - dados: D (data)
 - controlo: E (enable)
- Saídas Q

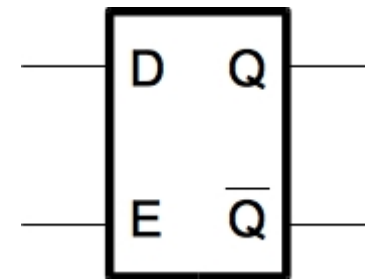
– Comportamento

- $E = 1$
 - Circuito transparente de D para Q
- $E = 0$
 - Q mantém o valor que estava em D no instante anterior à transição
 - Q é insensível ao que ocorre em D

– Circuito



– Símbolo lógico

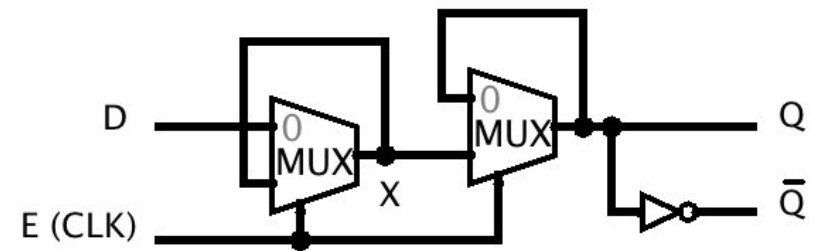


Flip-flop *edge-triggered* (exemplo)

– Entradas e saídas

- Entradas
 - dados: D (data)
 - controlo: CLK (relógio)
- Saídas Q

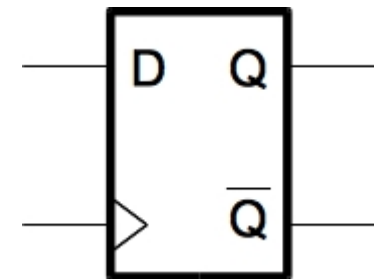
– Circuito



– Comportamento

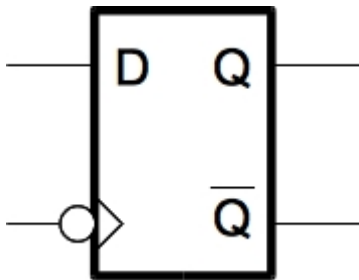
- O circuito é receptivo ao valor de D no momento da transição ascendente de CLK

– Símbolo lógico



Flip-flop sensível à transição descendente

- Símbolo lógico





Variedade e modularidade

- Latch
 - SR, SRE, D
- Edge-triggered
 - D, JK, T
- Diferenças
 - N° de entradas
 - Comportamento relativamente às entradas
- Latch SR
 - É a célula de memória **básica**
 - Qualquer outro flip-flop pode ser sintetizado a partir deste



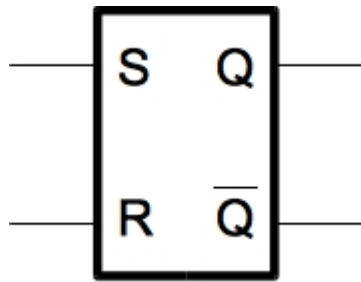
Latch SR

- Entradas
 - S (set): impõe o estado 1
 - R (reset): repõe o estado 0
- Saídas
 - Q : define o estado do flip-flop
 - \overline{Q} : complementar de Q
- Comportamento
 - set
 - $S = 1, R = 0 \rightarrow Q = 1$
 - reset
 - $S = 0, R = 1 \rightarrow Q = 0$
 - manutenção
 - $S = 0, R = 0 \rightarrow Q = Q^*$ (mantém o estado anterior)

Nota: não há regra estabelecida para a activação simultânea de S e R

Características

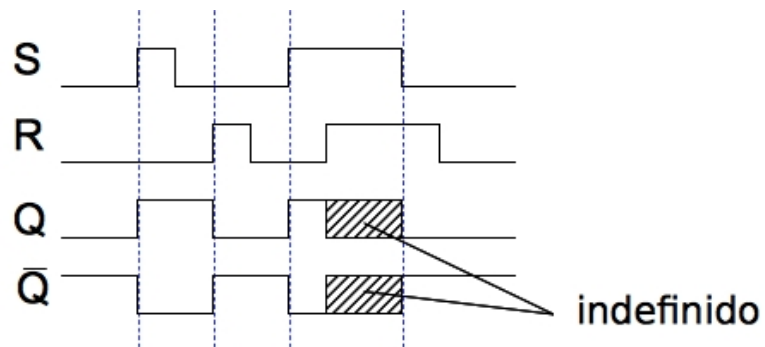
- Símbolo lógico



- Tabela de verdade

S	R	Q*	Q	
0	0	0	0	manutenção
0	0	1	1	manutenção
0	1	-	0	reset
1	0	-	1	set
1	1	-		

- Diagrama temporal



- Mapa de karnaugh

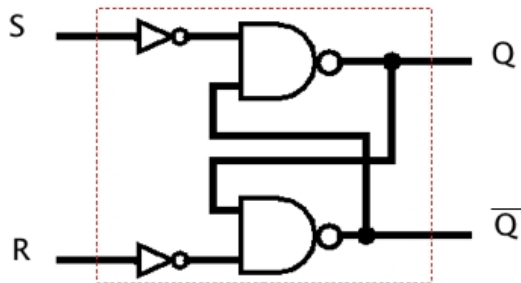
SR		00	01	11	10
Q*	0	0	0	-	1
	1	1	0	-	1

Síntese

- Comportamentos distintos consoante a atribuição de valores às condições de indiferença

- Indiferença = 1

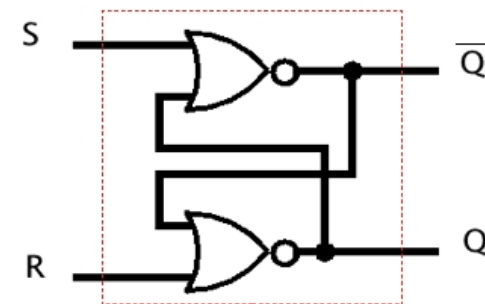
- $Q = S + Q^* \bar{R} = \overline{\bar{S} (Q^* \bar{R})}$



- S tem predomínio sobre R
 - $S = 1, R = 1 \rightarrow$ força ambas as saídas a 1

- Indiferença = 0

- $Q = S \bar{R} + Q^* \bar{R} = \overline{R (S + Q^*)}$



- R tem predomínio sobre S
 - $S=1, R=1 \rightarrow$ força ambas as saídas a 0

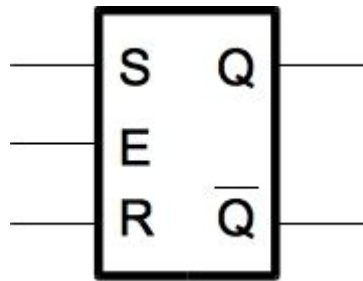


Latch SRE

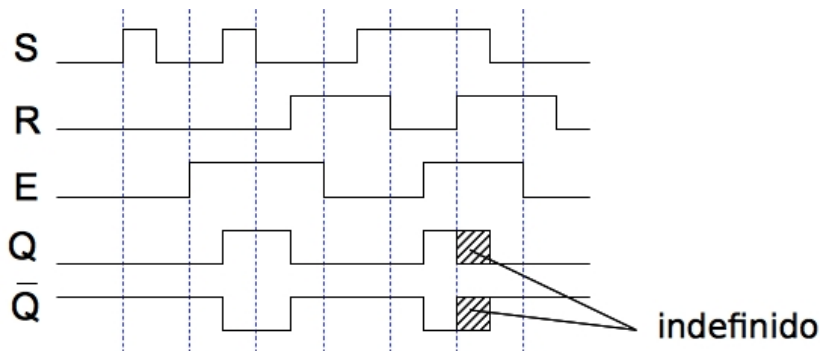
- Latch SR com entrada de controlo
- Entradas
 - S (set), R (reset)
 - E (enable): entrada de controlo
- Saídas
 - Q, \overline{Q}
- Comportamento
 - $E = 1 \rightarrow$ latch SR
 - $E = 0 \rightarrow$ insensível às entradas (modo manutenção)

Características

- Símbolo lógico



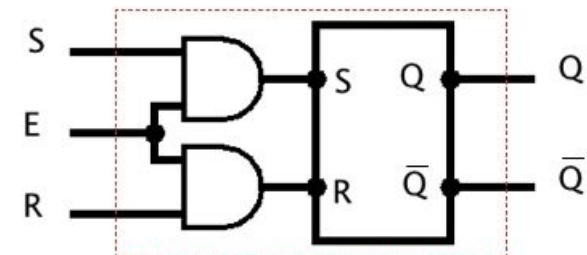
- Diagrama temporal



- Tabela de verdade

E	S	R	Q*	Q	
0	-	-	0	0	manutenção
0	-	-	1	1	manutenção
1	0	0	0	0	manutenção
1	0	0	1	1	manutenção
1	0	1	-	0	reset
1	1	0	-	1	set
1	1	1	-		

- Síntese



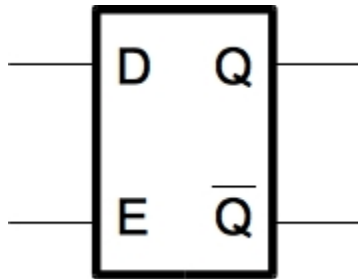


Latch D

- Latch com entrada de controlo que memoriza o nível presente à entrada
- Entradas
 - D (data)
 - E (enable): entrada de controlo
- Saídas
 - Q, \overline{Q}
- Comportamento
 - $E = 1 \rightarrow Q = D$ (modo cópia)
 - $E = 0 \rightarrow$ insensível à entrada (modo manutenção)

Características

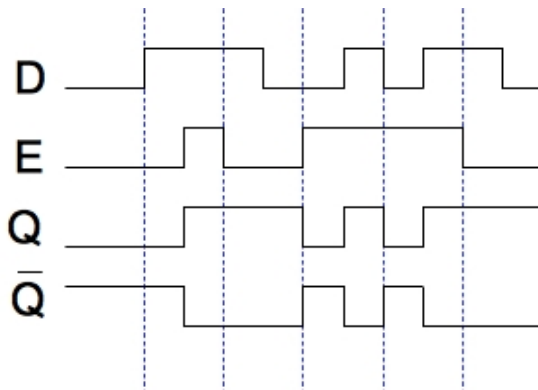
- Símbolo lógico



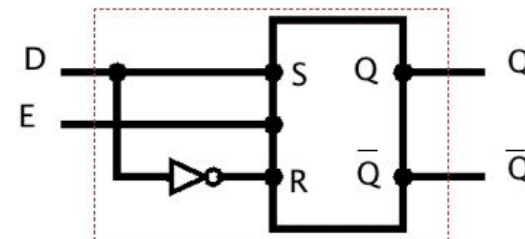
- Tabela de verdade

E	D	Q*	Q	
0	-	0	0	manutenção
0	-	1	1	manutenção
1	0	-	0	cópia
1	1	-	1	cópia

- Diagrama temporal



- Síntese



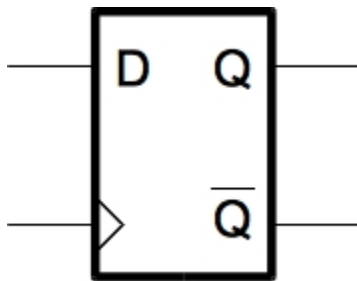


Edge-triggered D

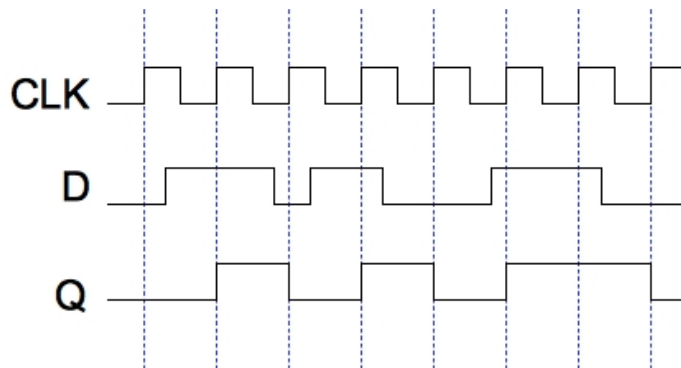
- Entradas
 - D (data)
 - CLK (clock): entrada de relógio
- Saídas
 - Q, \overline{Q}
- Comportamento
 - No instante da transição ascendente do relógio (CLK) transfere a entrada D para a saída Q , mantendo-a memorizada até que ocorra outra transição ascendente do relógio

Características

- Símbolo lógico



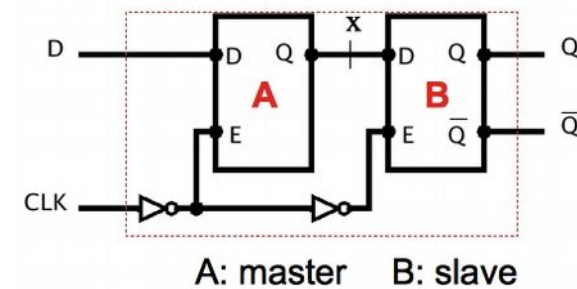
- Diagrama temporal



- Tabela de verdade

CLK	D	Q*	Q	
↑	0	0	0	cópia
↑	1	1	1	cópia
0	-	Q*	Q*	manutenção
1	-	Q*	Q*	manutenção
↓	-	Q*	Q*	manutenção

- Síntese





Edge-triggered D

- **Arquitetura master-slave**
 - Arquitetura de latches a 2 níveis
 - 1º nível: master
 - 2º nível: slave
- **Tabela de excitação**

Q*	Q	D
0	0	0
0	1	1
1	0	0
1	1	1

- Se o estado se mantiver a 0, infere-se que $D = 0$
- Se a transição for de 0 para 1, infere-se que $D = 1$
- ...

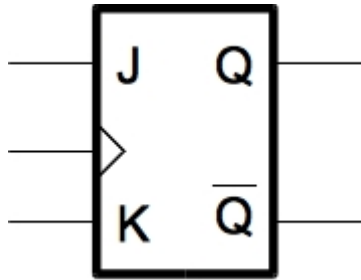


Edge-triggered JK

- Entradas
 - J
 - K
 - CLK (clock)
- Saídas
 - Q, \overline{Q}
- Comportamento
 - Na transição ascendente de relógio, considera os valores de J e K
 - $J = 0, K = 0 \rightarrow$ mantém o estado anterior
 - $J = 0, K = 1 \rightarrow Q = 0$
 - $J = 1, K = 0 \rightarrow Q = 1$
 - $J = 1, K = 1 \rightarrow$ inverte o estado anterior

Características

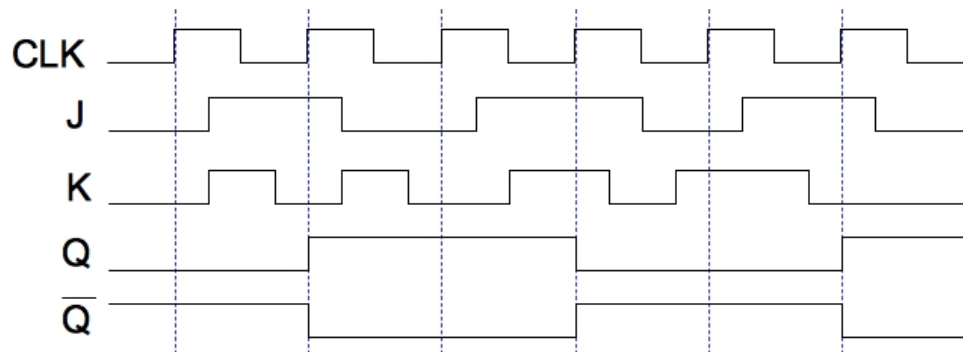
- Símbolo lógico



- Tabela de verdade

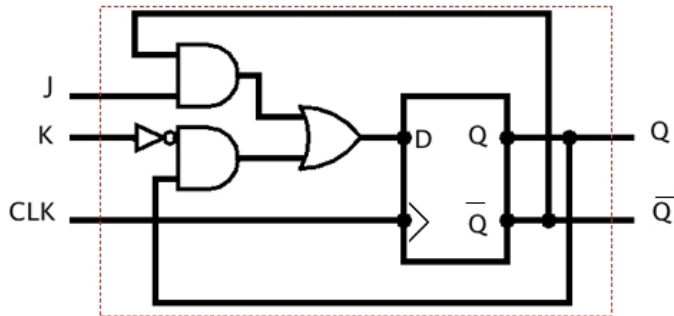
CLK	J	K	Q*	Q	
↑	0	0	Q*	Q*	manutenção
↑	0	1	-	0	reset
↑	1	0	-	1	set
↑	1	1	Q*	$\overline{Q^*}$	comutação
0	-	-	Q*	Q*	manutenção
1	-	-	Q*	Q*	manutenção
↓	-	-	Q*	Q*	manutenção

- Diagrama temporal



Características

- Síntese



- Tabela de excitação

Q^*	Q	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

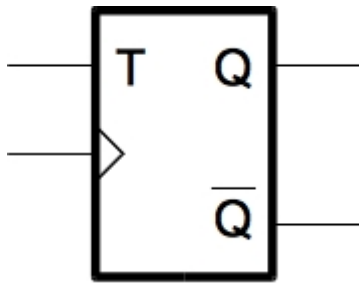


Edge-triggered T

- Entradas
 - T
 - CLK (clock)
- Saídas
 - Q, \overline{Q}
- Comportamento
 - A cada transição ascendente de relógio, considera o valor de T
 - $T = 0 \rightarrow$ mantém o estado anterior
 - $T = 1 \rightarrow$ inverte o estado anterior

Características

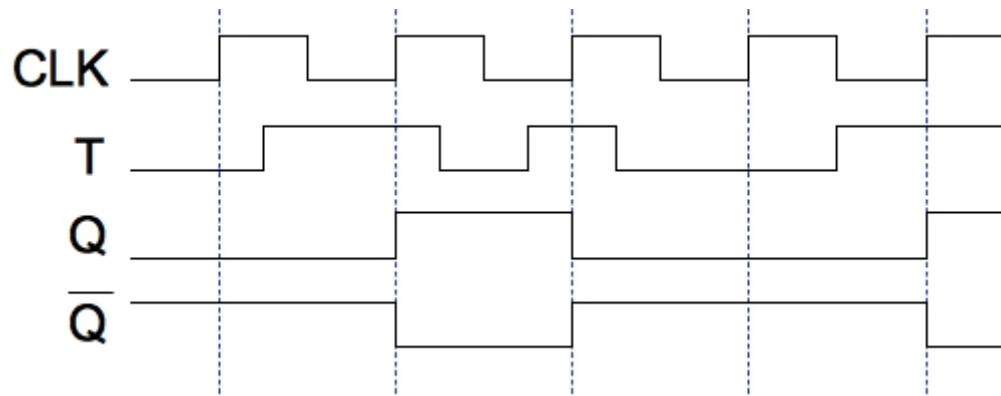
- Símbolo lógico



- Tabela de verdade

CLK	T	Q*	Q	
↑	0	Q*	Q*	manutenção
↑	1	Q*	$\overline{Q^*}$	comutação
0	-	Q*	Q*	manutenção
1	-	Q*	Q*	manutenção
↓	-	Q*	Q*	manutenção

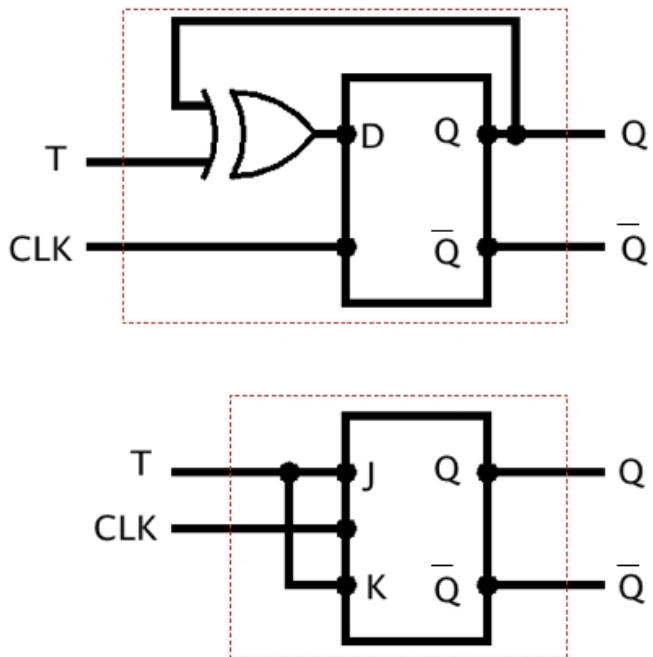
- Diagrama temporal





Características

- Síntese



- Tabela de excitação

Q^*	Q	T
0	0	0
0	1	1
1	0	1
1	1	0

Entradas assíncronas

- **Preset**
 - Coloca o flip-flop no estado 1 independentemente das entradas (e condições do clock)
- **Clear**
 - Coloca o flip-flop no estado 0 independentemente das entradas (e condições do clock)
- **Símbolo lógico**

