

Sistemas Digitais

Elementos de memória

- Complete o diagrama temporal representado na figura 1 para um latch SRE. Assuma zero como estado inicial do flip-flop. Identifique ao longo do diagrama cada um dos estados por que passa o latch.

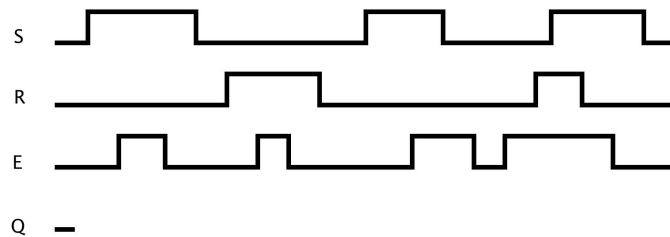


Figura 1: Diagrama temporal do latch SRE

- Para os circuito representado nas figura 2 e 3, complete o diagrama temporal para os pontos Q1 e Q2. Assuma zero como estado inicial dos flip-flops latch SR.

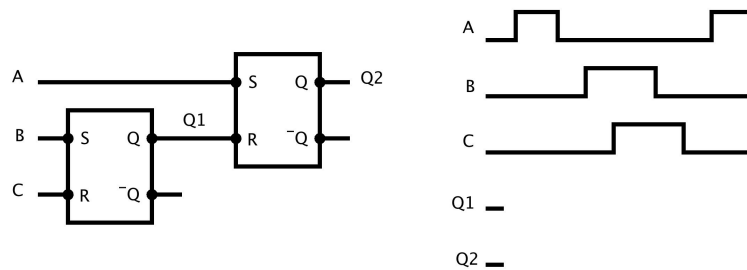


Figura 2: Circuito 1

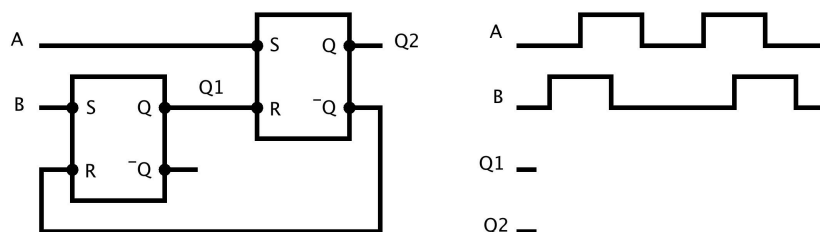


Figura 3: Circuito 2

3. Considere o latch SRE com entradas assíncronas **Preset** e **Clear** representado na figura 4. Mostre que o comportamento deste latch está de acordo com o explicado na aula teórica.

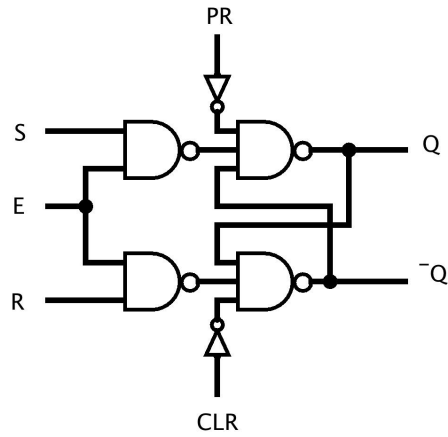


Figura 4: Latch SRE com entradas assíncronas **Preset** e **Clear**

4. O flip-flop A edge-triggered é obtido por transformação de um flip-flop JK como mostra a figura 5. Será que é facilmente utilizável na prática ou apresenta problemas?

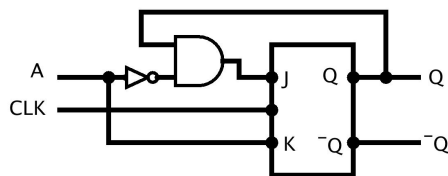


Figura 5: Circuito do flip-flop A edge-triggered