




MiniStar nano Experiment Kit

用户手册

DBUG409-1.0, 2022-04-18

版权所有 © 2022 广东高云半导体科技股份有限公司

 **GOWIN** 高云, Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2022/04/18	1.0	初始版本。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持	2
2 开发板介绍	3
2.1 概述.....	3
2.2 开发板套件.....	4
2.3 系统框图	5
2.4 特性.....	5
2.5 指标.....	6
2.6 机械尺寸图.....	8
3 开发板详细介绍.....	9
3.1 MiniStar nano 核心板.....	9
3.1.1 概述.....	9
3.1.2 I/O BANK 说明	10
3.1.3 时钟	11
3.1.4 Flash	11
3.1.5 扩展 IO	12
3.2 MiniStar nano 底板	14
3.2.1 下载.....	14
3.2.2 电源.....	15

3.2.3 LED.....	15
3.2.4 按键.....	16
3.2.5 拨码开关	16
3.2.6 RGB 三色灯	17
3.2.7 数码管	17
3.2.8 核心板 IO 扩展连接器	18
4 开发板使用	21
4.1 工程导入	21
4.2 程序编译和下载.....	21
4.3 例程操作及现象说明	25
4.4 硬件与软件下载.....	25
4.5 开发板使用注意事项	26

图目录

图 2-1 MiniStar nano Experiment Kit	3
图 2-2 MiniStar nano Experiment Kit 功能接口	4
图 2-3 MiniStar nano Experiment Kit 系统框图	5
图 2-4 MiniStar nano Experiment Kit 尺寸图	8
图 3-1 GW1NSR-LV4CQN48P 产品 I/O BANK 分布图	10
图 3-2 GW1NSR-LV4CQN48P FPGA 封装管脚分布示意图（顶视图）	10
图 3-3 MiniStar nano 核心板管脚分布示意图	11
图 3-4 时钟原理图	11
图 3-5 Flash 连接原理图	12
图 3-6 扩展原理图	13
图 3-7 FPGA 下载电路原理图	14
图 3-8 电源电路	15
图 3-9 LED 电路原理图	15
图 3-10 按键电路原理图	16
图 3-11 拨码开关电路原理图	16
图 3-12 RGB 三色灯电路原理图	17
图 3-13 数码管电路原理图	18
图 3-14 扩展 IO 电路原理图	18
图 4-1 工程导入	21
图 4-2 点击 Place & Route	22
图 4-3 编译成功	23
图 4-4 双击 Program Device	24
图 4-5 下载窗口	24
图 4-6 Device configuration 窗口	25

表目录

表 1-1 术语、缩略语.....	2
表 2-1 MiniStar nano Experiment Kit 参数指标列表.....	6
表 3-1 GW1NSR-LV4CQN48P 系列 FPGA 产品信息列表.....	9
表 3-2 FPGA I/O BANK 电压及功能分布.....	10
表 3-3 FPGA 时钟与复位管脚分配.....	11
表 3-4 FPGA SPI Flash 管脚分配	12
表 3-5 管脚分配	13
表 3-6 下载电路管脚分配	14
表 3-7 下载电路管脚分配	19

1 关于本手册

1.1 手册内容

MiniStar nano Experiment Kit 用户手册分为三个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 开发板使用注意事项。

1.2 适用产品

本手册中所述信息可适用于以下 GW1NSR 系列 FPGA 产品：
GW1NSR-LV4CQN48P。

1.3 相关文档

通过登录高云®半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [UG863, GW1NSR 系列 FPGA 产品封装与管脚手册](#)
- [UG864, GW1NSR-4 器件 Pinout 手册](#)
- [UG290, Gowin FPGA 产品编程配置手册](#)
- [SUG100, Gowin 云源软件用户手册](#)

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LED	Light Emitting Diode	发光二极管
LDO	Low Dropout Regulator	低压差线性稳压器
GPIO	General Purpose Input Output	通用输入/输出
LUT4	4-input Look-up Table	4 输入查找表
SSRAM	Shadow Static Random Access Memory	分布式静态随机存储器
BSRAM	Block Static Random Access Memory	块状静态随机存储器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
DSP	Digital Signal Processing	数字信号处理
QN48P	QN48P	QN48P 封装

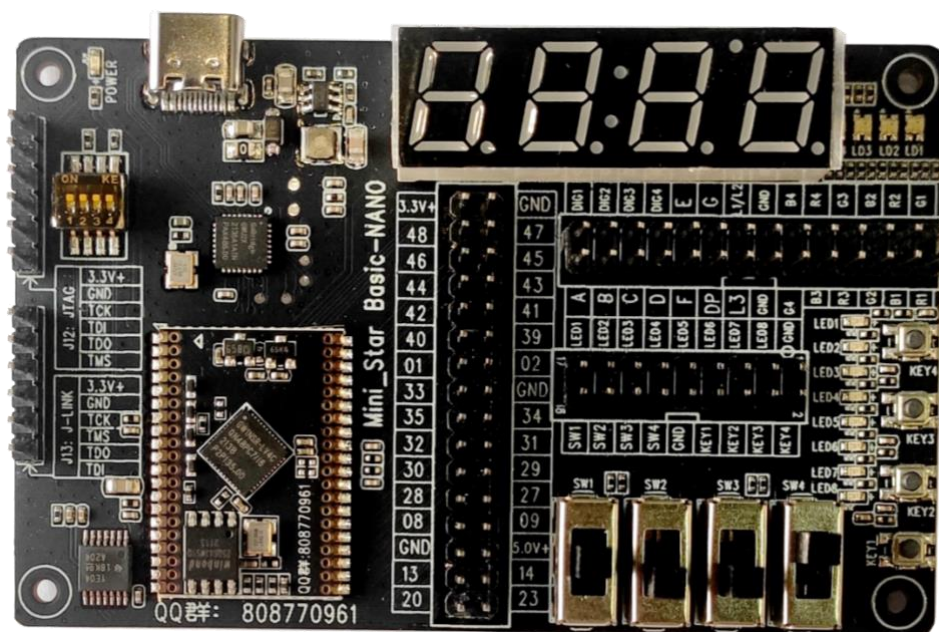
1.5 技术支持

1. 最新 FPGA 技术资讯请关注公众号 MYMNIEYE
2. 教学视频链接更新地址：<https://space.bilibili.com/507416742>
3. 淘宝店铺：小眼睛半导体
4. 技术指导 QQ 群：808770961

2开发板介绍

2.1 概述

图2-1 MiniStar nano Experiment Kit



MiniStar nano Experiment Kit 是以高云半导体 GW1NSR 系列 FPGA GW1NSR-LV4CQN48P 为核心。

高云半导体 GW1NSR 系列 FPGA 产品是高云半导体小蜜蜂 (LittleBee®) 家族第一代 FPGA 产品，是一款系统级封装芯片，内部集成了 GW1NS 系列 FPGA 产品和 PSRAM 存储芯片；包括 GW1NSR-2C 器件，GW1NSR-4C 器件，GW1NSR-2 器件，GW1NSR-4 器件。GW1NSR-2C 及 GW1NSR-4C 器件内嵌 ARM Cortex-M3 硬核处理器。此外，GW1NSR 系列 FPGA 产品内嵌 USB2.0 PHY、用户闪存以及 ADC 转换器。

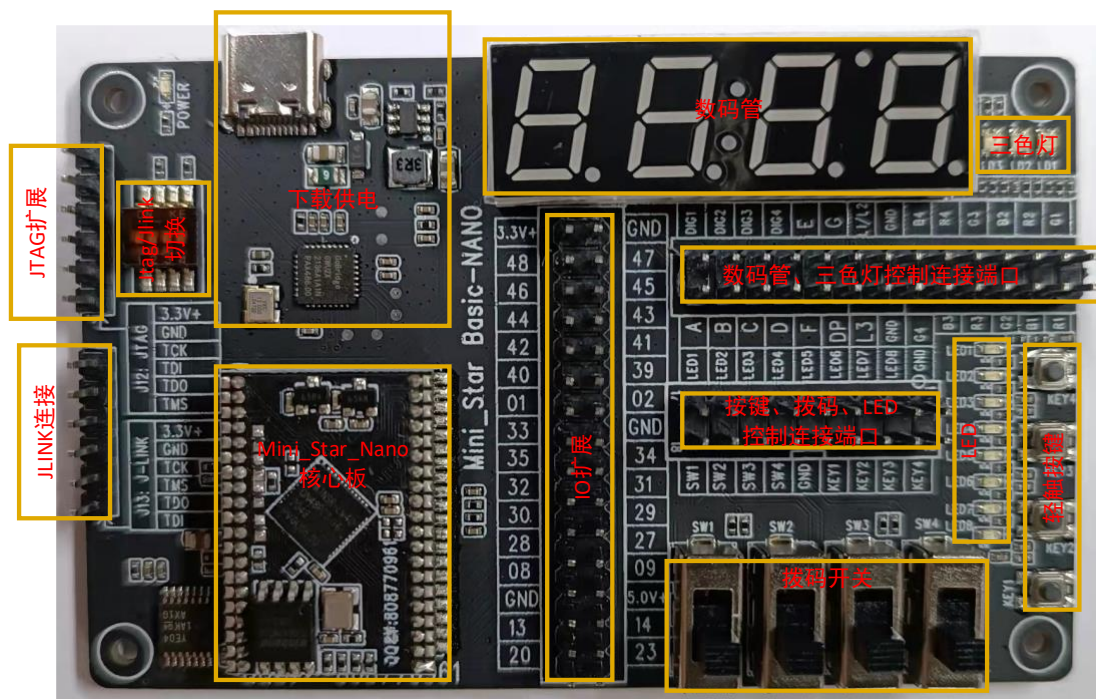
GW1NSR-2C / GW1NSR-4C 器件以 ARM Cortex-M3 硬核处理器为核心，具备了实现系统功能所需要的最小内存；内嵌的 FPGA 逻辑模块单元方便灵活，可实现多种外设控制功能，能提供出色的计算功能和异常系统响应中断，具有高性能、低功耗、管脚数量少、使用灵活、瞬时启动、低成本、非易失性、高安全性、封装类型丰富等特点。GW1NSR-2C 器件实现了可编程逻辑器件和嵌入式处理器的无缝连接，兼容多种外围器件标准，可大幅降低用户成本，可广泛应用于工业控制、通信、物联网、伺服驱动、消费等多个领域。

2.2 开发板套件

开发板套件包括：

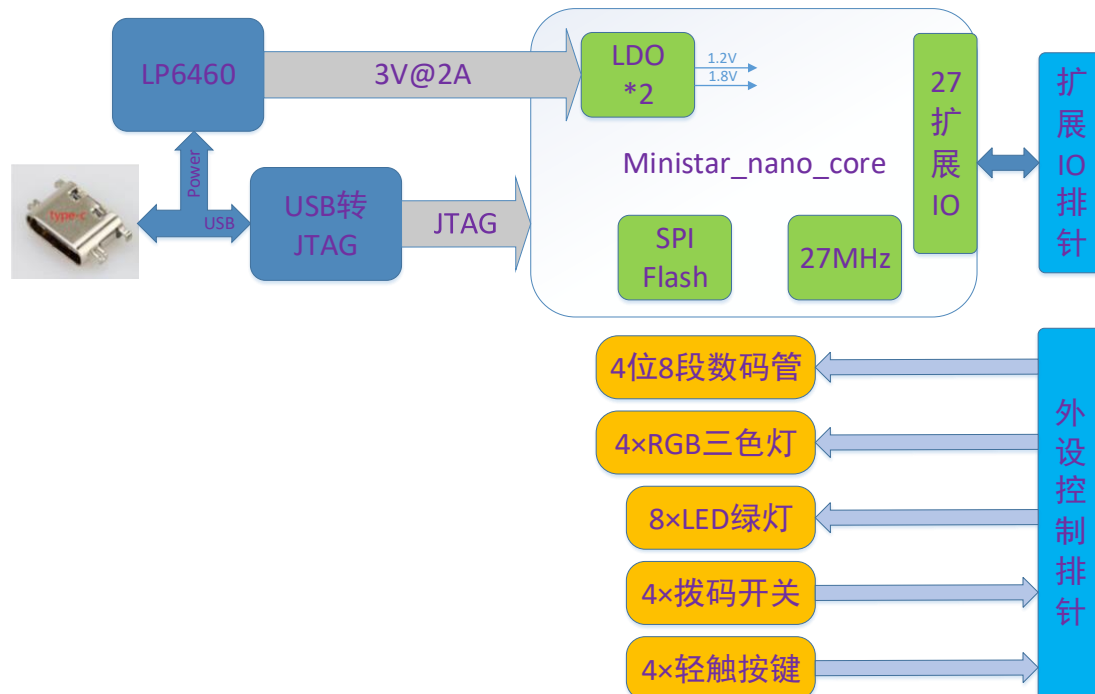
- 开发板
- 板卡用户指导手册

图2-2 MiniStar nano Experiment Kit 功能接口



2.3 系统框图

图2-3 MiniStar nano Experiment Kit 系统框图



2.4 特性

MiniStar nano Experiment Kit 组成结构及特性如下:

1. FPGA
 - 采用 QN48P 封装
 - 内嵌 ARM Cortex-M3 硬核处理器
2. FPGA 配置模式
 - JTAG
 - 内部 Flash
3. 时钟资源
 - 27MHz 时钟晶振
4. 存储
 - 外置 64 Mbit SPI Flash
 - 内置 256 Kbit 用户闪存
5. 按键

- 4 个按键开关
6. LED
- 1 个电源指示灯（绿）
 - 8 个用户指示灯（绿）
7. 数码管
- 1 个 4 位 8 段数码管（红）
8. 三色灯
- 4 个 RGB 三色 LED 灯
9. 拨码开关
- 4 个拨码开关
10. JTAG 扩展
- 6 Pin 排针
11. J-Link 输入
- 6 Pin 排针
12. 电源
- 具有电压反向保护
 - 提供 5V 电压输入

2.5 指标

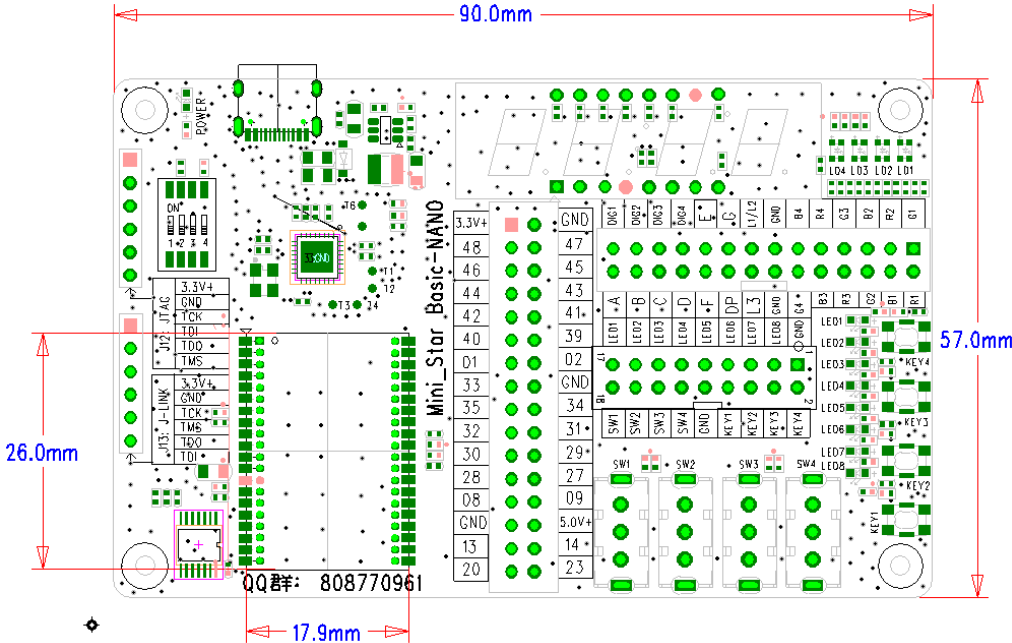
表2-1 MiniStar nano Experiment Kit 参数指标列表

序号	项目	参数	功能描述
1	5V 供电和下载	<ul style="list-style-type: none">● 5V DC-DC● Type-C USB	<ul style="list-style-type: none">● 5V 供电● USB 转 JTAG 接口
2	外部 flash	64 Mbit Flash	SPI Flash
3	时钟	1 路 27MHZ 时钟	为 FPGA 提供 27MHz 时钟
4	扩展 IO	2.54 间距排针	27 个扩展 IO 可自行连接板上外设或连接板外接口
5	轻触按键	4 路轻触按键	将按键控制端口与 FPGA 扩展 IO 连接后，可作为测试控制输入使用。(按下为低电平)。
6	指示灯	8 路 LED 指示灯	将 LED 控制端口与 FPGA 扩展 IO 连接后，FPGA 将对应管脚输出信号为逻辑低电平时，LED 被点亮。

序号	项目	参数	功能描述
7	三色灯	4 个 RGB 三色灯	将三色控制端口与 FPGA 扩展 IO 连接后，FPGA 将对应管脚控制可以改变三色灯的显示状态。
8	拨码开关	4 个拨码开关	将拨码开关控制端口与 FPGA 扩展 IO 连接后，可作为测试控制输入使用。(拨到下侧为低电平)。
9	数码管	4 位 8 段数码管	将数码管控制端口与 FPGA 扩展 IO 连接后，FPGA 将对应管脚控制可以改变数码管的显示内容。
7	工作温度	0~+ 70℃商业级	-
8	环境湿度	20%~90%，非冷凝。	-
9	机械尺寸	90mm×57mm	-
10	PCB 规格	黑底白字	-
11	电源供电	5V/1A，Type-C USB 接口供电。	-
12	系统功耗	-	-

2.6 机械尺寸图

图2-4 MiniStar nano Experiment Kit 尺寸图



3开发板详细介绍

3.1 MiniStar nano 核心板

3.1.1 概述

GW1NSR-LV4CQN48P FPGA 产品资源信息如表3-1 所示。

表3-1 GW1NSR-LV4CQN48P 系列 FPGA 产品信息列表

器件	GW1NSR-4C
逻辑单元(LUT4)	4608
寄存器(FF)	3456
块状静态随机存储器 BSRAM(bits)	180K
块状静态随机存储器数目 BSRAM(个)	10
用户闪存(bits)	256K
HyperRAM(bit)	64M
乘法器(18x18Multiplier)	16
锁相环(PLLs)	2
OSC	1，精度±5%。
硬核处理器	Cortex-M3
I/O Bank 总数	4
最大用户 I/O 数	39
核电压	1.2V

3.1.2 I/O BANK 说明

GW1NSR 系列 FPGA 产品分为四个 I/O BANK 区，图3-1 为 GW1NSR 系列 FPGA 产品的 I/O BANK 整体示意图。图3-2 为 QN48P 封装管脚分布示意图。

图3-1 GW1NSR-LV4CQN48P 产品 I/O BANK 分布图

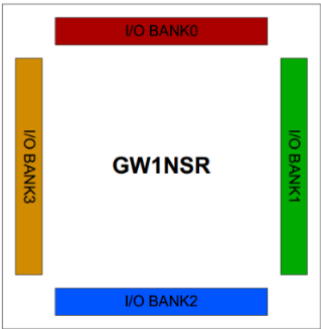


图3-2 GW1NSR-LV4CQN48P FPGA 封装管脚分布示意图（顶视图）

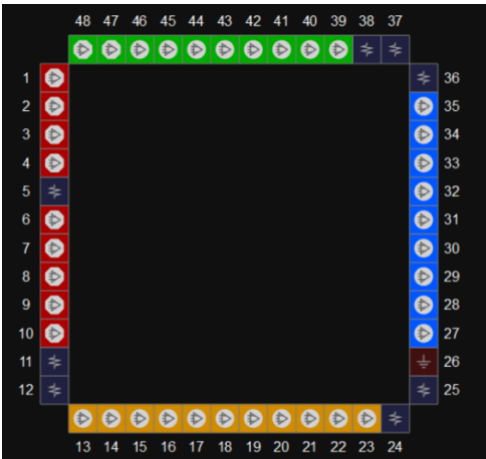


表3-2 FPGA I/O BANK 电压及功能分布

BANK	电压	功能	I/O 占用	供电
0	3.3V	JTAG	4 个 GPIO	VCCO_0 供 3.3V
		IO 扩展	1 对差分对，2 个 GPIO。	
1	3.3V	IO 扩展	5 对差分对	VCCO_1 供 3.3V
2	3.3V	IO 扩展	4 对差分对，1 个 GPIO。	VCCO_2 供 3.3V
3	1.8V	27MHz 时钟	1 个 GPIO	VCC3V3 通过 LDO 生成 1.8V 电源
		IO 扩展	4 个 GPIO	
		SPI-Flash	5 个 GPIO	

Error! Use the Home tab to apply 标题 2,heading2 to the text that you want to appear here.
Error! Use the Home tab to apply 标题 2,heading2 to the text that you want to appear here.

47
48
01
02
TDI
TDO
GND
VCC0_0
TMS
TCK
08
09
VCC3V3
GND
VCCX
13
14
20
23
33

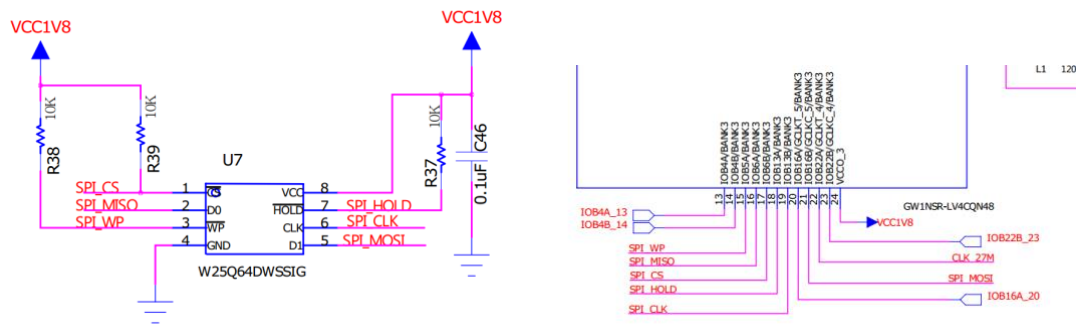
46
45
44
43
42
41
40
39
GND
VCC0_1
VCC0_2
VCC1V8
35
34
32
31
30
29
28
27

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
CLK_27MHZ_IN	22	3	27MHz 有源晶振输入	1.8V

11(26)

Flash 电路图

图3-5 Flash 连接原理图



管脚分配

表3-4 FPGA SPI Flash 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O 电平
SPI_CS	17	3	SPI 片选信号	1.8V
SPI_MISO	16	3	SPI 主机输入从机输出信号	1.8V
SPI_WP	15	3	SPI 写保护信号	1.8V
SPI_MOSI	21	3	SPI 主机输出从机输入信号	1.8V
SPI_CLK	19	3	SPI 时钟信号	1.8V
SPI_HOLD	18	3	SPI 保持信号	1.8V

3.1.5 扩展 IO

概述

- 板卡包含 4 组扩展 IO, 分别由 4 个 1.25mm-10P 排针/邮票孔对外连接。
- 第一组包含: Bank0 电源输入, 2 对差分对 GPIO, JTAG 接口;
 - 第二组包含: DC3.3V 电源输入, 2 对差分对 GPIO, 3 个单端 GPIO, 辅助电源 VCCX 输入 (建议使用最高电压的 bank 电源, MiniStar nano Experiment Kit 提供 3.3V);
 - 第三组包含: Bank2 电源输入, DC1.8V 电源输出, Bank2 的 4 对差分对 GPIO;
 - 第四组包含: Bank1 电源输入, Bank1 的 4 对差分对 GPIO。

Error! Use the Home tab to apply 标题 2,heading2 to the text that you want to appear here.
Error! Use the Home tab to apply 标题 2,heading2 to the text that you want to appear here.

图3-6 扩展原理图

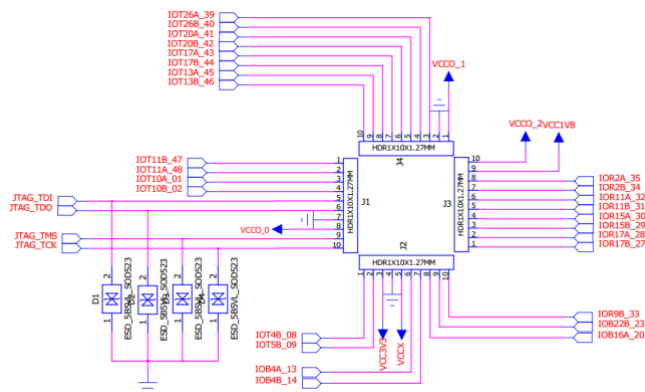


表3-5 扩展 IO 管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
IOT10A_01	1	0	差分对	VCCO_0
IOT10B_02	2	0		
IOT4B_08	8	0	GPIO	
IOT5B_09	9	0	GPIO	
IOR17B_27	27	2	差分对	VCCO_2
IOR17A_28	28	2		
IOR15B_29	29	2	差分对	
IOR15A_30	30	2		
IOR11B_31	31	2	差分对	
IOR11A_32	32	2		
IOR9B_33	33	2	GPIO	
IOR2B_34	34	2	差分对	
IOR2A_35	35	2		
T26A_39	39	1	差分对	VCCO_1
IOT26B_40	40	1		
IOT20A_41	41	1	差分对	
IOT20B_42	42	1		
IOT17A_43	43	1	差分对	
IOT17B_44	44	1		
IOT13A_45	45	1	差分对	

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
IOT13B_46	46	1	差分对	
IOT11B_47	47	1		
IOT11A_48	48	1		
IOB22B_23	23	3	GPIO	1.8V
IOB16A_20	20	3	GPIO	
IOB4A_13	13	3	差分对	
IOB4B_14	14	3		

3.2 MiniStar nano 底板

3.2.1 下载

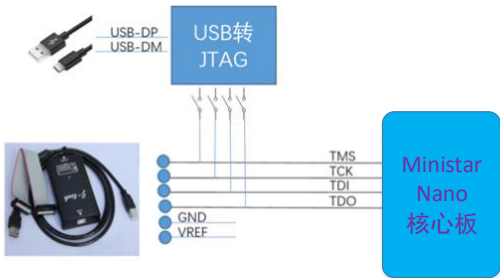
概述

开发板提供 USB 下载接口，由 USB 转换芯片来实现。内部 ARM Cortex-M3 硬核处理器下载也通过同一组 IO 下载。当需调试下载 ARM 核时需要保持 USB 供电，同时拨动拨码开关断开 USB 转 JTAG 模块的连接。

下载的连接示意图如图3-5 所示。

USB 下载电路

图3-7 FPGA 下载电路原理图



管脚分配

表3-6 下载电路管脚分配

信号名称	FPGA 管脚序号	BANK	描述	I/O 电平
FPGA_ TMS	6	0	TMS	3.3V
FPGA_ TCK	7	0	TCK	3.3V
FPGA_ TDI	3	0	TDI	3.3V
FPGA_ TDO	4	0	TDO	3.3V

3.2.2 电源

概述

开发板通过 Type-C USB 接口提供 DC5V 输入，设置有 1.5A 过流保护，防反接保护。

电源系统分配

图3-8 电源电路



3.2.3 LED

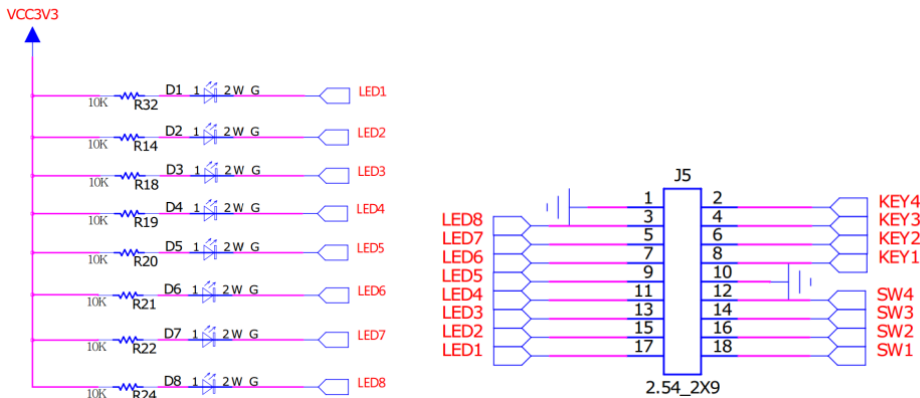
概述

开发板中有用户 LED 8 个，可通过 LED 灯显示所需状态。将 LED 的控制连接器与扩展 IO 连接器进行连接后,可通过以下方式对 LED 灯进行测试。

- 当 FPGA 对应管脚输出信号为逻辑高电平时，LED 熄灭；
- 当输出信号为低电平时，LED 点亮。

LED 电路

图3-9 LED 电路原理图



管脚分配

开发板中有用户扩展 IO 可自行连接,将 J5 连接器上 LED 相关控制端口用杜邦线连接到扩展 IO 连接器 J2 上对应的 IO，即对 LED 做了 IO 分配。

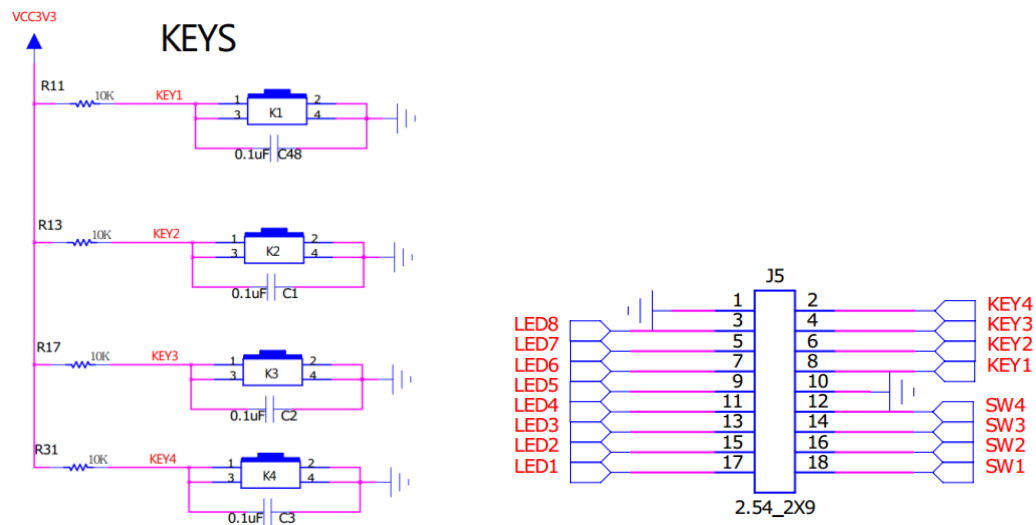
3.2.4 按键

概述

开发板有 4 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用（按下为低电平）。

按键电路

图3-10 按键电路原理图



管脚分配

开发板中有用户扩展 IO 可自行连接，将 J5 连接器上 KEY 相关控制端口用杜邦线连接到扩展 IO 连接器 J2 上对应的 IO，即对按键做了 IO 分配。

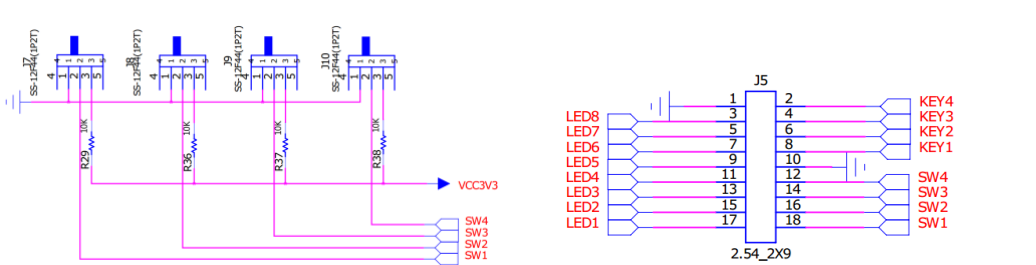
3.2.5 拨码开关

概述

开发板有 4 个拨码开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。

按键电路拨码开关电路

图3-11 拨码开关电路原理图



管脚分配

开发板中有用户扩展 IO 可自行连接，将 J5 连接器上拨码开关相关控制端口用杜邦线连接到扩展 IO 连接器 J2 上对应的 IO，即对拨码开关做了 IO 分配。

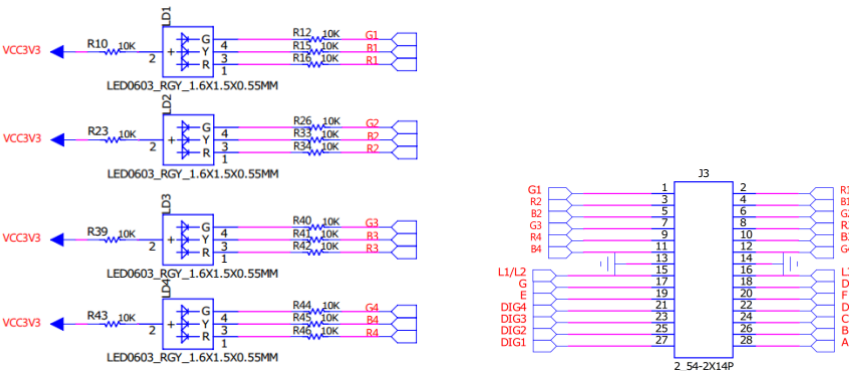
3.2.6 RGB 三色灯

概述

开发板有 4 个 RGB 三色灯，将 RGB 的控制连接器与扩展 IO 连接器进行连接后，FPGA 可控制 RGB 显示不同的状态。

RGB 灯电路

图3-12 RGB 三色灯电路原理图



管脚分配

开发板中有用户扩展 IO 可自行连接，将 J3 连接器上 **KEY**RGB 灯相关控制端口用杜邦线连接到扩展 IO 连接器 J2 上对应的 IO，即对 RGB 三色灯做了 IO 分配。

3.2.7 数码管

概述

开发板有 1 个 4 位 8 段带时钟显示的数码管，将数码管的控制连接器与扩展 IO 连接器进行连接后，FPGA 可控制 RGB 显示不同的状态。

Error! Use the Home tab to apply 标题 2,heading2 to the text that you want to appear here.
Error! Use the Home tab to apply 标题 2,heading2 to the text that you want to appear here.

管脚分配

开发板中的用户扩展 IO 可给用户更具实际需求自行连接, 将对应外设的控制 IO 连接到 J2 连接器就可使用 MiniStar nano 核心板控制或获取外设的状态; J2 连接器的管脚分配如下。

表3-7 下载电路管脚分配 J2 连接器的管脚分配

J2 管脚	FPGA 管脚序号	描述	I/O 电平
1	-	电源 3.3V	-
2	-	地	-
3	48	IO	3.3V
4	47	IO	3.3V
5	46	IO	3.3V
6	45	IO	3.3V
7	44	IO	3.3V
8	43	IO	3.3V
9	42	IO	3.3V
10	41	IO	3.3V
11	40	IO	3.3V
12	39	IO	3.3V
13	01	IO	3.3V
14	02	IO	3.3V
15	33	IO	3.3V
16	-	地	-
17	35	IO	3.3V
18	34	IO	3.3V
19	32	IO	3.3V
20	31	IO	3.3V
21	30	IO	3.3V
22	29	IO	3.3V
23	28	IO	3.3V
24	27	IO	3.3V
25	08	IO	3.3V
26	09	IO	3.3V
27	-	GND	-

J2 管脚	FPGA 管脚序号	描述	I/O 电平
28	-	5V 电源	-
29	13	IO	3.3V
30	14	IO	3.3V
31	20	IO	3.3V
32	23	IO	3.3V

4开发板使用

4.1 工程导入

具体软件操作说明参见 [SUG100, Gowin 云源软件用户手册](#)。

- 1. 直接点击.gprj 文件；
- 2. 进入开发软件后点击“文件 > 打开”选择.gprj 文件导入。

图4-1 工程导入



4.2 程序编译和下载

- 1. 编写完程序之后保存点击“Process > Place & Route”编译，编译通过之后前面会出现绿勾；

Error! Use the Home tab to apply 标题 1,heading1 to the text that you want to appear here.
Error! Use the Home tab to apply 标题 1,heading1 to the text that you want to appear here.

Error! Use the Home tab to apply 标题 2,heading2 to the text that you want to appear here.
Error! Use the Home tab to apply 标题 2,heading2 to the text that you want to appear here.

图4-2 点击 Place & Route

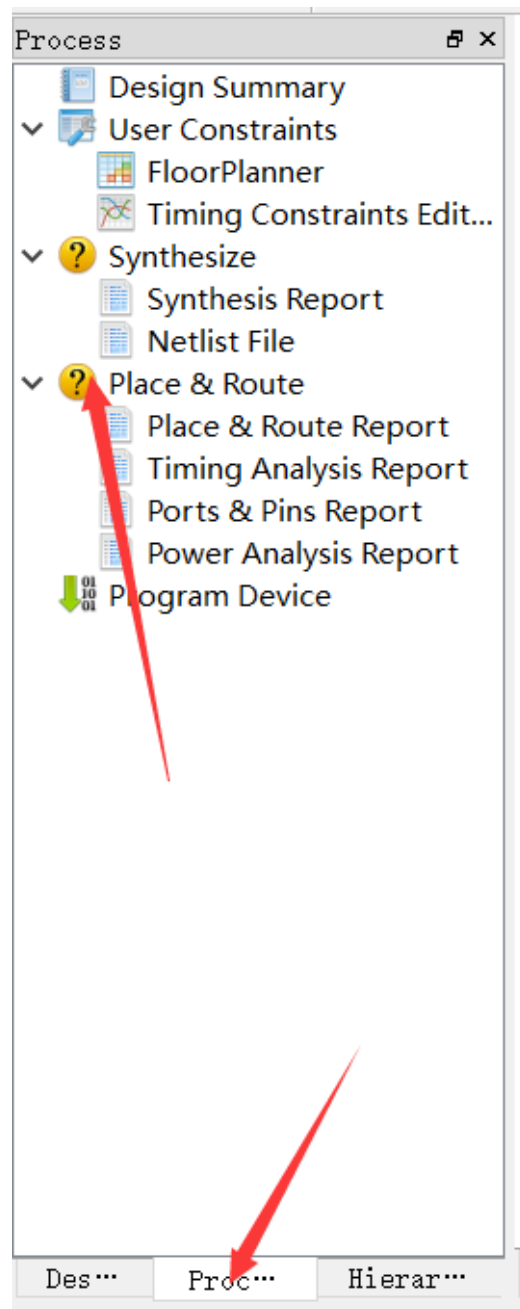
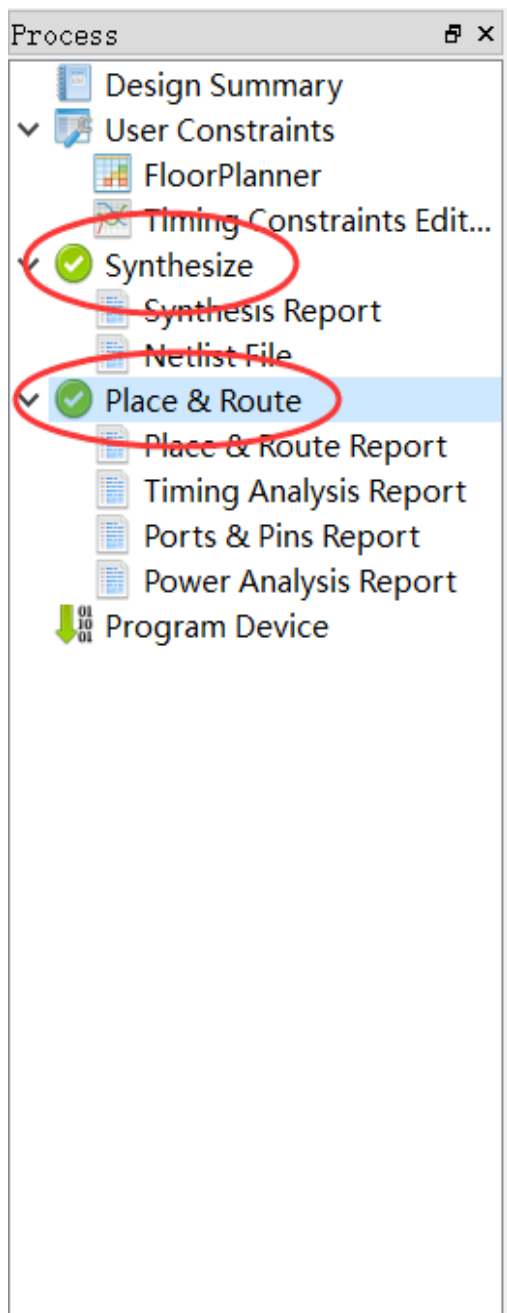


图4-3 编译成功



2. 编译通过后双击“Program Device”弹出下载窗口，点击开始下载。

图4-4 双击 Program Device

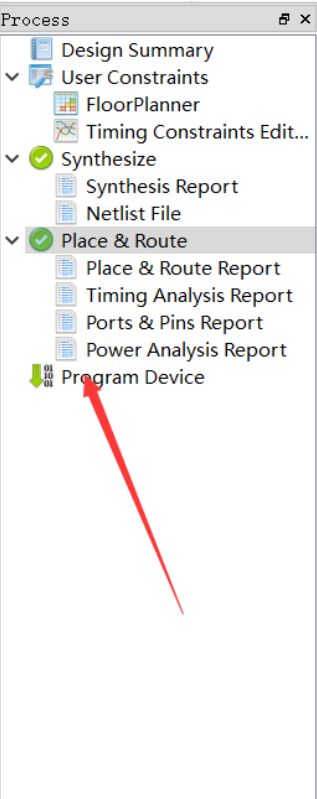
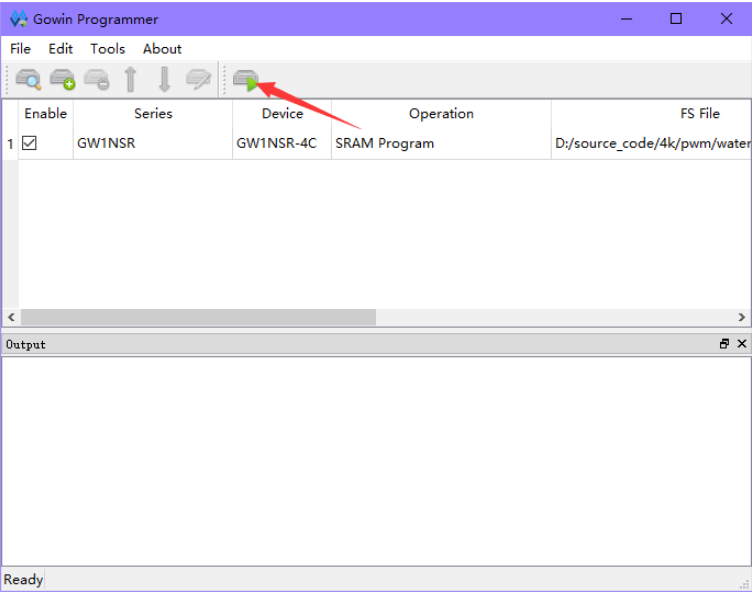


图4-5 下载窗口



4.3 例程操作及现象说明

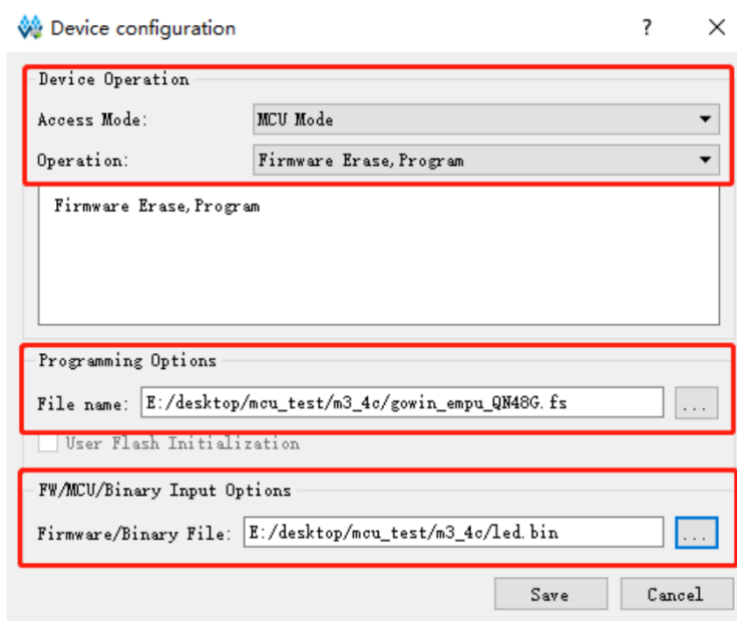
开发板套配套视频，将在 Bilibili（网址：

<https://space.bilibili.com/507416742>）等网站及相关公众号发布欢迎关注。

4.4 硬件与软件下载

GW1NS-4C 器件内嵌 ARM Cortex-M3 硬核处理器，若要使用 EMPU，需要在高云半导体云源软件的 Programmer 下载软件下载 Gowin_EMPU (GW1NS-4C) 硬件设计码流文件和软件编程设计二进制 BIN 文件。在下载界面双击 Device 下的器件，GW1NS-4C/GW1NSR-4C 下载选项配置如下图所示。

图4-6 Device configuration 窗口



GW1NS-4C 上 EMPU 的使用可参考 Gowin 官方的文档和参考设计：

http://www.gowinsemi.com.cn/prodshow_view.aspx?TypeId=71&Id=186&FId=t31:71:31#IP。可参考以下手册：

- [IPUG930, Gowin EMPU\(GW1NS-4C\)快速设计参考手册](#)
- [IPUG931, Gowin EMPU\(GW1NS-4C\)软件编程参考手册](#)
- [IPUG932, Gowin EMPU\(GW1NS-4C\)硬件设计参考手册](#)

- [IPUG928, Gowin EMPU\(GW1NS-4C\)IDE 软件参考手册](#)
- [IPUG929, Gowin EMPU\(GW1NS-4C\)串口调试参考手册](#)
- [RN933, Gowin EMPU\(GW1NS-4C\)软件和硬件设计发布说明](#)

4.5 开发板使用注意事项

1. 开发板使用时，注意轻拿轻放，并做好静电防护；
2. 对内部 Flash 或外部 Flash 下载 bitstream 文件时，需设置 MODE 脚状态在正确的配置值上；
3. 连接模块时，必须先断电。

