

# 计算机组成与设计 实验

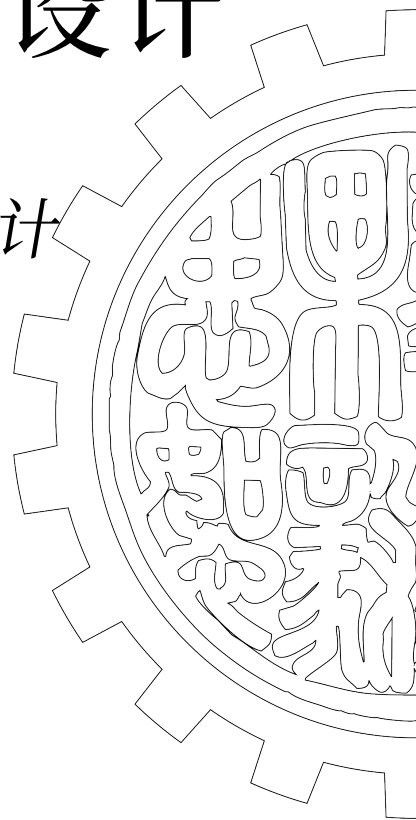
## 实验 1 基本门电路的设计

can't tell

magicwenli

same

2020 年 10 月 14 日



XI'AN JIAOTONG UNIVERSITY  
COMPUTER SCIENCE AND TECHNOLOGY

# 目录

§1 实验目的	2
§2 实验内容	2
§3 实验要求	2
§4 实验代码及结果	3
4.1 模块的电路图 . . . . .	3
4.2 分析电路的仿真波形 . . . . .	3
4.3 实验设计和调试过程 . . . . .	3
§5 调试和心得体会	3

## §1 实验目的

1. 掌握 Verilog 语言框架, 编程及调试的方法;
2. 熟悉 Verilog 的基本语法;
3. 掌握 iverilog 开发平台。

## §2 实验内容

1. 利用赋值语句完成一个 2 输入门电路模块的设计。
2. 利用赋值语句完成多个 (4 个以上) 门电路之间的级联, 形成一个完整的电路。
3. 在 iverilog 中完成一个工程的设计、编辑、综合和实现的全过程。
4. 掌握以上电路的程序结构和风格。
5. 观察和分析仿真波形, 注重输入输出之间的时序关系。

## §3 实验要求

1. 画出模块的电路图。
2. 分析电路的仿真波形。
3. 记录设计和调试过程。

## §4 实验代码及结果

### 4.1 模块的电路图

### 4.2 分析电路的仿真波形

### 4.3 实验设计和调试过程

## §5 调试和心得体会