

מיני פרויקט 2

1:

הוספנו ל control שער and חדש שמקבל רק את 001000.

שער ה and שקראנו לו addi מדליק את ALUsrc ו RegWrite , ועבור ALUOp קבענו אותו ל00, כך שב ALUcontrol עבור mux השני(הקטן) ה output הוא input של הכניסה הראשונה שהיא הקבוע 2 שמתורגם ל add ב alu .

סה"כ נכניס את ה OPcode ל control, regfile יקבל את rs עבור read register 1 והimm יעבור ב sign extend והALU יקבל את rs ו imm ויממש פעולת add והתוצאה תשמר ב rt .

2:

הוספנו ל control שער and חדש שמקבל את 000010 , בנוסף לכך הוספנו output חדש בשם jump שמחובר לשער and שהוספנו שגם לו קראנו jump .

ל main הוספנו mux חדש שהכניסה 0 שלו היא היציאה של mux שמחליט את beq שאות הבקרה שלו היא jump שהוספנו ל control .

עבור כניסה 1 של mux החדש לקחנו מ0 עד 25 הביטים הראשונים והכנסנו אותם ל sign extend חדש שמוציא אותם 28 ביטים והכנסנו אותם ל שער שמכפל אותם ב 4 , והוספנו להם את 4 הביטים האחרונים של ה pc כך שהתוצאה היא הכניסה ל input של mux החדש.

3:

הוספנו לALUcontrol שער and שמוציא 1 רק עבור funct=00100 וגם ALUOP=10 שמחובר ל output חדש jr .

בנוסף לכך mux חדש כמו jump שאות הבקרה שלו היא jr וכניסה 1 שלו הוא rs .

עבור המסלול של REGWrite הוספנו שער and חדש שמקבל REGWrite ו jr ו not והתוצאה נכניס ל write enable . פעולה זאת מונעת כתיבה ל register זבל .

4:

הוספנו ל control שער and שמקבל רק את 000100 ומדליק את output החדש bne .

ב main הוספנו שער and שמקבל not zero ו bne ו שער or שמקבל את תוצאת ה and החדש ו and של beq והתוצאה נכניס ל mux של beq הישן כאות בקרה.

5:

הוספנו shifter שלוקח את read Data2 ועושה shift לו לפי הביטים 10-6 .

שער and שמקבל את Regdst והשלילה של הביטים 4 5 והתוצאה של שער and שני שמקבל את השלילה של הביטים 21-25 והתוצאה של שער ה and הראשי תהיה אות הבקרה של mux חדש שמקבל ב0 את תוצאת ה alu/mem ו ב1 את תוצאת ה shift .

6:

ב control נוסיף שער and חדש שמקבל רק את 001101 ומדליק ori Regwrite ALUsrc כך ש or הוא output חדש שהוספנו , ALUOp=11 .

בALUcontrol הוספנו לMux הקטן את הקבוע 1 ל input11 כך ש 1 יתורגם ל or ב ALU .

בmain הוספנו מסלול שיש בו zero extender על 16 הביטים הראשונים ומכניסים את התוצאה ל muxחדש.

הmux החדש מקבל ב 0 את המסלול המקורי של imm ו ב 1 את המסלול החדש ואת הבקרה שלו היא ori .

:7

הוספנו לcontrol שער and המקבל רק את 111111 ו מדליק jnezr=1 ALUop=01 Reddst=1 כך ש jnezr היא יציאה חדשה שהוספנו .

בmain הוספנו mux שמקבל ב 0 read data 1 וב 1 את הקבוע 0 עם אות בקרה jnezr .

בסופ הוספנו mux שמקבל ב 0 את read data 1 ו ב 1 את המסלול המקורי עם אות הבקרה zero שהיא output של ALU.