دانشکده مهندسی مکانیک  
پردیس دانشکده‌های فنی  
دانشگاه تهران

**گزارش تکالیف**

**جلسه چهارم**

**درس سیستم‌های اندازه‌گیری کارشناسی**

**دکتر صدیقی**

**مهدی عبداله چالکی (810696268)**

**نیم‌سال دوم**

**سال تحصیلی 00-99**

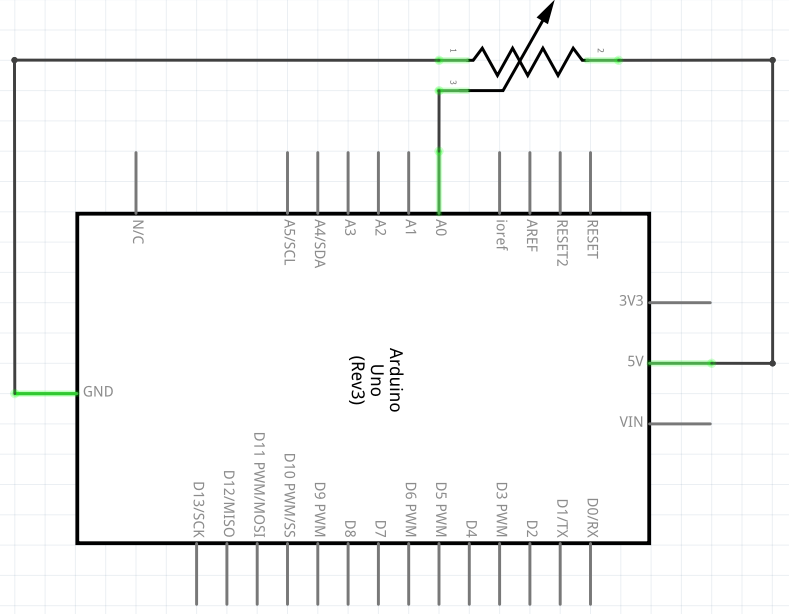
# تکلیف اول

در تکلیف اول هدف طراحی مداری است که بتواند یک سیگنال 23 هرتز تولید کرده و با فرکانس‌های مختلف از آن نمونه‌برداری کند تا بتوان اثر aliasing را مشاهده کرد.

اولین گام در طراحی این مدار، مشخص نمودن مقادیر خازن و مقاومت فیلتر پایین‌گذر است. با توجه به صورت سوال و اینکه فرکانس 23 هرتز باید تولید شود، فرکانس گوشه بر روی 30 هرتز قرار داده‌ شده‌است.

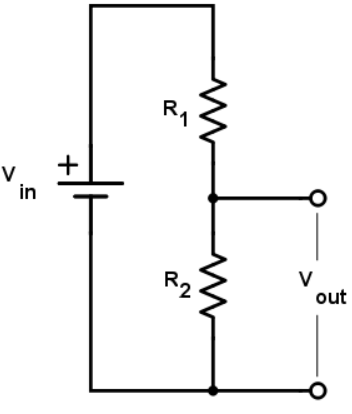
در فرکانس 30 هرتز، اندازه G باید برابر 0.707 باشد. همچنین اندازه‌ی خازن مشخص و برابر با 1 میکرو فاراد است. پس مقدار مقاومت برابر است با:

*از آنجایی که مقاومتی با این مقدار وجود ندارد، باید به کمک یکی از مقاومت‌های متغیر موجود، چنین مقاومتی ساخته‌شود. بنابراین مدار تقسیم ولتاژ به صورت شکل 1 طراحی شده تا به کمک آن، مقاومت تنظیم شود.*



شکل 1: مدار تنظیم‌کننده مقاومت

*مدار تقسیم کننده ولتاژ به صورت شکل 2 است:*



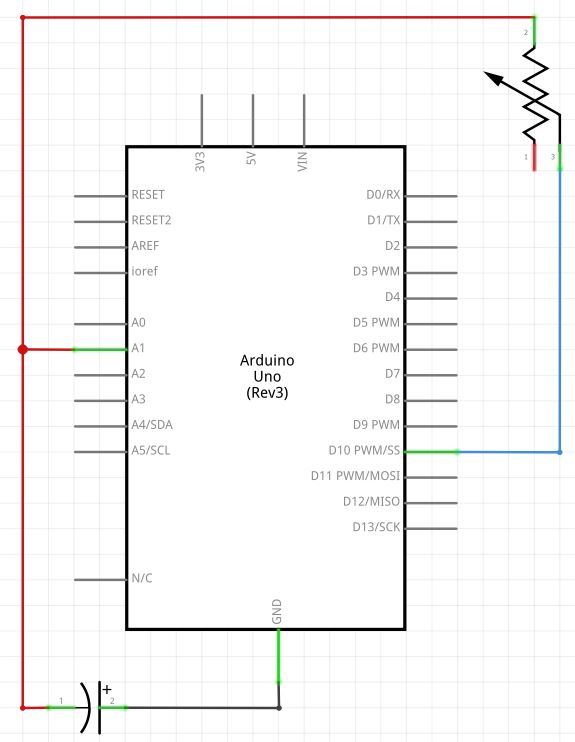
شکل 2: مدار تقسیم‌کننده ولتاژ

*که مقدار ولتاژ خروجی برابر است با:*

*یک مقاومت متغیر 10 کیلواهم انتخاب شده و مقاومت بین پایه وسط و یکی از دو پایه دیگر را R1 و با پایه دیگری، R2 در نظر گرفته می‌شود. جمع این دو مقاومت برابر 10 کیلو اهم است. ولتاژ ورودی مدار نیز 5 ولت است. پس داریم:*

*آنقدر پیچ موجود بر روی مقاومت را چرخانده تا ولتاژ خروجی به 0.4695 ولت برسد. سپس مقاومت در مدار اصلی جایگذاری شده و تنها از بخش R1 آن استفاده می‌شود.*

*در نهایت، مدار نهایی به صورت شکل 3 خواهد بود.*



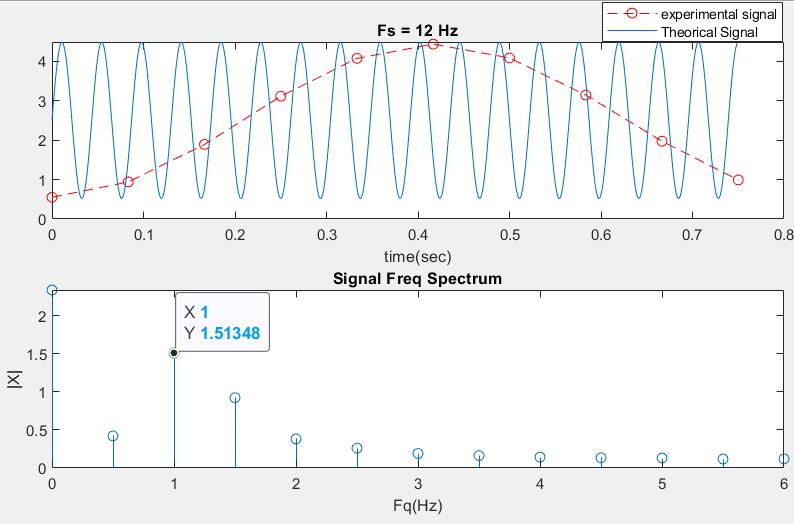
شکل 3: مدار طراحی‌شده برای سوال اول

*بخش بعدی، خواندن داده‌های درگاه سریال در متلب است. به کمک کدی که در پیوست آمده است، هر داده در متلب خوانده شده و به صورت یک ماتریس ذخیره می‌گردد. علاوه بر سیگنال دریافتی از مدار، در متلب یک سیگنال با فرکانس برابر با سیگنال مدار با در نظر گرفتن فیلتر رسم می‌شود تا تفاوت مدار عملی با روابط تئوری مشخص شود.*

*لازم به ذکر است که برای استفاده از رنج خروجی کامل آردوینو، سیگنال های سینوسی در بازه 0 تا 5 ولت و با میانگین 2.5 ولت ایجاد می‌شود.*

*در 6 فرکانس مختلف (12، 20، 28، 46، 92 و 120 هرتز) از سیگنال‌ تولید شده‌ نمونه برداری شده‌است و در ادامه به بررسی آن‌ها پرداخته‌شده‌است.*

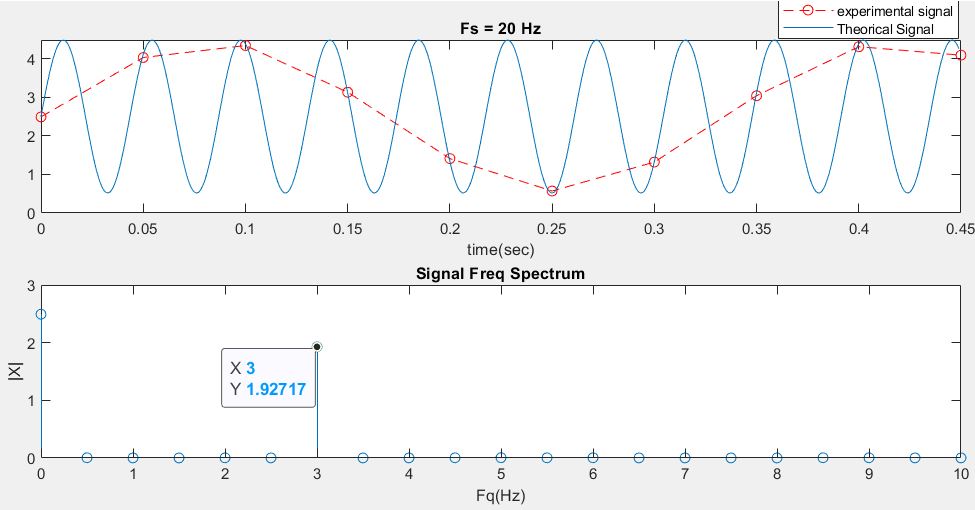
***فرکانس 12 هرتز:***



شکل 4: نمودار ولتاژ – زمان و فرکانس سیگنال نمونه برداری شده با فرکانس 10 هرتز

*در بخش بالایی شکل 4، نمودار سیگنالی که از آردوینو گرفته ‌شده‌است و نیز یک سیگنال سینوسی فیلترشده با فیلتر تئوری مشابه فیلتر مدار نشان داده ‌شده‌است. در بخش پایینی نیز محتوای فرکانسی همان سیگنال رسم شده‌است که مشاهده می‌شود فرکانس سیگنال بدست آمده، 1 هرتز است و پدیده‌ی aliasing رخ داده‌است.*

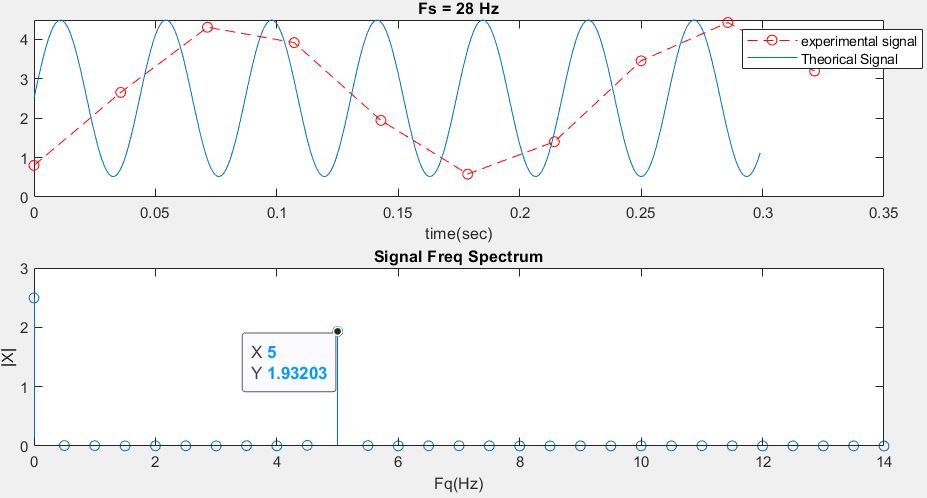
***فرکانس 20 هرتز:***



شکل 5: نمودار ولتاژ – زمان و فرکانس سیگنال نمونه برداری شده با فرکانس 20 هرتز

*در بخش بالایی شکل 5، نمودار سیگنالی که از آردوینو گرفته ‌شده‌است و نیز یک سیگنال سینوسی فیلترشده با فیلتر تئوری مشابه فیلتر مدار نشان داده ‌شده‌است. در بخش پایینی نیز محتوای فرکانسی همان سیگنال رسم شده‌است که مشاهده می‌شود فرکانس سیگنال بدست آمده، 3 هرتز است و پدیده‌ی aliasing رخ داده‌است.*

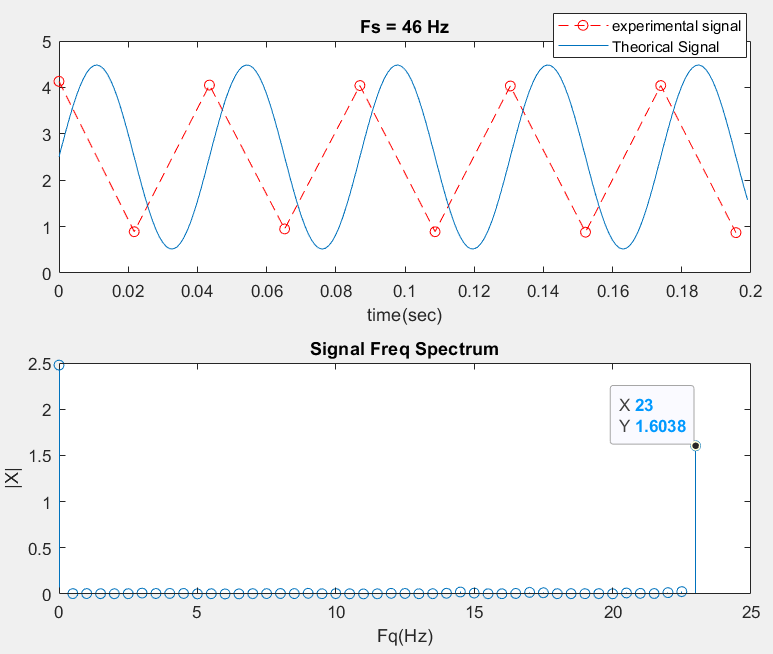
***فرکانس 28 هرتز:***



شکل 6: نمودار ولتاژ – زمان و فرکانس سیگنال نمونه برداری شده با فرکانس 28 هرتز

*در بخش بالایی شکل 6، نمودار سیگنالی که از آردوینو گرفته ‌شده‌است و نیز یک سیگنال سینوسی فیلترشده با فیلتر تئوری مشابه فیلتر مدار نشان داده ‌شده‌است. در بخش پایینی نیز محتوای فرکانسی همان سیگنال رسم شده‌است که مشاهده می‌شود فرکانس سیگنال بدست آمده، 5 هرتز است و پدیده‌ی aliasing رخ داده‌است.*

***فرکانس 46 هرتز:***

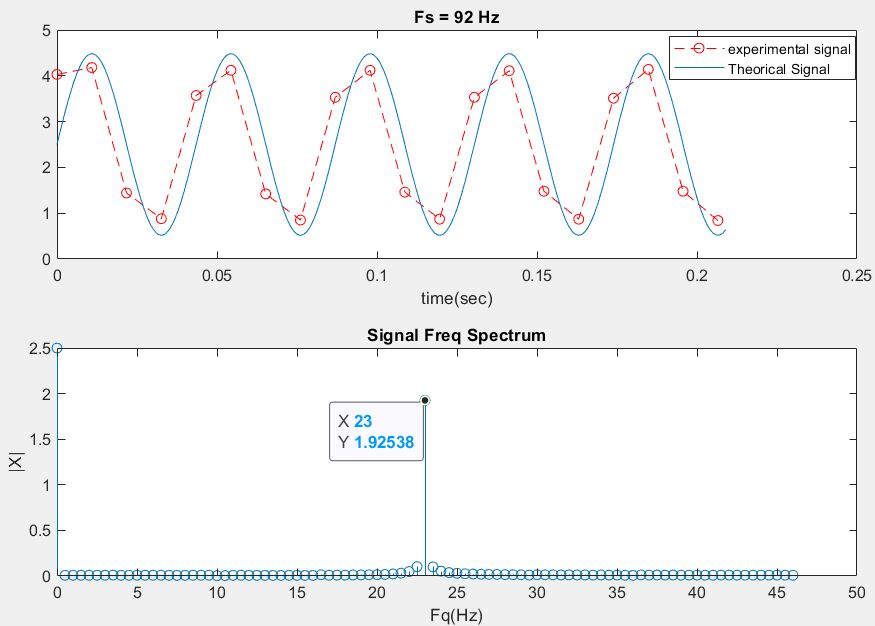


شکل 7: نمودار ولتاژ – زمان و فرکانس سیگنال نمونه برداری شده با فرکانس 46 هرتز

*در بخش بالایی شکل 7، نمودار سیگنالی که از آردوینو گرفته ‌شده‌است و نیز یک سیگنال سینوسی فیلترشده با فیلتر تئوری مشابه فیلتر مدار نشان داده ‌شده‌است. در بخش پایینی نیز محتوای فرکانسی همان سیگنال رسم شده‌است که مشاهده می‌شود فرکانس سیگنال بدست آمده، 23 هرتز است و پدیده‌ی aliasing رخ داده‌است.*

*تنها در صورتی می‌توان از سیگنال درست نمونه‌برداری کرد که اختلاف فاز سیستم تولید سیگنال و سیستم نمونه‌برداری با یکدیگر 90 درجه باشد. این امر تقریبا غیر ممکن است و به همین خاطر است که معمولا از فرکانس نمونه‌برداری بسیار بیشتر از فرکانس نایکوییست استفاده می‌شود.*

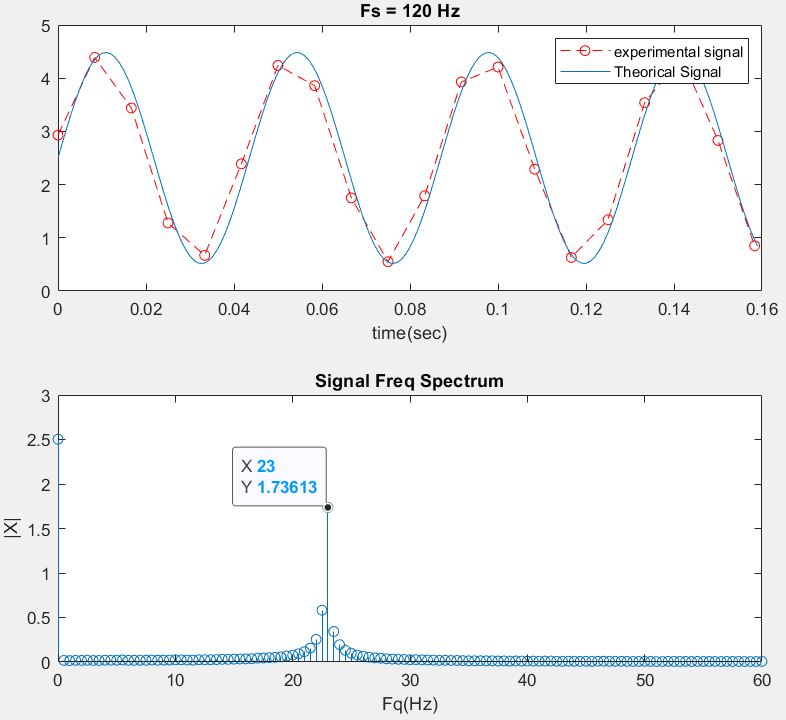
***فرکانس 92 هرتز:***



شکل 8: نمودار ولتاژ – زمان و فرکانس سیگنال نمونه برداری شده با فرکانس 92 هرتز

*در بخش بالایی شکل 8، نمودار سیگنالی که از آردوینو گرفته ‌شده‌است و نیز یک سیگنال سینوسی فیلترشده با فیلتر تئوری مشابه فیلتر مدار نشان داده ‌شده‌است. در بخش پایینی نیز محتوای فرکانسی همان سیگنال رسم شده‌است که مشاهده می‌شود فرکانس سیگنال بدست آمده، 23 هرتز است و پدیده‌ی aliasing رخ نداده‌است، چرا که 92 هرتز از دو برابر 23 هرتز (یعنی 46 هرتز) بیشتر است.*

***فرکانس 120 هرتز:***



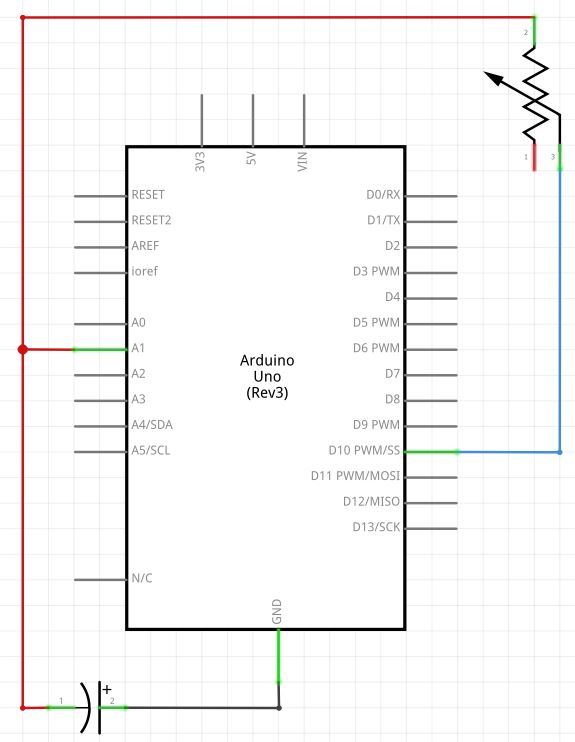
شکل 9: نمودار ولتاژ – زمان و فرکانس سیگنال نمونه برداری شده با فرکانس 120 هرتز

*در بخش بالایی شکل 9، نمودار سیگنالی که از آردوینو گرفته ‌شده‌است و نیز یک سیگنال سینوسی فیلترشده با فیلتر تئوری مشابه فیلتر مدار نشان داده ‌شده‌است. در بخش پایینی نیز محتوای فرکانسی همان سیگنال رسم شده‌است که مشاهده می‌شود فرکانس سیگنال بدست آمده، 23 هرتز است و پدیده‌ی aliasing رخ نداده‌است، چرا که 120 هرتز از دو برابر 23 هرتز (یعنی 46 هرتز) بیشتر است.*

# تکلیف دوم

در تکلیف دوم، هدف آن است تا دو سیگنال سینوسی (که یکی فرکانس کم و دیگری فرکانس بالاتری دارد) که بر روی یکدیگر قرار دارند، تولید شود و با کمک فیلتر پایین‌گذر، مولفه‌ی فرکانس بالای آن تا حد امکان تضعیف شود. سپس از این سیگنال با فرکانس ثابت نمونه‌برداری شده تا بتوان با استفاده از تبدیل فوریه‌ی سریع، فرکانس سیگنال‌های تشکیل‌دهنده‌ی آن را تعیین کرد. همچنین در این بخش و برای جلوگیری از نشت انرژی در نمودار فرکانس، از پنجره‌ی هنینگ[[1]](#footnote-1) استفاده شده‌است.

مدار طراحی شده برای این سوال، به صورت شکل 10 است:



شکل 10: مدار طراحی‌شده برای سوال دوم

ابتدا با توجه به شماره دانشجویی، فرکانس‌های مورد نیاز محاسبه شده است.

طبق خواسته سوال، باید یک فرکانس گوشه تعیین و فیلتر متناظر طراحی شود. با توجه به مقادیر فرکانس‌ها، یک فیلتر با فرکانس گوشه‌ی 10 هرتز در نظر گرفته می‌شود. مقدار خازن برای این فیلتر، 1 میکرو فاراد در نظر گرفته شده است.

مقدار مقاومت‌ باید تعیین شود. داریم:

که بر این اساس، برای فیلتر با فرکانس گوشه‌ی 10 هرتز مقدار مقاومت تقریبا برابر با 15915 اهم بدست می‌آید. این مقاومت‌ مانند بخش قبل به کمک مدار تقسیم ولتاژ درست می‌شود.

برای ایجاد دو فرکانس به صورت همزمان، کافی است تا در اینتراپت[[2]](#footnote-2)زمانی، دو سیگنال سینوسی با فرکانس‌های مد نظر با هم جمع شوند و برای آنکه سیگنال خروجی در بازه‌ی 0 تا 5 ولت قرار گیرد، دامنه‌ی هر سیگنال در عدد 1.25 ضرب شده و نهایتا سیگنال حاصل با 2.5 جمع می‌شود.

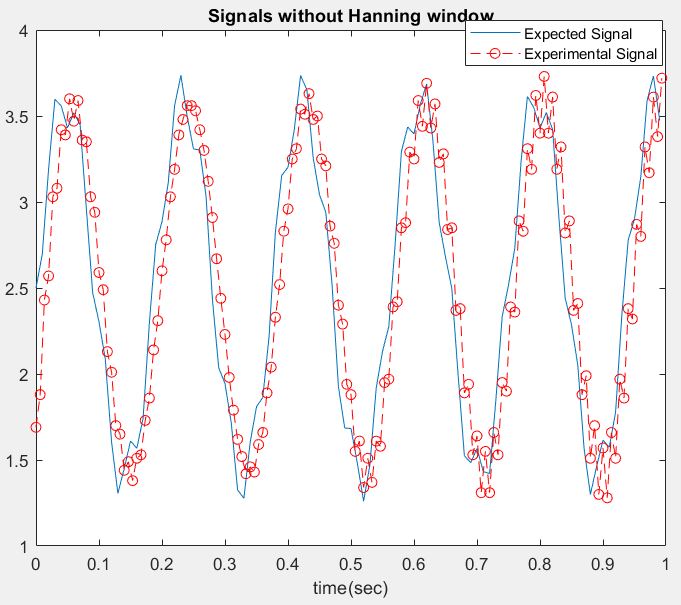
بخش بعدی، خواندن و ذخیره سیگنال تولیدی توسط متلب است. علاوه بر این سیگنال، یک سیگنال سینوسی با اعمال فیلتری که توسط روابط تئوری محاسبه شده‌است، تولید و نمایش داده می‌شود تا بتوان مقایسه‌ای انجام داد.

برای نمونه‌برداری از سیگنال، با توجه به بالاترین فرکانس موجود در مدار (74.6 هرتز) باید حداقل فرکانس نمونه‌برداری روی عدد 149.2 هرتز تنظیم شود. با در نظر گرفتن این نکته که حافظه‌ی آردوینو گنجایش تقریبا 800 عدد را دارد، انتخاب فرکانس نمونه‌برداری بالاتر به زمان داده‌برداری کمتری منتهی می‌شود. پس از فرکانس 150 هرتز استفاده می‌شود تا زمان بیشتری بتوان فرکانس را دریافت کرد و به نتایج دقیق‌تری رسید.

**فیلتر پایین‌گذر با فرکانس گوشه‌ی 10 هرتز**

برای طراحی این فیلتر، از مقاومت 50 کیلواهم استفاده شده‌است و مقدار آن توسط مدار تقسیم ولتاژ، بر روی عدد 15915 اهم قرار دارد. همچنین از خازن 1 میکروفاراد استفاده می‌شود. پس داریم:

*دو سیگنال در شکل 11 رسم شده است. سیگنال آبی رنگ، سیگنال تئوری تولید‌شده توسط متلب است. سیگنال قرمز رنگ نیز خروجی آردوینو است.*

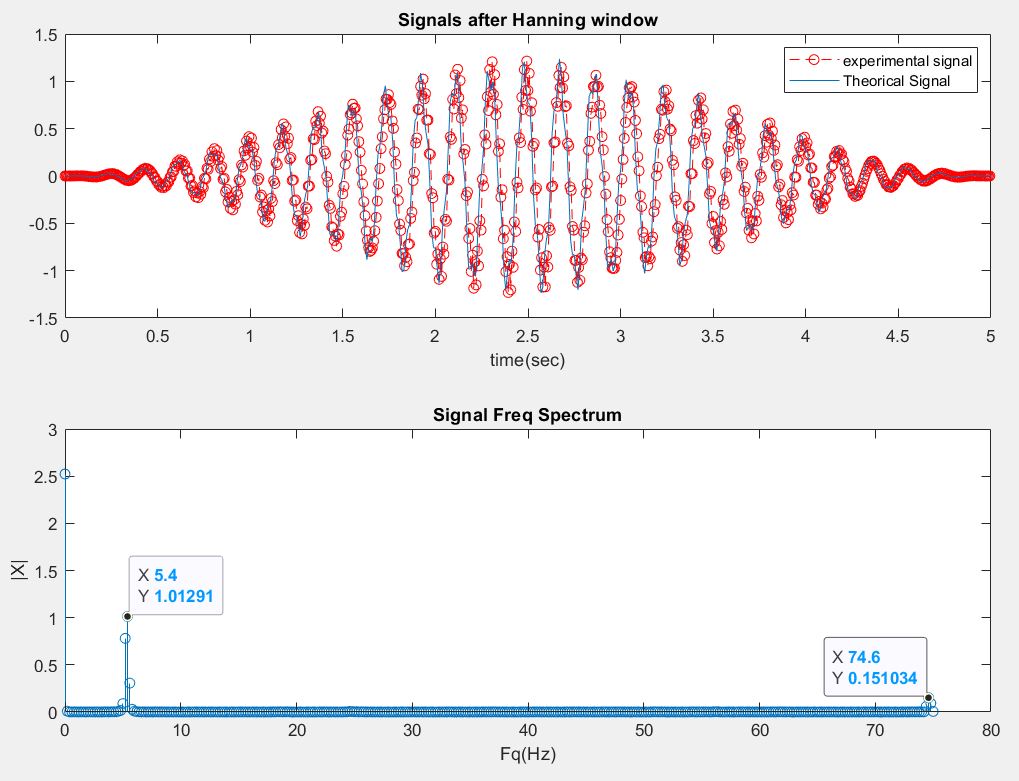


شکل 11: نمودار ولتاژ – زمان مجموع دو سیگنال با فرکانس‌های 5.34 و 74.6 هرتز و فرکانس گوشه‌ی 10 هرتز

مقدار تئوری تضعیف دامنه‌ای که این فیلتر ایجاد می‌کند، به ترتیب برای سیگنال 5.34 و 76.64 هرتز برابر با 1.08 و 17.53 دسی‌بل است.

برای آنکه در محتوای فرکانسی نشت به کمترین میزان برسد، باید از پنجره‌ی هنینگ استفاده کنیم.

که در این رابطه، کل مدت زمان سیگنال است. با ضرب این پنجره در سیگنال‌های بخش قبل، بخش بالایی شکل 12 بدست می‌آید. در این شکل سیگنال آبی تولید شده توسط روابط تئوری در متلب پس از اعمال پنجره‌ی هنینگ است و نیز سیگنال قرمز خروجی آردوینو پس از اعمال این پنجره است.



شکل 12: (بالا) نمودار ولتاژ – زمان مجموع دو سیگنال پس از اعمال پنجره هنینگ – (پایین) نمودار محتوای فرکانسی

در بخش پایینی شکل 12 نیز نمودار محتوای فرکانسی سیگنال مشاهده می‌شود. همان‌طور که پیش‌بینی می‌شد، دو فرکانس 5.4 و 74.6 هرتز تشخیص داده شده‌است و به دلیل عبور سیگنال از فیلتر پایین‌گذر، مولفه‌ی دارای فرکانس بالا یه میزان زیادی تضعیف شده‌است اما سیگنال با فرکانس پایین، مقدار تضعیف کمتری دارد.

مقدار تضعیف سیگنال 5.4 هرتز برابر است با:

مقدار تضعیف سیگنال 74.6 هرتز برابر است با:

این مقادیر اندکی با مقادیر تضعیف تئوری تفاوت دارند.

**علل وجود خطا در نتایج:**

همان‌طور كه مشاهده شد، در همه‌ي بخش‌ها ميان مقادير تئوري و عملي تفاوت‌هايي وجود دارد. به تعدادي از اين علل اشاره شده‌است:

1. *مقادير مقاومت‌ها دقيق نيستند؛ اولا هر مقاومت خطايي دارد. ثانيا در تنظيم آن‌ها توسط مدار مقسم ولتاژ، نویزی وجود دارد که مانع از رسیدن به مقدار صحیح مقاومت است.*
2. *مقادیر خازن‌ها نیز کاملا دقیق نیست و خطا دارد.*
3. *نویز همیشه وجود دارد و باعث ایجاد خطا است.*
4. *مقداری نشت حتی با وجود استفاده از پنجره‌ی هنینگ همچنان وجود دارد.*

# ضمائم

**Setting Resistor**



**First Assignment:**

**Arduino**







**Matlab**





**Second Assignment**

**Arduino**







**Matlab**





1. Hanning window [↑](#footnote-ref-1)
2. Interrupt [↑](#footnote-ref-2)