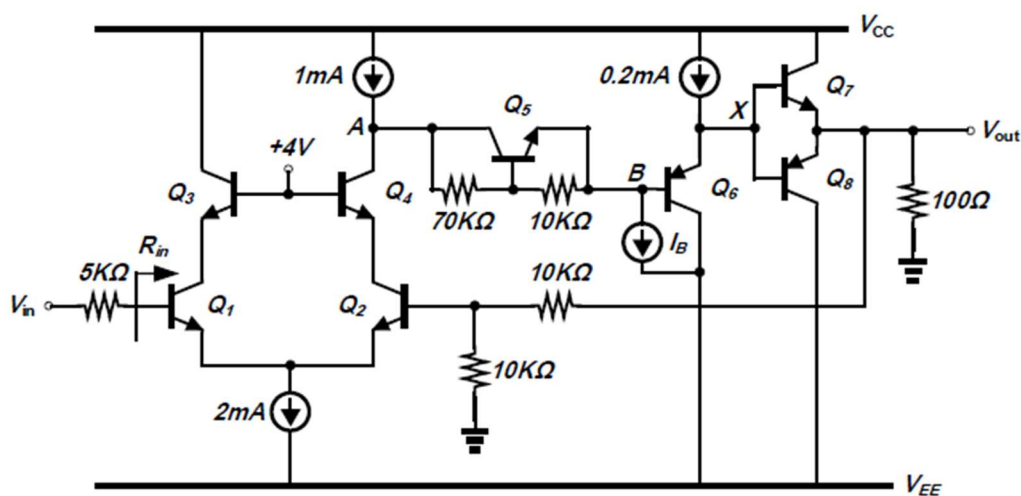


بسمه تعالی

پروژه شماره دو الکترونیک دو - دکتر مدی

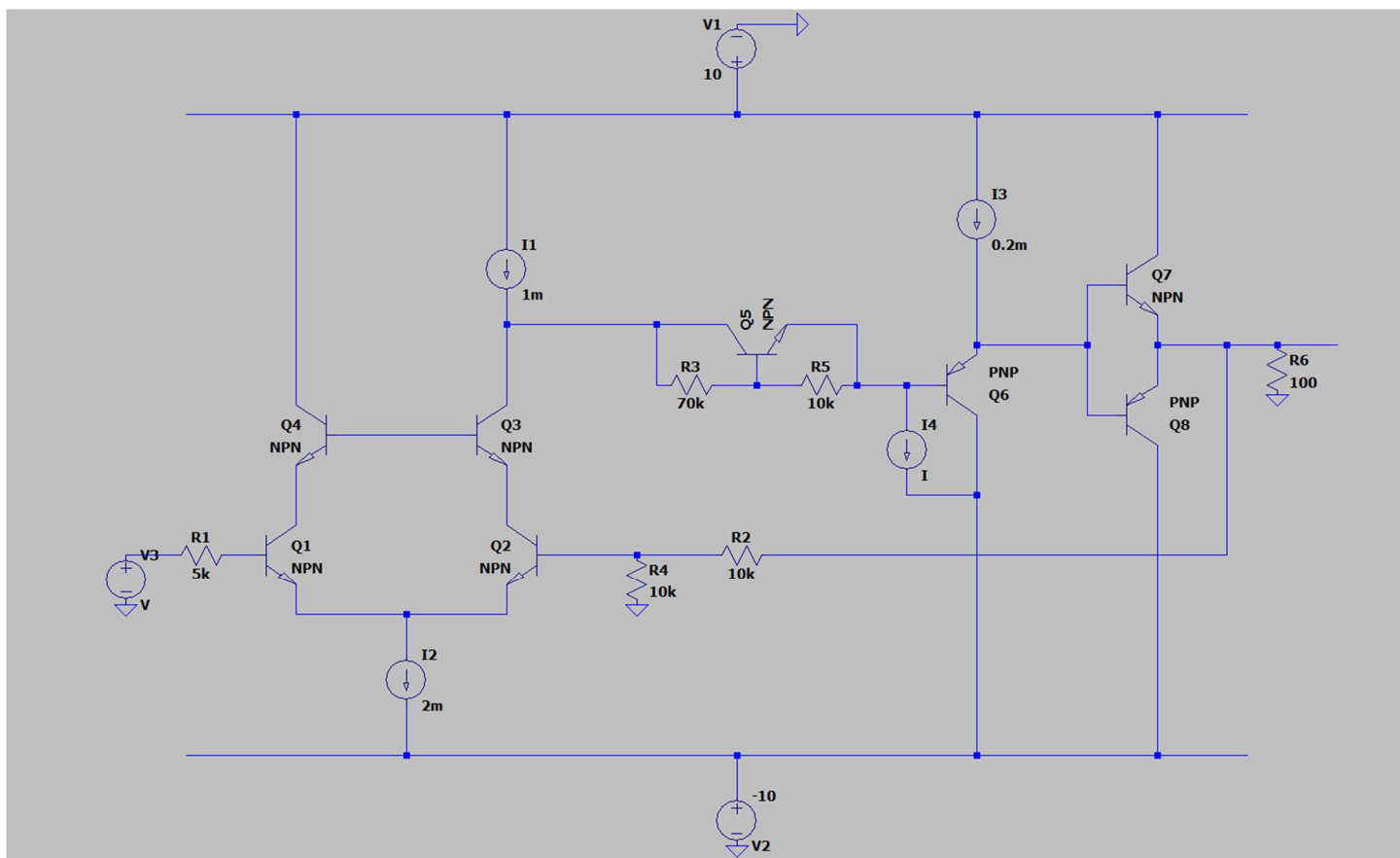
مهدی قلی‌زاده کلان - 401102337

شماتیک اولیه مدار به صورت زیر است .



شکل ۱: شماتیک مدار تقویت کننده توان

که ما آن را در LtSpice به صورت زیر طراحی کردیم :



3 - تحلیل اولیه مدار :

1) ترانزیستورهای Q1,Q2,Q3,Q4 طبقه ورودی را تشکیل داده‌اند و ترانزیستورهای Q7,Q8 طبقه خروجی هستند، شایان ذکر است طبقه خروجی کلاس B است.

2) می‌دانیم جریان امیتر $\frac{\beta}{201}$ برابر جریان کالکتور است پس جریان کالکتور Q5 مطابق زیر بررسی می‌شود :

$$1mA = \left(\frac{\beta^2}{201^2} \right) 1mA + I_{C5}$$

$$I_{C5} \sim 10\mu A$$

برای آنکه ترانزیستور Q5 روشن باشد دو سر مقاومت R5 باید 0.7 ولت بیوفتد و از طرف دیگر جریان بیس ترانزیستور Q6 حدودا برابر $1.5\mu A$ است . پس :

$$I_B \sim 81.5\mu A$$

3) نقاط کار ترانزیستورها به صورت زیر است : (ترانزیستورهای منابع مستقل در جدول زیر نیامده‌اند.)

با فرض آنکه دو سر منبع جریان $1mA$ ولتاژ $0.2v$ افتاده است.

	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
I_C	1mA	1mA	1mA	1mA	10 μA	0.2mA		
V_{CE}	4v	4v	6.7	6.5	5.6v	14.9v	5.8v	14.2v

4) علت وجود ناحیه مرده این است که هر دو ترانزیستور Q7 و Q8 در فاصله بین 0.5 تا -0.5 ولت خاموش می‌باشند و ولتاژ خروجی صفر ولت است. وقتی یک مقاومت خیلی بزرگ در خروجی طبقه پوش پول قرار داده می‌شود، این به معنی افزایش تضعیف سیگنال در این نقطه خواهد بود. افزایش تضعیف می‌تواند باعث کاهش نویز و افزایش نسبت سیگنال به نویز شود که باعث بهبود کیفیت خروجی می‌شود. به علاوه، با لود شدن مقاومت بزرگ، می‌توان عملکرد و قدرت سیگنال را بهبود بخشید و احتمال وقوع ناحیه مرده را کاهش داد. این امر منجر به بهبود عملکرد و کاهش نقص‌ها در خروجی طبقه پوش پول می‌شود.

5) حد بالای CMR به صورت زیر به دست می‌آید :

$$4 - 0.7 - 0.2 + 0.7 = 3.8V$$

حد پایین CMR به صورت زیر به دست می‌آید :

$$-10 + 0.2 + 0.7 = -9.1V$$

محاسبات بالا با فرض اینکه $V_{CS(min)} = V_{CE(sat)} = 0.2V$ انجام شده است.

(6) علت محدود شدن سوییچ در مدار :

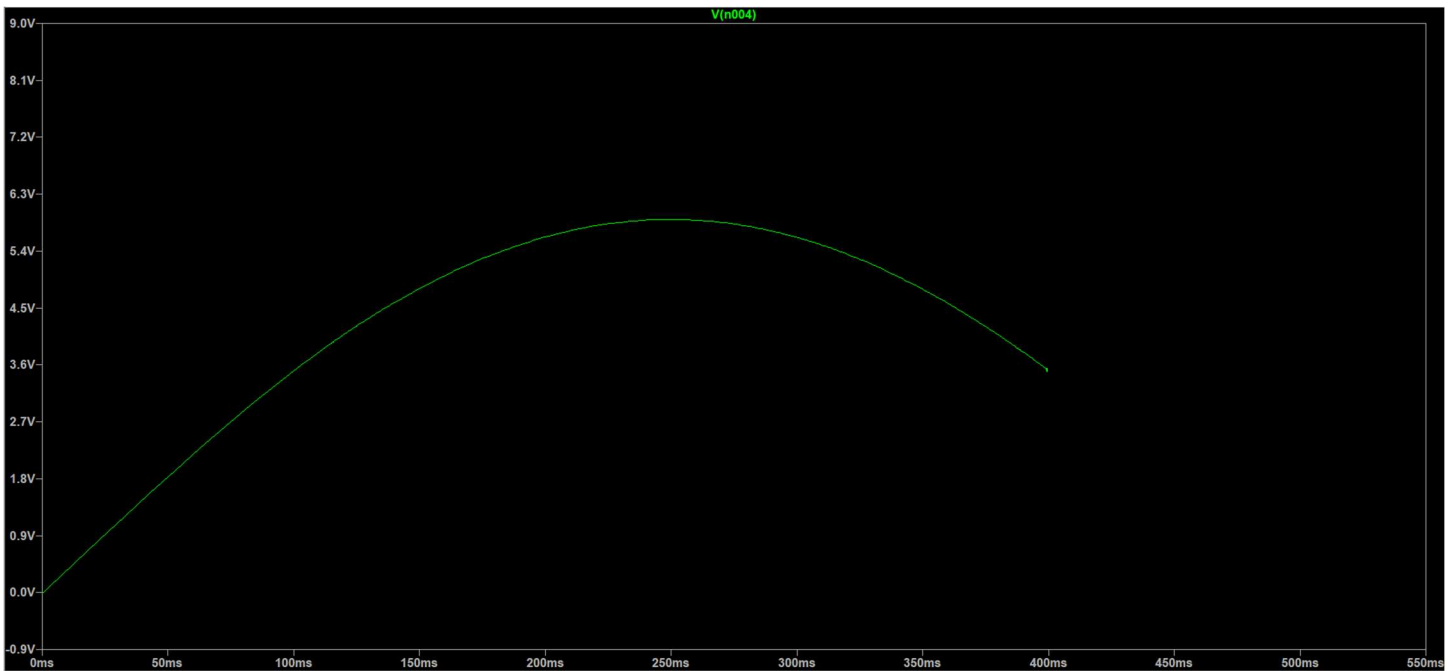
سوییچ در مدار به علت $V_{CS(min)}$ و $V_{CE(sat)}$ محدود می‌شود. محاسبه حد بالای سوییچ :

$$10 - 0.2 - 0.7 = 9.1V$$

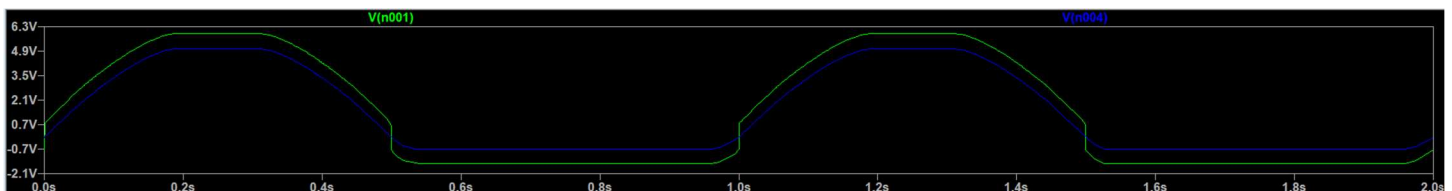
محاسبه حد پایین سوییچ به صورت زیر است :

$$-10 + 0.2 + 0.7 = -9.1V$$

(7) شکل مدار را در بالا گزارش کرده‌ایم حال به ازای ورودی سینوسی با دامنه 3 ولت و دی‌سی 0 ولت شکل موج خروجی به صورت زیر است :



(8) شکل موج گره X و گره خروجی به صورت زیر است : (شکل موج ورودی سینوسی با دامنه 3 ولت و فرکانس 1 هرتز)



(9) ابتدا سوییچ را در حالت اول بررسی کرده و به نتیجه زیر می‌رسیم :

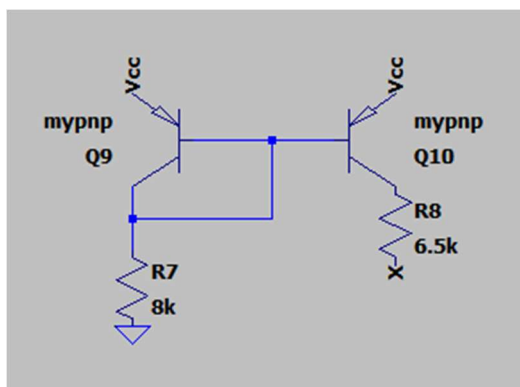


حال اگر ولتاژ بایاس 4 ولت را به 0.7 ولت برسانیم ، به سوییچ زیر می‌رسیم :

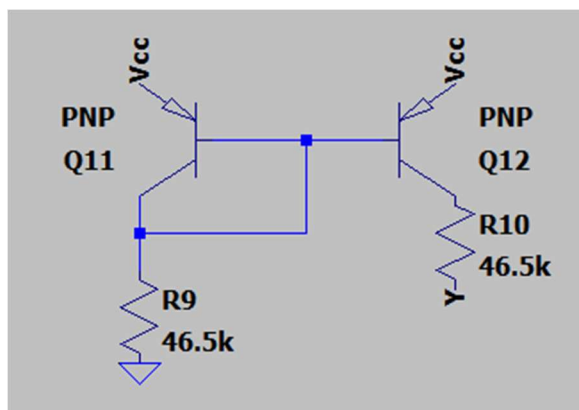


4- مطلوبات و عناصر مورد استفاده :

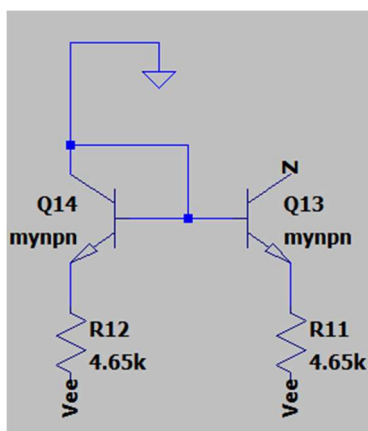
ترانزیستورهای داده شده را در نرم افزار تعریف کرده و زین پس از آن ها استفاده می کنیم. حال باید به جای منابع جریان مستقل از مدار ترانزیستوری آن ها استفاده کنیم. ما از آینه جریان ساده با مقاومت برای منابع جریان استفاده می کنیم. مدار منبع جریان $1mA$ به صورت زیر است :



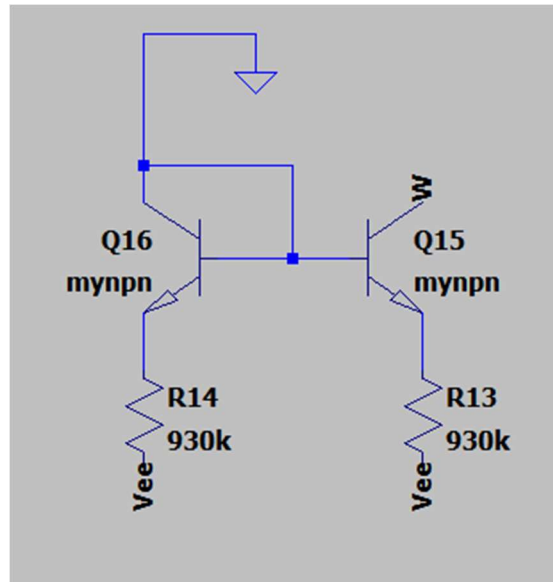
مدار منبع جریان $0.2mA$ به صورت زیر است :



مدار منبع جریان $2mA$ به صورت روبرو است :



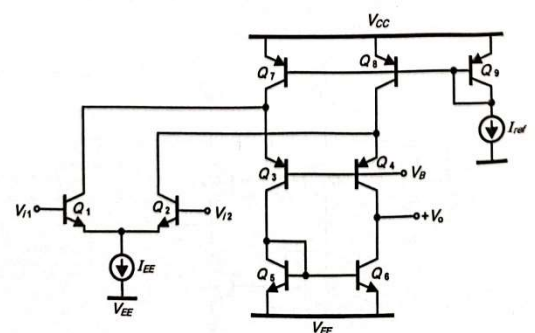
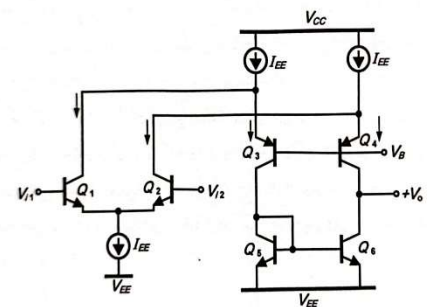
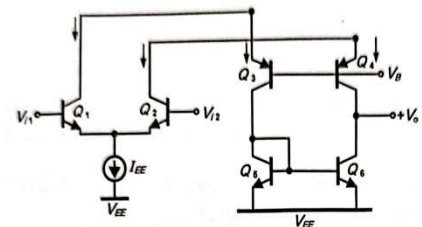
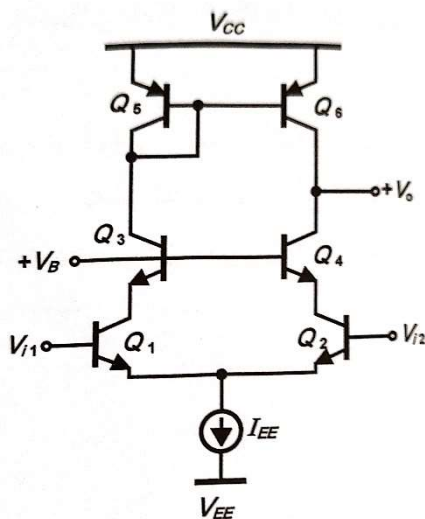
مدار منبع جریان $10\mu A$ به صورت زیر است :



5- طراحی مدار :

1) ما ابتدا با مداری مطابق شکل روبرو هستیم :

سپس با استفاده از مراحل زیر به *folded cascode* می‌رسیم :



مدار تلسکوپی بالا را دوباره به شکل *folded* رسم کرده‌ایم با این تفاوت که ترانزیستورهای $Q4$ و $Q3$ را PNP و ترانزیستورهای $Q5$ و $Q6$ را NPN انتخاب کرده‌ایم. مدار معادل AC هر دو مدار یکسان می‌باشد و در صورتیکه مشخصات ترانزیستورهای NPN و PNP یکسان می‌بود معادلات و روابط AC هر دو مقدار یکسان می‌شد. در هر حال اختلاف مشخصات ترانزیستورهای PNP و NPN به مقدار کمی رفتار AC نظیر ضریب تقویت و یا مشخصات فرکانسی را تحت تاثیر قرار می‌دهد. اما برای اینکه مدار به‌طور

مناسب عمل کند لازم است که شرایط DC برای عملکرد مناسب را داشته باشد.

2و3) مدار طراحی شده به صورت زیر است :

مدارات منابع استفاده شده در شکل بعدی آورده شده است :

