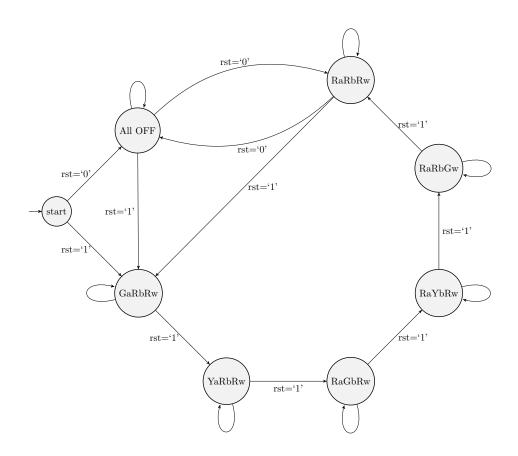
تمرین چراغ راهنمایی و رانندگی

فاطمه علىملكى مهدى حقوردي ۵ دی ۲ ۱۴۰

		مطالب															ن ،	ہرست														
۲																													رام	دیاگر		١
۲																												ات	يحا	توض		۲
٢																				c]	lo	ck	_d	iv	ric	le.				1.7		
٣																									tr	f	с.	ucí	-	7.7		
٣																							tr	af	fi	c.	. v	hd]	L	٣.٢		
٣																			tr	af	fi	.c	بت	بود	موح	•	١	۲.۳.	ĺ			

۱ دیاگرام



در این دیاگرام، وضعیتهای ماشین کشیده شدهاند. یالهای حلقه روی وضعیتها میزان زمان ایستادن روی آن وضعیت هستند که وقتی در کلاس آزمایش انجام شد و اعداد آنها بدست آمد، نوشته می شوند.

۲ توضیحات

در این قسمت توضیحاتی راجع به کدها میدهیم.

clock_divide.vhdl \.Y

که قبلا توضیح داده شده و تعداد کلاک MHz را به عدد $1~\mathrm{MHz}$ تبدیل میکند.

trfc.ucf ۲.۲ با مراجعه به توضیحات سایت تولید کننده ی برد این فایل را نوشتیم.

```
1  NET "clk_100MHz" LOC = P50;
2  NET "rst" LOC = P51;
3  NET "lights[0]" LOC = P132;
4  NET "lights[1]" LOC = P131;
5  NET "lights[2]" LOC = P127;
6  NET "lights[3]" LOC = P126;
7  NET "lights[4]" LOC = P124;
8  NET "lights[5]" LOC = P123;
9  NET "lights[6]" LOC = P121;
10  NET "lights[7]" LOC = P120;
```

traffic.vhdl ۳.۲ traffic موجودیت ۱.۳.۲

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.all;
   use IEEE.STD_LOGIC_unsigned.all;
4
5
   entity traffic is
       port (
6
7
          clk_100MHZ: in std_logic;
          rst: in std_logic;
8
          LEDS: out std_logic_vector(7 downto 0)
9
10
       );
11
   end traffic;
```

- clk_100MHZ: كلاك ورودى از برد.
 - rst: دکمه ی K1
 - LEDS: چراغهای LEDS

```
12
   architecture traffic of traffic is
       component clock_divide
13
14
          port (
15
              clk_in: in std_logic;
              clk_out: out std_logic
16
17
          );
       end component;
18
19
20
       -- clock
21
       signal clk_1Hz: std_logic;
22
23
       -- states
       type state_type is (s0, s1, s2, s3, s4, s5, s6);
24
25
       signal state: state_type;
26
27
       -- state counter
28
       signal count: std_logic_vector(2 downto 0);
```

ابتدا از موجودیت clock_divider یک کامپوننت تعریف میکنیم تا بتوانیم از آن استفاده کنیم، سپس ۳ سیگنال تعریف میکنیم:

- clk_1Hz •
- این سیگنال، مقدار خروجی کامپوننت clock_divider را دریافت میکند.
 - state •
- این سیگنال از نوع state_type است که بالای سیگنال تعریف شده و مقادیر stateهای موجود در دیاگرام (۱) را میتواند داشته باشد.
 - count •
 - سیگنالی برای شماره ثانیهها؛ به کمک این سیگنال بین stateها جابجا میشویم.