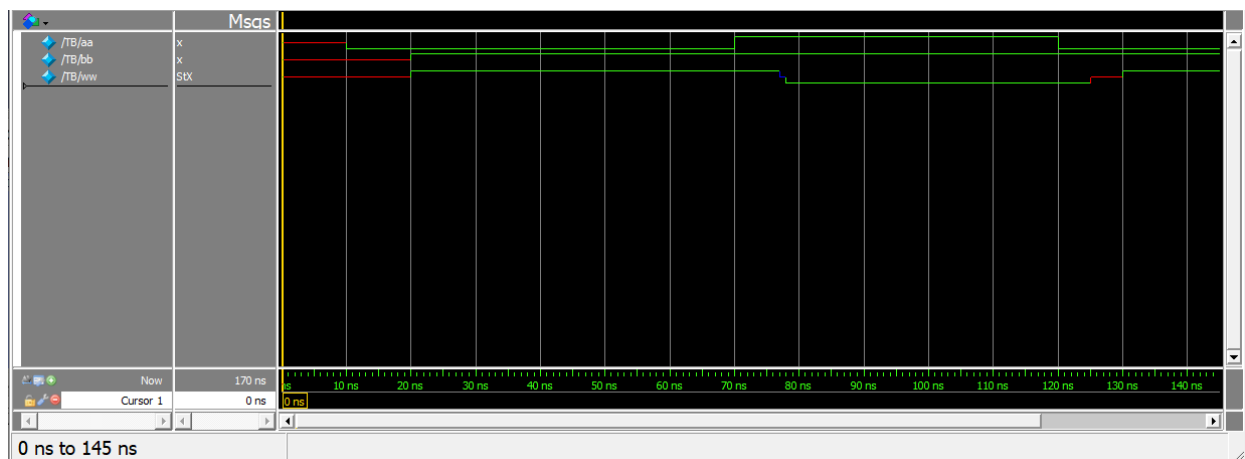


حل دستی: انتظار می‌رود بدترین تأخیر یک شدن وقتی باشد که nmosهای پایین هر دو مجبور شوند Z بفرستند (10ns) و یکی از ترانزیستورهای بالا یک بفرستد (5ns) که این کار مجموعاً ۱۰ نانوثانیه زمان می‌برد و بدترین تأخیر صفر شدن زمانی باشد که ترانزیستورهای pmos Z بفرستند (7ns) و هر دو ترانزیستور nmos صفر بفرستند (8ns) که این کار مجموعاً ۸ نانوثانیه زمان می‌برد.

آزمایش حل دستی: بدترین تأخیر برای یک شدن، تبدیل حالت «B=1 و A=1» به حالت «B=1 و A=0» می‌باشد که میزان آن از طرف nmos، $2 \times 5 = 10\text{ns}$ می‌باشد. بدترین تأخیر برای صفر شدن، تبدیل حالت «B=1 و A=0» به حالت «B=1 و A=1» می‌باشد که میزان آن از طرف pmos، $2 \times 4 = 8\text{ns}$ می‌باشد. نتیجه تست‌بنج به صورت زیر است.

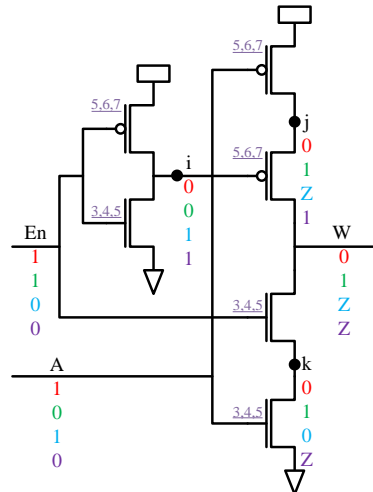


```

1  *timescale 1ns/1ns
2
3  module nand_2in (input a, input b, output w);
4      supply1 Vdd;
5      supply0 Gnd;
6      wire i;
7      pmos #(5,6,7) T1(w,Vdd,a);
8      pmos #(5,6,7) T2(w,Vdd,b);
9      nmos #(3,4,5) T3(w,i,b);
10     nmos #(3,4,5) T4(i,Gnd,a);
11 endmodule
12
13
14
15 module TB ();
16     reg aa;
17     reg bb;
18     wire ww;
19     nand_2in my_ic(aa, bb, ww);
20     initial begin
21         #10 aa=0;
22         #10 bb=1;
23         #50 aa=1; //to 0
24         #50 aa=0; //to 1
25         #50 $stop;
26     end
27 endmodule

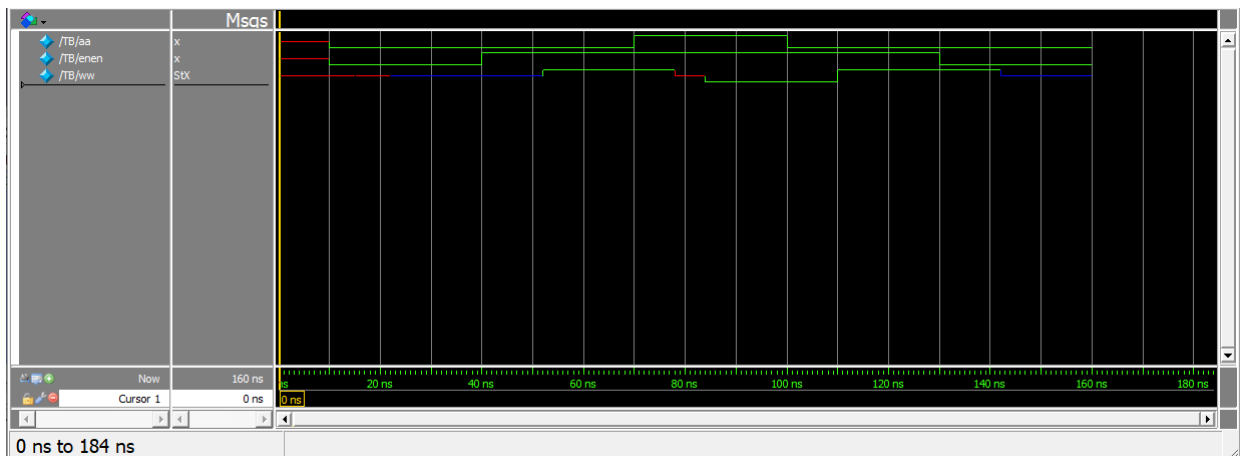
```

۲



حل دستی: برای بدترین تأخیر toZ باید En از یک به صفر تبدیل شود. بین دو حالت اولیه A=0 یا A=1، حالت بدتر زمانی است که A=0 بوده و بخواهد یک شود (5ns طول می‌کشد تا i یک شود و 7ns طول می‌کشد تا w، Z شود). برای بدترین تأخیر to1 و to1 به نظر می‌آید بهتر باشد En از صفر به یک تبدیل شود تا به مسیر طولانی‌تری برای رسانایی نیاز شود. این موضوع برای تبدیل خروجی به ۱ (یعنی A=0) صحیح است و 12ns (5ns تا i صفر شود و 7ns تا w یک شود) زمان صرف می‌شود. اما برای تبدیل خروجی به صفر (یعنی A=1) این اتفاق نمی‌افتد و بدترین تأخیر برای زمانی خواهد بود که A از صفر به یک تبدیل شود که با خود 2x5=10ns زمان به همراه خواهد داشت.

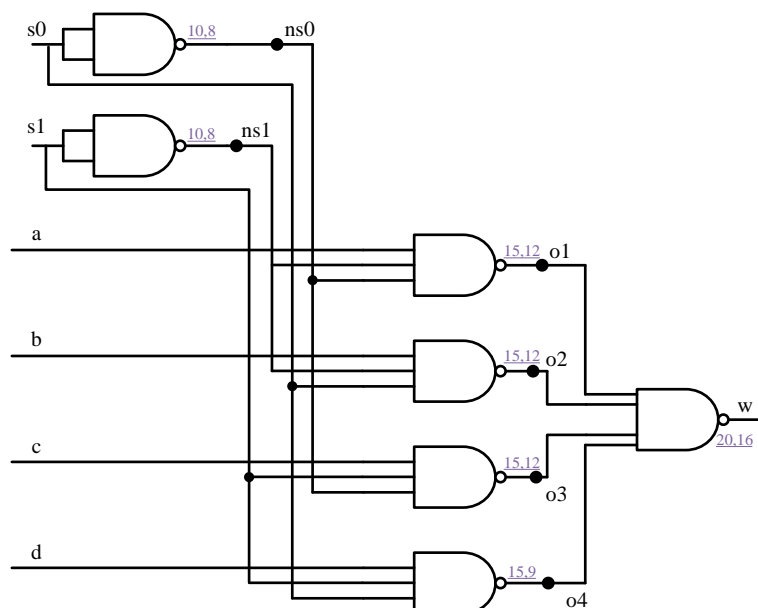
آزمایش حل دستی: بدترین تأخیر برای یک شدن، تبدیل حالت «A=0 و En=0» به حالت «A=0 و En=1» می‌باشد که 12ns طول می‌کشد تا خروجی از Z به ۱ تبدیل شود. بدترین تأخیر برای صفر شدن، تبدیل حالت «A=0 و En=1» به حالت «A=1 و En=1» می‌باشد که 14ns طول می‌کشد تا خروجی از ۱ به X و سپس از X به ۰ تبدیل شود. بدترین تأخیر برای Z شدن، تبدیل حالت «A=0 و En=1» به حالت «A=0 و En=0» می‌باشد که 12ns طول می‌کشد تا خروجی از ۱ به Z تبدیل شود. نتیجه تست‌بنج به صورت زیر است.



```

1 timescale 1ns/1ns
2
3 module TSB (input a, input en, output w):
4     supply1 Vdd;
5     supply0 Gnd;
6     wire i,j,k;
7     pmos #(5,6,7) T1(j,Vdd,a), T2(w,j,i), T3(i,Vdd,en);
8     nmos #(3,4,5) T4(i,Gnd,en), T5(w,k,en), T6(k,Gnd,a);
9 endmodule
10
11
12
13 module TB ():
14     reg aa;
15     reg enen;
16     wire ww;
17     TSB my_ic(aa, enen, ww);
18     initial begin
19         #10 aa=0; enen=0; //Initialize
20         #30 enen=1; //to 1 (from 0)
21         #10 aa=1; //to 0 (from 1)
22         #10 aa=0; enen=1; //Restart Initialize
23         #30 enen=0; //to 0 (from 1)
24         #30 $stop;
25     end
26 endmodule
    
```

۳



حل دستی: با توجه به سؤال یک، در هر nand gate دو ورودی، بدترین تأخیر $to1$ 10ns و بدترین تأخیر $to0$ 8ns می‌باشد. با استدلال مشابه، برای هر nand gate سه ورودی، بدترین تأخیر $to1$ 15ns و بدترین تأخیر $to0$ 12ns است. برای چهار nand gate ورودی نیز بدترین تأخیر $to1$ 20ns و بدترین تأخیر $to0$ 16ns می‌باشد. بسیاری از این حالات ممکن است در ساختار فوق اصلاً رخ ندهد اما بدون یک تحلیل قوی، انتظار می‌رود بدترین حالت $to1$ ، وقتی باشد که گیت چهار ورودی، 20ns، گیت سه ورودی، 15ns و گیت دو ورودی، 10ns و در مجموع 45ns زمان صرف شود. بدترین حالت $to0$ نیز وقتی خواهد بود که گیت چهار ورودی، 16ns، گیت سه ورودی، 15ns و گیت دو ورودی، 10ns و در مجموع 41ns زمان صرف شود. حالا با دقت بیشتری مدار را تحلیل دستی می‌کنیم.

$to1$: به نظر می‌آید بدترین حالت $to1$ این مجموعه وقتی باشد که ۱۰ نانوثانیه گیت دو ورودی، ۱۵ نانوثانیه گیت سه ورودی و ۲۰ نانوثانیه گیت چهار ورودی زمان صرف کند. با کمی دقت متوجه می‌شویم این حالت که هر سه گیت‌های در یک مسیر با هم از صفر به یک تبدیل شوند وجود ندارد. اگر گیت چهار ورودی بخواند $to1$ شود (20ns)، باید همه گیت‌های سه ورودی $to0$ شوند (12ns). برای گیت‌های دو ورودی می‌توان دو حالت $to0$ و $to1$ را در نظر گرفت و چون بدترین حالت مد نظر است، $to1$ در نظر گرفته می‌شود (10ns). بنابراین طبق حالت زیر، به میزان 10+12+20=42ns تأخیر برای $to1$ شدن کل مجموعه خواهیم داشت.

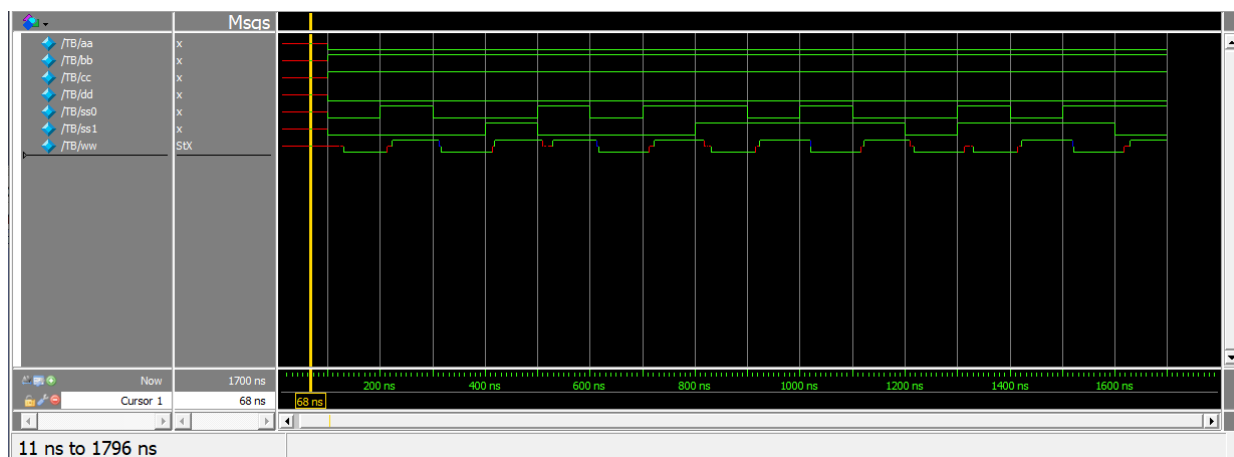
$$\begin{cases} s0 = 1 \\ s1 = 1 \rightarrow 0 \\ a = 1 \\ b = 1 \\ c = 1 \\ d = 0 \end{cases}$$

$to0$: برای اینکه گیت چهار ورودی $to0$ شود (16ns)، باید حداقل یکی از گیت‌های سه ورودی $to1$ شوند (15ns). گیت‌های دو ورودی هم می‌توانند $to0$ یا $to1$ شوند. از آنجا که خروجی گیت سه ورودی، صفر بوده پس ورودی‌های آن باید ۱ باشند و یکی از ورودی‌ها به صفر تبدیل شود. در بدترین حالت، یکی از گیت‌های دو ورودی به صفر تبدیل می‌شود (8ns). نهایتاً 8+15+16=39ns تأخیر خواهیم داشت.

$$\begin{cases} s0 = 1 \\ s1 = 0 \rightarrow 1 \\ a = 0 \\ b = 1 \\ c = 0 \\ d = 0 \end{cases}$$

۳

آزمایش حل دستی: با استفاده از تقارن، حالت اولیه را برابر «a=0, b=1, c=1, d=0» قرار می‌دهیم و با s0 و s1 حالات مختلف را امتحان می‌کنیم.



در مجموع ۸ حالت تست شد که نتایج آن به نحو زیر است:

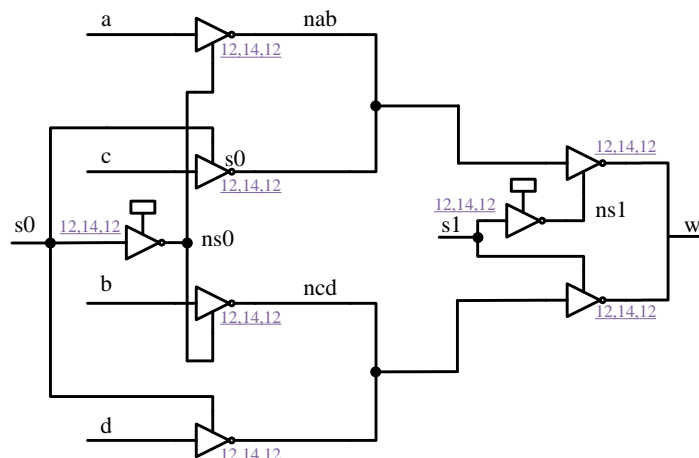
$\{to0: 17, 30, 21, 18$
 $\{to1: 22, 18, 22, 28$

یعنی به نظر می‌آید بدترین تأخیر to1 برابر 28ns و بدترین تأخیر to0 30ns می‌باشد که کمتر از نتایج حاصل از حل دستی است.

```

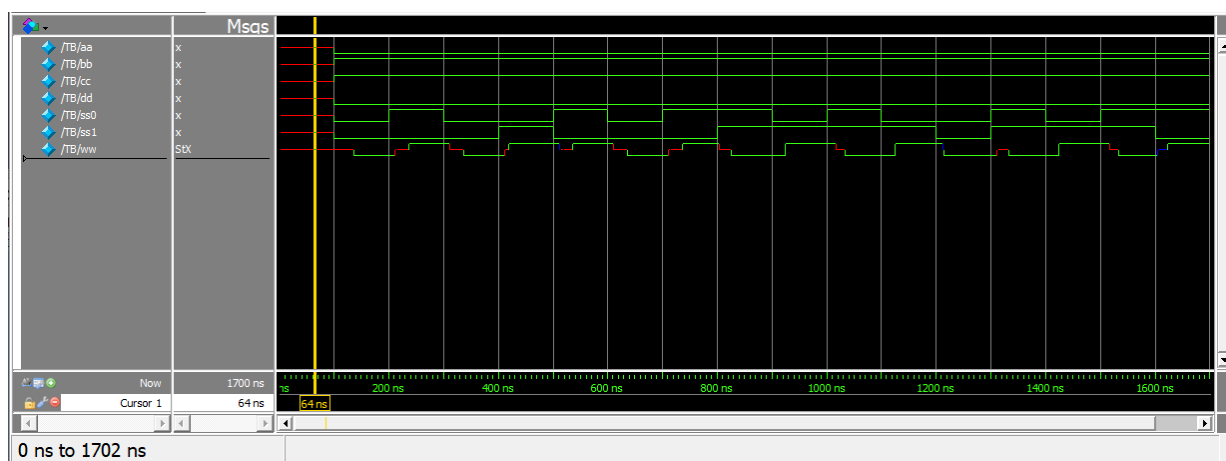
39 module mux_4to1 (input s0, input s1, input a, input b, input c, input d, output w);
40     supply1 Vdd;
41     supply0 Gnd;
42     wire ns0, ns1, o1, o2, o3, o4;
43
44     nand_2in nand1(s0,s0,ns0);
45     nand_2in nand2(s1,s1,ns1);
46
47     nand_3in nand3(a,ns1,ns0,o1);
48     nand_3in nand4(b,ns1,ns0,o2);
49     nand_3in nand5(c,ns1,ns0,o3);
50     nand_3in nand6(d,ns1,ns0,o4);
51
52     nand_4in nand7(o1,o2,o3,o4,w);
53 endmodule
54
55 module TB ();
56     reg aa,bb,cc,dd,ss0,ss1;
57     wire ww;
58     mux_4to1 my_4to1(ss0,ss1,aa,bb,cc,dd,ww);
59     initial begin
60         #100 ss0=0;ss1=0;aa=0;bb=1;cc=1;dd=0; //Initialize (t=100)
61         #100 ss0=0;
62         #100 ss0=0;ss1=0;aa=0;bb=1;cc=1;dd=0; //Reinitialize (t=300)
63         #100 ss1=1;
64         #100 ss0=0;ss1=0;aa=0;bb=1;cc=1;dd=0; //Reinitialize (t=500)
65         #100 ss0=0;
66         #100 ss0=0;ss1=0;aa=0;bb=1;cc=1;dd=0; //Reinitialize (t=700)
67         #100 ss1=1;
68         #100 ss0=0;ss1=1;aa=0;bb=1;cc=1;dd=0; //Reinitialize (t=900)
69         #100 ss0=0;
70         #100 ss0=0;ss1=1;aa=0;bb=1;cc=1;dd=0; //Reinitialize (t=1100)
71         #100 ss1=0;
72         #100 ss0=0;ss1=1;aa=0;bb=1;cc=1;dd=0; //Reinitialize (t=1300)
73         #100 ss0=0;
74         #100 ss0=0;ss1=1;aa=0;bb=1;cc=1;dd=0; //Reinitialize (t=1500)
75         #100 ss1=1;
76         #100 $stop;
77     end
78 endmodule
  
```

۴



حل دستی: در بدترین حالت t_{00} سه گیت باید t_{00} شوند که هر کدام 14ns زمان و در مجموع 42ns زمان صرف می‌شود. در بدترین حالت t_{01} آخرین گیت باید t_{01} شود که 12ns و دو گیت قبل می‌توانند روی هم $2 \times 14 = 28\text{ns}$ زمان صرف کنند که در مجموع 40ns زمان خواهد شد.

آزمایش حل دستی: مشابه سؤال قبل با استفاده از تقارن، حالت اولیه را برابر « $a=0, b=1, c=1, d=0$ » قرار می‌دهیم و با s_0 و s_1 حالات مختلف را امتحان می‌کنیم.



در مجموع ۸ حالت تست شد که نتایج آن به نحو زیر است:

$\{t_{00}: 36, 26, 33, 14$
 $\{t_{01}: 36, 19, 24, 22$

یعنی به نظر می‌آید بدترین حالت t_{00} و t_{01} هر دو 36ns باشد که کمتر از نتایج حاصل از حل دستی است.

[illegible]