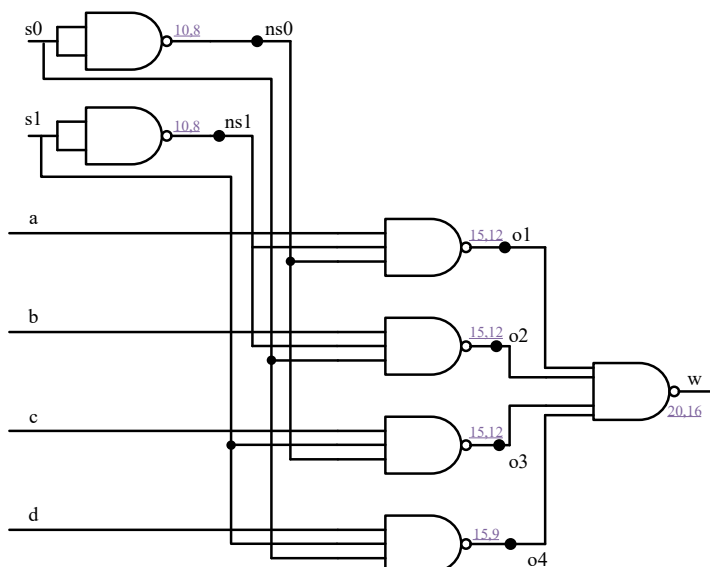


۱ مدار رسم شده در قسمت سوم CA1 به فرم زیر است. در آنجا با استفاده از آزمایش، بدترین حالت برای یک شدن 28ns و بدترین حالت برای صفر شدن 30ns پیدا شد.



برای تعریف کردن این ماژول در سیستم وریلاگ، کد زیر نوشته شد.

```

1  `timescale 1ns/1ns
2
3  module mux (input s0, s1, a, b, c, d, output w);
4      assign #(28,30) w = (s0==0 & s1==0) ? a:
5                          (s0==0 & s1==1) ? b:
6                          (s0==1 & s1==0) ? c:
7                          (s0==1 & s1==1) ? d:
8                          1'bx;
9  endmodule
10
11 module TB ();
12     reg aa, bb, cc, dd, ss0, ss1;
13     wire ww;
14     mux my_ic(ss0, ss1, aa, bb, cc, dd, ww);
15     initial begin
16         #50 aa=0; bb=1; cc=0; dd=1; ss0=0; ss1=0;
17         #50 ss0=1;
18         #50 ss1=1;
19         #50 dd=0;
20         #50 $stop;
21     end
22 endmodule

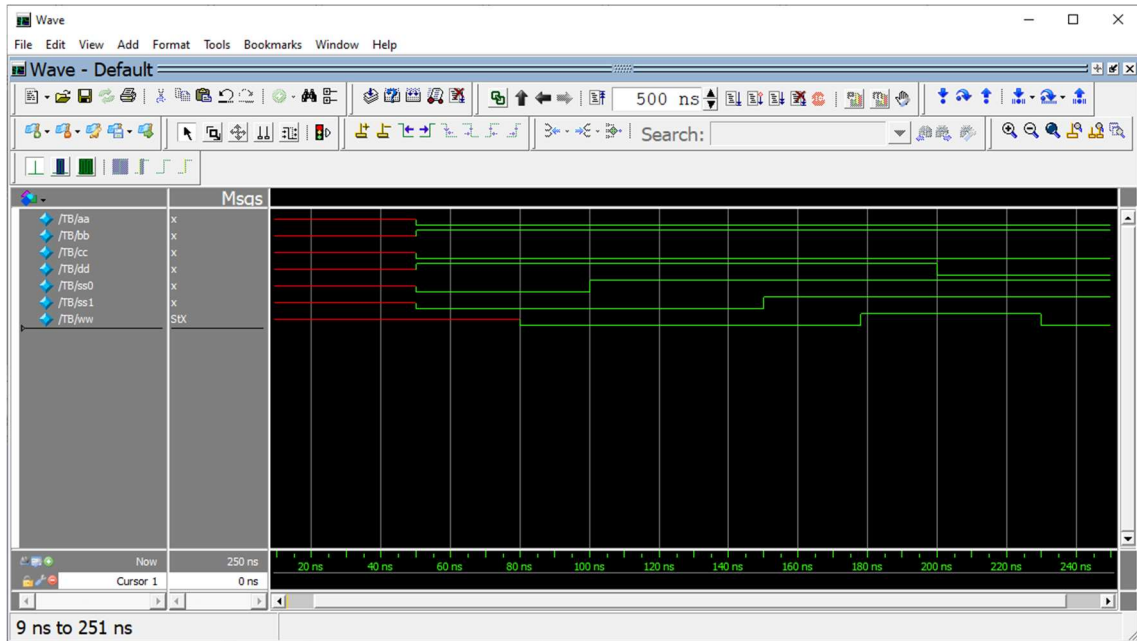
```

انتظار می‌رود این ماژول از جدول درستی زیر پیروی کند:

s0	s1	w
0	0	a
0	1	b
1	0	c
1	1	d

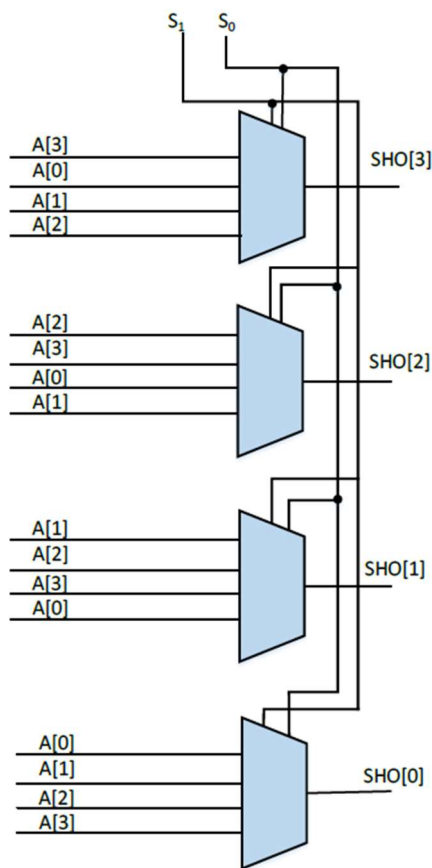
۱

در اینجا چندین حالت تست و بررسی می‌شود تا نشان داده شود ماژول به درستی کار می‌کند و نتیجه دلخواه ما را برآورده می‌سازد.



شماره سوال	محمد مهدی معینی منش	سیستم‌های دیجیتال	تاریخ تحویل:
۸۱۰۱۹۸۴۷۵	CA2	۱۴۰۰/۱/۲۸	۳/۹

همانطور که در صورت پروژه هم آورده شده است، مداری مطابق با مدار شکل زیر برای این قسمت در نظر گرفته می‌شود. که هر بلوک آبی‌رنگ، همان mux-های ذکر شده در قسمت اول می‌باشد.



برای تعریف کردن این ماژول در سیستم وریلاگ، کد زیر نوشته شد.

```

1  `timescale 1ns/1ns
2
3  module mux (input s0, s1, a, b, c, d, output w);
4      assign #(28,30) w = (s0==0 & s1==0) ? a:
5                          (s0==0 & s1==1) ? b:
6                          (s0==1 & s1==0) ? c:
7                          (s0==1 & s1==1) ? d:
8                          1'bxx;
9  endmodule
10
11 module barrel_shifter (input [3:0] A, [1:0] S, output [3:0] SHO);
12     mux mux1 (S[1], S[0], A[3], A[0], A[1], A[2], SHO[3]);
13     mux mux2 (S[1], S[0], A[2], A[3], A[0], A[1], SHO[2]);
14     mux mux3 (S[1], S[0], A[1], A[2], A[3], A[0], SHO[1]);
15     mux mux4 (S[1], S[0], A[0], A[1], A[2], A[3], SHO[0]);
16 endmodule
17
18 module TB ();
19     reg [3:0] AA;
20     reg [1:0] SS;
21     wire [3:0] WW;
22     barrel_shifter my_ic(AA, SS, WW);
23     initial begin
24         #50 AA=4'b1001; SS=2'b11;
25         #50 AA=4'b0110;
26         #50 SS=2'b00;
27         #50 $stop;
28     end
29 endmodule

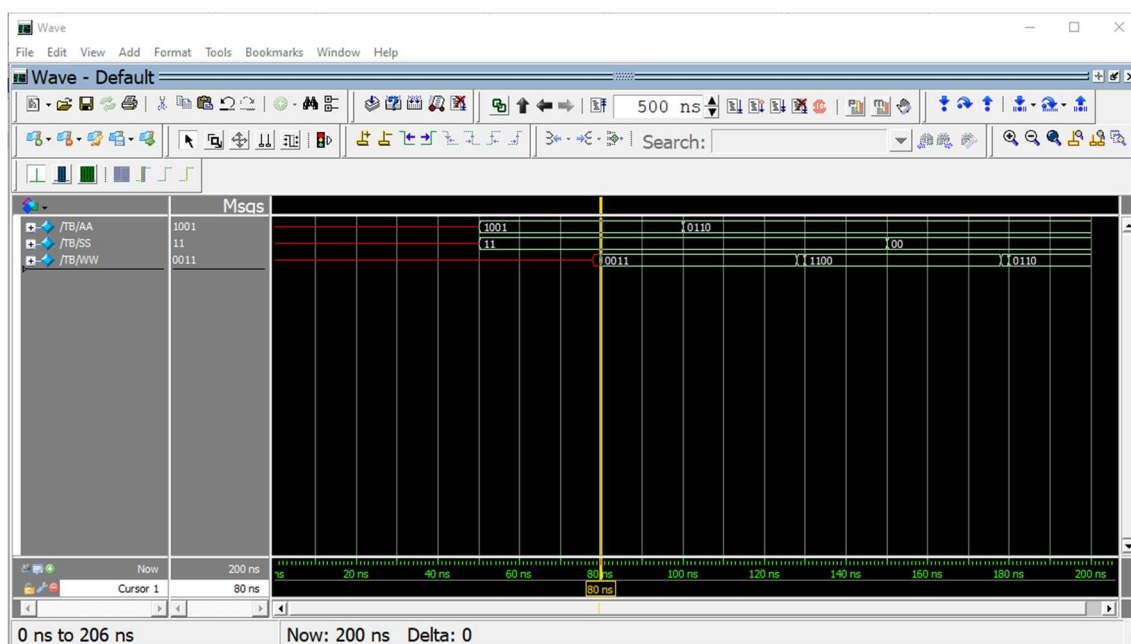
```

۲

جدول درستی این قطعه به صورت زیر است.

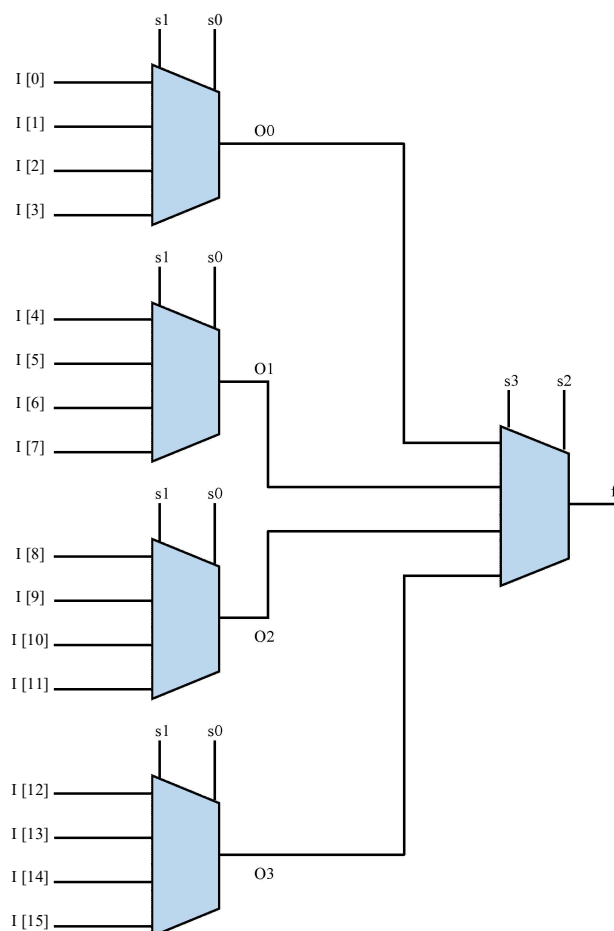
S [1:0]	SHO [3]	SHO [2]	SHO [1]	SHO [0]
00	A [3]	A [2]	A [1]	A [0]
01	A [0]	A [3]	A [2]	A [1]
10	A [1]	A [0]	A [3]	A [2]
11	A [2]	A [1]	A [0]	A [3]

پیش‌بینی می‌شود به علت ساختار موازی این قطعه RTL، حداکثر تأخیر یک شدن هر کدام از خروجی‌ها، 30ns و بدترین تأخیر صفر شدن هر کدام از خروجی‌ها، 28ns باشد. با اجرای تست‌بنچ^۱ نشان داده‌شده که در آن چندین مورد تست شده است، این موضوع اثبات می‌شود (بعد از 28ns خروجی‌هایی که باید یک شوند، یک می‌شوند و بعد از 2ns خروجی‌هایی که باید صفر شوند، صفر می‌شوند و در مجموع بعد از 30ns سیستم به حالت پایدار می‌رسد).

¹ Testbench

۳

برای این قسمت مداري مشابه شکل زیر در نظر گرفته شده است.



برای تعریف کردن این ماژول در سیستم وریلاگ، کد زیر نوشته شد.

```
1  `timescale 1ns/1ns
2
3  module mux (input s0, s1, a, b, c, d, output w);
4      assign #(28,30) w = (s0==0 & s1==0) ? a:
5                          (s0==0 & s1==1) ? b:
6                          (s0==1 & s1==0) ? c:
7                          (s0==1 & s1==1) ? d:
8                          1'bxx;
9  endmodule
10
11 module mux_16to1 (input [15:0] I, [3:0] S, output f);
12     wire O0, O1, O2, O3;
13     mux mux1 (S[1], S[0], I[0], I[1], I[2], I[3], O0);
14     mux mux2 (S[1], S[0], I[4], I[5], I[6], I[7], O1);
15     mux mux3 (S[1], S[0], I[8], I[9], I[10], I[11], O2);
16     mux mux4 (S[1], S[0], I[12], I[13], I[14], I[15], O3);
17     muxo (S[3], S[2], O0, O1, O2, O3, f);
18 endmodule
19
20 module TB ();
21     reg [15:0] II;
22     reg [3:0] SS;
23     wire ff;
24     mux_16to1 my_ic(II, SS, ff);
25     initial begin
26         #100 II=16'b10101010101011100; SS=4'b0000;
27         #100 II=16'b10101010101011101;
28         #100 SS=4'b1111;
29         #100 II=16'b00101010101011101;
30         #100 II=16'b00000000000000000;
31         #100 $stop;
32     end
33 endmodule
```

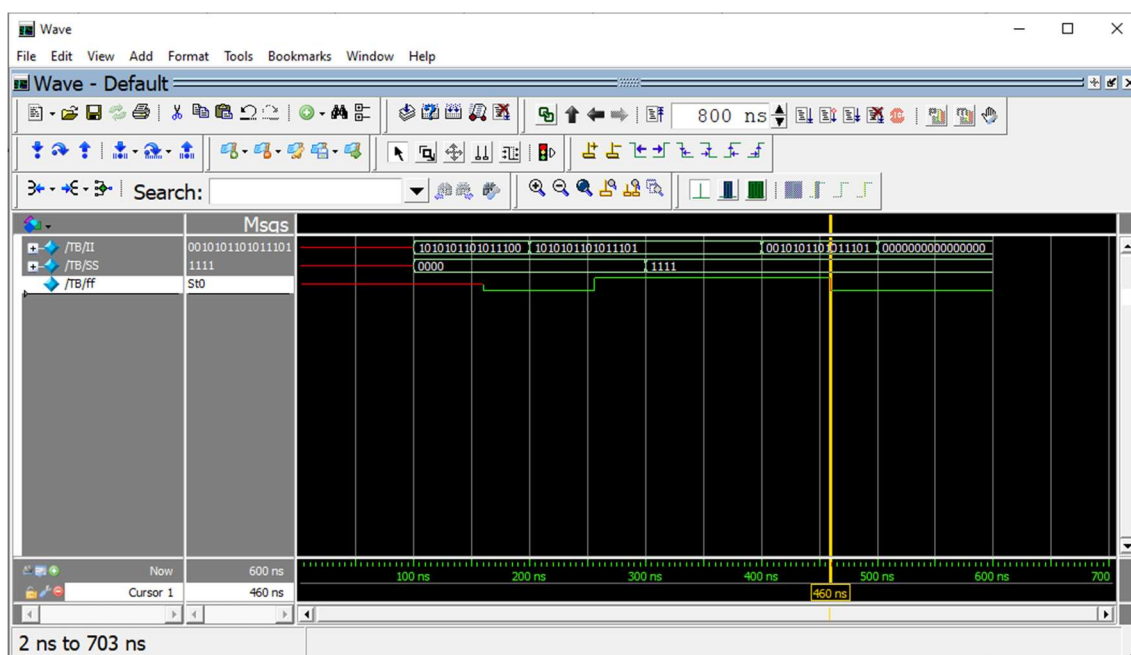
Verilog file length: 880 lines: 33 Ln: 1 Col: 1 Pos: 1 Windows (CR LF) UTF-8 INS

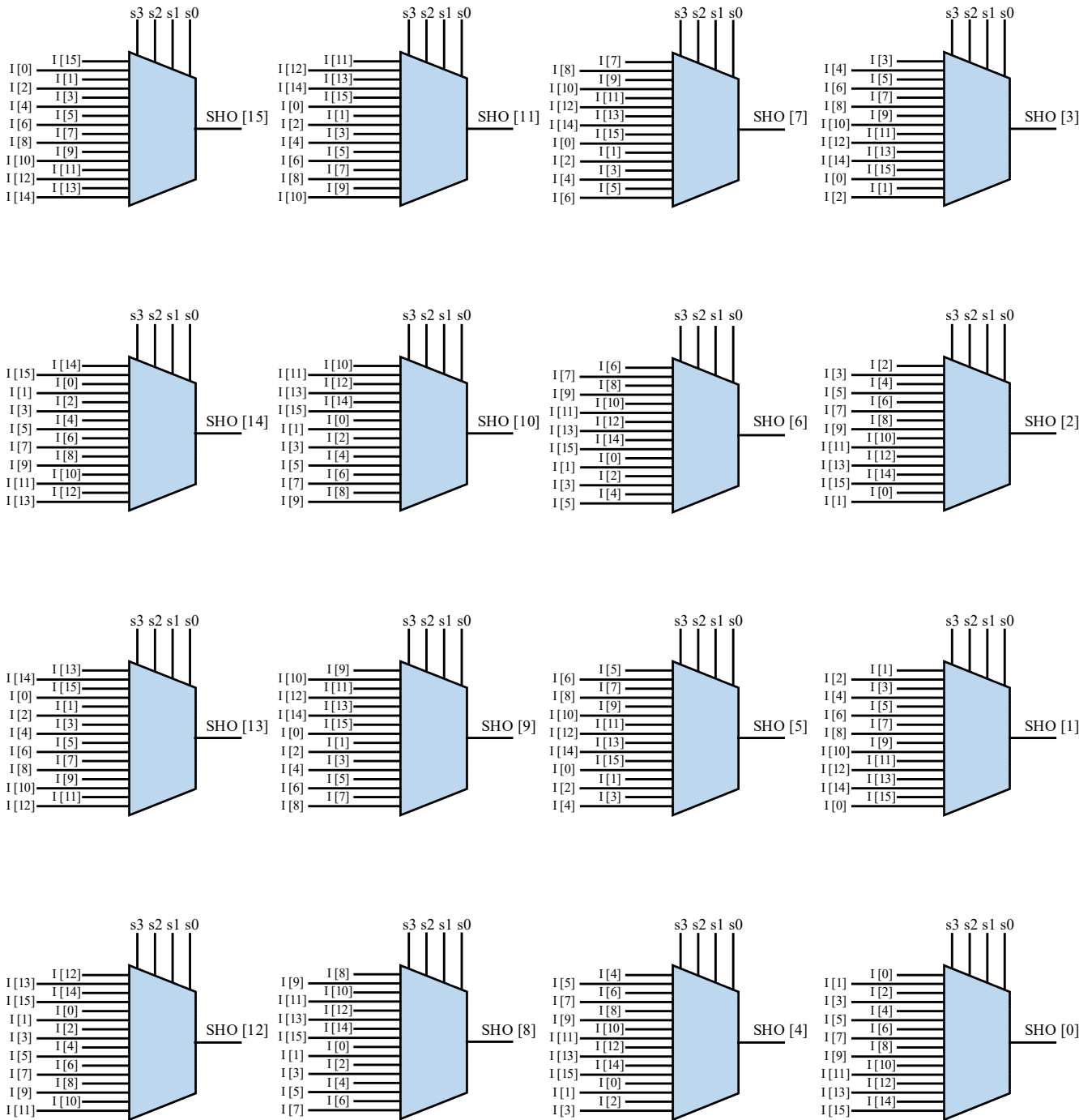
۳

جدول درستی این قطعه به صورت زیر است.

s0	s1	s2	s3	f
0	0	0	0	I[0]
0	0	0	1	I[1]
0	0	1	0	I[2]
0	0	1	1	I[3]
0	1	0	0	I[4]
0	1	0	1	I[5]
0	1	1	0	I[6]
0	1	1	1	I[7]
1	0	0	0	I[8]
1	0	0	1	I[9]
1	0	1	0	I[10]
1	0	1	1	I[11]
1	1	0	0	I[12]
1	1	0	1	I[13]
1	1	1	0	I[14]
1	1	1	1	I[15]

با توجه به ساختار دولایه‌ای بودن این قطعه، پیش‌بینی می‌شود بدترین تأخیر صفر شدن خروجی، $2 \times 30 = 60\text{ns}$ و بدترین تأخیر یک شدن خروجی، $2 \times 28 = 56\text{ns}$ باشد. در تست‌بنچ این سوال، چندین حالت بررسی می‌شود و پاسخ داده شده اثبات می‌گردد.



شماره سوال	محمد مهدی معینی منش ۸۱۰۱۹۸۴۷۵	سیستم‌های دیجیتال CA2	تاریخ تحویل: ۱۴۰۰/۱/۲۸ ۷/۹
۴	مدار طراحی شده به شکل زیر است. 		

شماره سوال	محمد مهدی معینی منش سیستم‌های دیجیتال CA2	تاریخ تحویل: ۱۴۰۰/۱/۲۸	۸/۹
---------------	---	---------------------------	-----

۴ برای تعریف کردن این ماژول در سیستم وریلاگ، کد زیر نوشته شد.

```

D:\University\Term4\Digital Systems\CA5\2\Q4.v - Notepad++
File Edit Search View Encoding Language Settings Tools Macro Run Plugins Window ?
change.log Q4.v
20 module barrel_shifter_16bit (input [15:0] I, [3:0] S, output [15:0] SHO);
21 reg [15:0] IA [0:16];
22 reg temp [0:16];
23
24 assign IA[0] = I;
25 for (genvar n=1;n<17;n=n+1)begin
26   assign temp[n-1]=IA[n-1][15];
27   for (genvar m=0;m<15;m=m+1)begin
28     assign IA[n][15-m]=IA[n-1][15-m-1];
29   end
30   assign IA[n][0]=temp[n-1];
31 end
32
33 mux_16to1 mux1 (IA[1], S, SHO[15]), mux2 (IA[2], S, SHO[14]),
34 mux3 (IA[3], S, SHO[13]), mux4 (IA[4], S, SHO[12]),
35 mux5 (IA[5], S, SHO[11]), mux6 (IA[6], S, SHO[10]),
36 mux7 (IA[7], S, SHO[9]), mux8 (IA[8], S, SHO[8]),
37 mux9 (IA[9], S, SHO[7]), mux10 (IA[10], S, SHO[6]),
38 mux11 (IA[11], S, SHO[5]), mux12 (IA[12], S, SHO[4]),
39 mux13 (IA[13], S, SHO[3]), mux14 (IA[14], S, SHO[2]),
40 mux15 (IA[15], S, SHO[1]), mux16 (IA[16], S, SHO[0]);
41
42 endmodule
43
44 module TB ();
45 reg [15:0] II;
46 reg [3:0] SS;
47 wire [15:0] ff;
48 barrel_shifter_16bit my_ic(II,SS,ff);
49 initial begin
50   #200 II=16'b1010101101011100; SS=4'b0000;
51   #200 II=16'b1010101101011101;
52   #200 SS=4'b1111;
53   #200 II=16'b0001010101011101;
54   #200 II=16'b0000000000000000;
55   #200 $stop;
56 end
Verilog file length: 1,695 lines: 57 Ln: 57 Col: 10 Pos: 1,696 Windows (CR LF) UTF-8 INS

```


۴

جدول درستی این مدار به صورت زیر می‌باشد.

S [3:0]	SHO															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0000	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]
0001	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]
0010	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]
0011	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]
0100	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]
0101	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]
0110	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]
0111	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]
1000	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]
1001	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]
1010	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]	I[10]
1011	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]	I[11]
1100	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]	I[12]
1101	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]	I[13]
1110	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[0]	I[15]	I[14]
1111	I[14]	I[13]	I[12]	I[11]	I[10]	I[9]	I[8]	I[7]	I[6]	I[5]	I[4]	I[3]	I[2]	I[1]	I[16]	I[15]

با توجه به ساختار موازی و تک‌لایه‌ای بودن قطعه، پیش‌بینی می‌شود بعد از 56ns هر کدام از خروجی‌ها که لازم است، یک شود و بعد از 4ns (یعنی در مجموع 60ns) هر کدام از خروجی‌ها که لازم است، صفر شود. این موضوع با تست‌بنج طراحی شده زیر اثبات می‌گردد.

