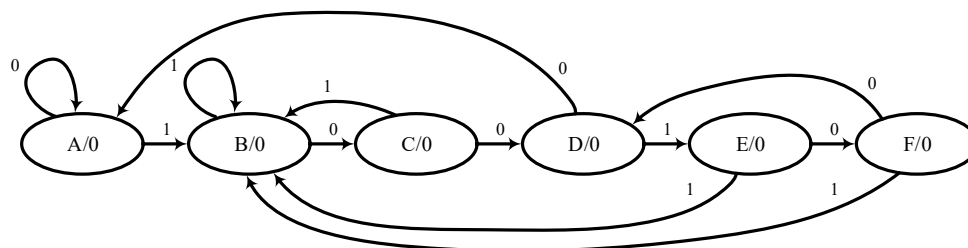


شماره سوال	محمد مهدی معینی منش CA5 ۸۱۰۱۹۸۴۷۵	سیستم‌های دیجیتال	تاریخ تحویل: ۱۴۰۰/۳/۲۳	۱/۸
---------------	---	-------------------	---------------------------	-----

State diagram برای این سوال به شکل زیر می‌باشد.



با توجه به این شکل، کد سیستم‌وریلاگ این ماژول به صورت زیر جهت (pre-synthesis) نوشته شد.

```

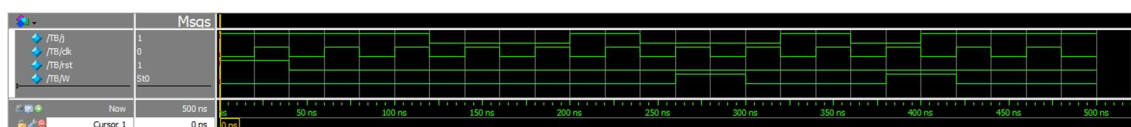
1  `timescale 1ns/1ns
2
3  module moorl0010(input clk, rst, j, output w);
4      reg [2:0] ns, ps;
5      parameter A = 3'b000,
6                 B = 3'b001,
7                 C = 3'b010,
8                 D = 3'b011,
9                 E = 3'b100,
10                F = 3'b101;
11      always @(ps, j) begin
12          case(ps)
13              A: ns = j ? B : A;
14              B: ns = j ? B : C;
15              C: ns = j ? B : D;
16              D: ns = j ? E : A;
17              E: ns = j ? B : F;
18              F: ns = j ? B : D;
19          endcase
20      end
21      assign w = (ps == F) ? 1'b1 : 1'b0;
22      always @(posedge clk, posedge rst) if (rst) ps <= 3'b000; else ps <= ns;
23  endmodule

```

a.i.

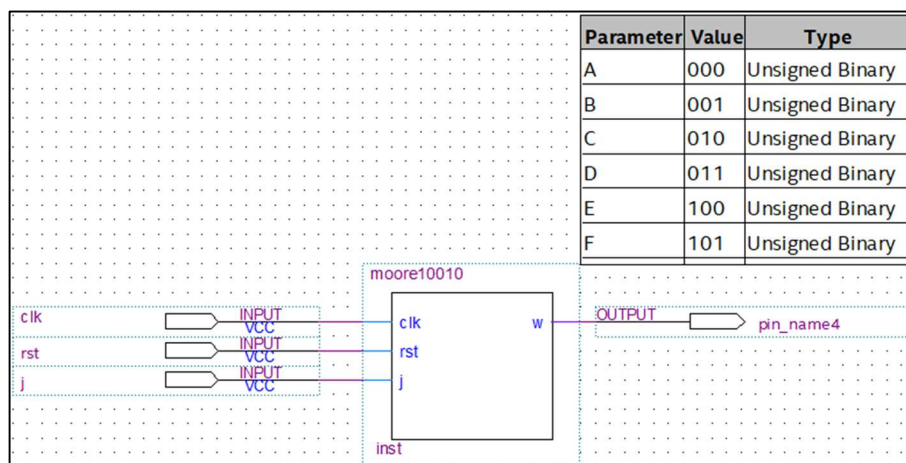
تست‌بنچی که نشان می‌دهد این ماژول به درستی کار می‌کند به همراه خروجی آن نمایش داده شده است.

```
25 module TB ();
26     reg j = 1, clk = 0, rst = 1; //First Initialize
27     wire W;
28     moore10010 my_ic(clk, rst, j, W);
29     always #20 clk = ~clk;
30     initial begin
31         #40 rst = 0;
32         #40 j = 1;
33         #40 j = 0;
34         #40 j = 0;
35         #40 j = 1;
36         #40 j = 0;
37         #40 j = 0;
38         #40 j = 1;
39         #40 j = 0;
40         #40 j = 1;
41         #100 $stop;
42     end
43 endmodule
```



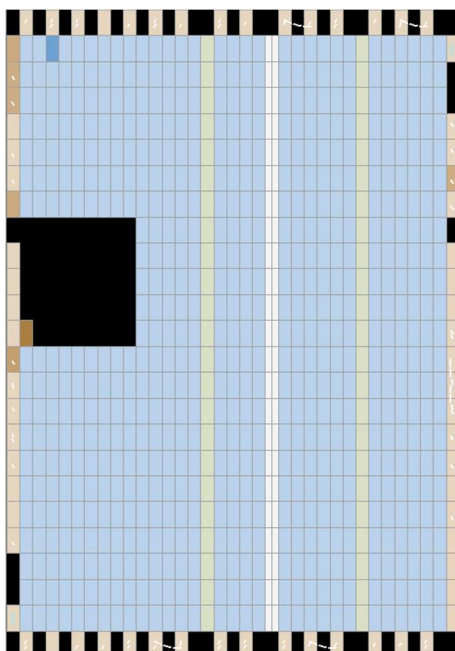
a.ii.

یک symbol برای ماژول مطرح‌شده به شکل زیر رسم شد.



a.ii.

Chip planner نیز به شکل زیر می‌باشد.

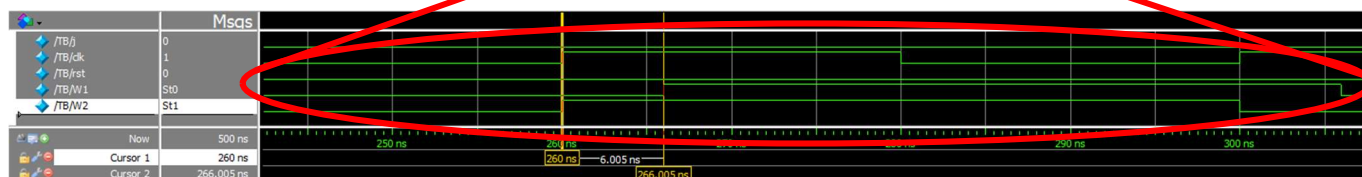
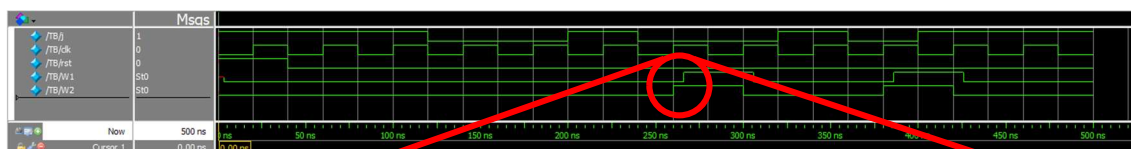


تعداد cell-ها در تصویر زیر آمده است.

Analysis & Synthesis Status	Successful - Sun Jun 13 13:02:22 2021
Quartus Prime Version	20.1.0 Build 711 06/05/2020 SJ Lite Edition
Revision Name	moore10010
Top-level Entity Name	moore10010
Family	Cyclone IV E
Total logic elements	5
Total registers	5
Total pins	4
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

a.iii.

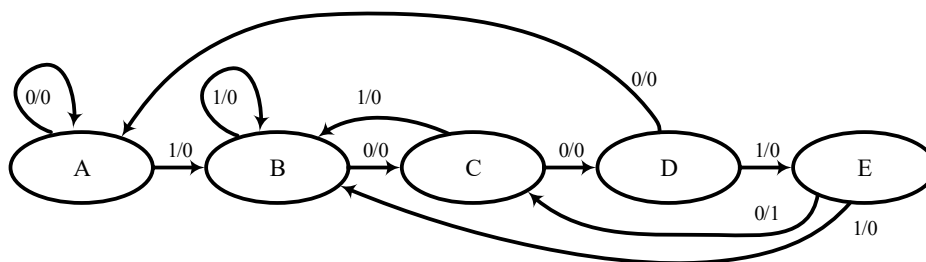
با نمونه‌گیری از دو ماژول سنتز نشده ابتدایی و ماژول سنتز شده توسط کوآرتس، خروجی زیر حاصل می‌شود که W1 مربوط به ماژول اولی و W2 مربوط به ماژول دومی می‌باشد. مشاهده می‌شود که پس از سنتز، حدود ۶ نانوثانیه تأخیر به وجود آمد.



شماره سوال	محمد مهدی معینی منش CA5 ۸۱۰۱۹۸۴۷۵	سیستم‌های دیجیتال	تاریخ تحویل: ۱۴۰۰/۳/۲۳	۴/۸
---------------	---	-------------------	---------------------------	-----

State diagram برای این سوال به شکل زیر می‌باشد.

b.i.



با توجه به این شکل، کد سیستم‌وریلاگ این ماژول به صورت زیر جهت (pre-synthesis) نوشته شد.

```

1  `timescale 1ns/1ns
2
3  module mealy10010(input clk, rst, j, output w);
4      reg [2:0] ns, ps;
5      parameter A = 3'b000,
6                  B = 3'b001,
7                  C = 3'b010,
8                  D = 3'b011,
9                  E = 3'b100;
10     always @(ps, j) begin
11         ns = A;
12         case(ps)
13             A: ns = j ? B : A;
14             B: ns = j ? B : C;
15             C: ns = j ? B : D;
16             D: ns = j ? E : A;
17             E: ns = j ? B : C;
18         endcase
19     end
20     assign w = (ps == E) ? ~j : 1'b0;
21     always @(posedge clk, posedge rst) if (rst) ps <= A; else ps <= ns;
22 endmodule

```

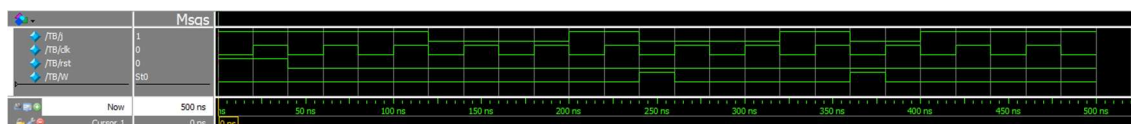
b.i.

تست‌بنچی که نشان می‌دهد این ماژول به درستی کار می‌کند به همراه خروجی آن نمایش داده شده است.

```

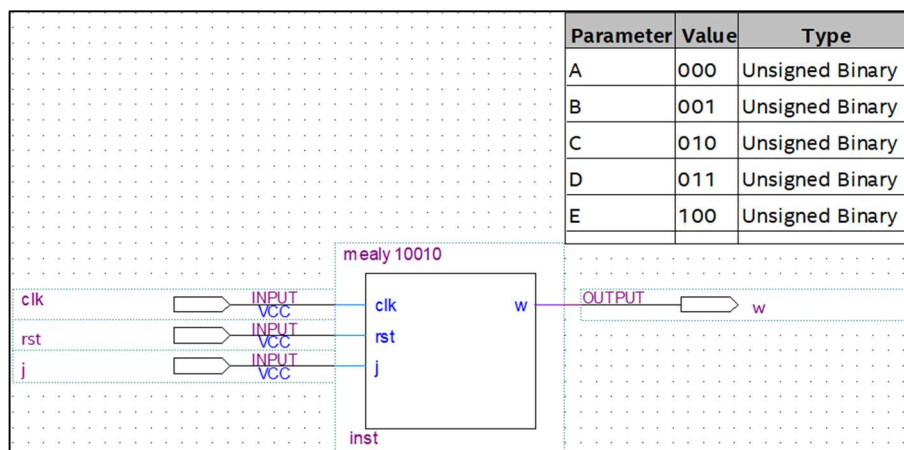
24 module TB ();
25     reg j = 1, clk = 0, rst = 1; //First Initialize
26     wire W;
27     mealy10010 my_ic(clk, rst, j, W);
28     always #20 clk = ~clk;
29     initial begin
30         #40 rst = 0;
31         #40 j = 1;
32         #40 j = 0;
33         #40 j = 0;
34         #40 j = 1;
35         #40 j = 0;
36         #40 j = 0;
37         #40 j = 1;
38         #40 j = 0;
39         #40 j = 1;
40         #100 $stop;
41     end
42 endmodule

```



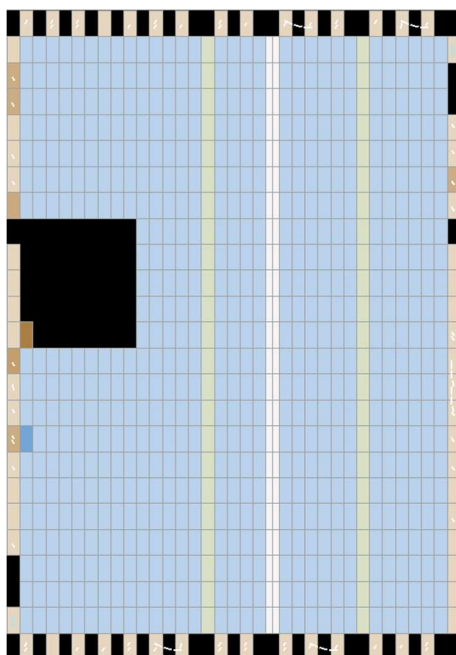
b.ii.

یک symbol برای ماژول مطرح‌شده به شکل زیر رسم شد.



b.ii.

Chip planner نیز به شکل زیر می‌باشد.

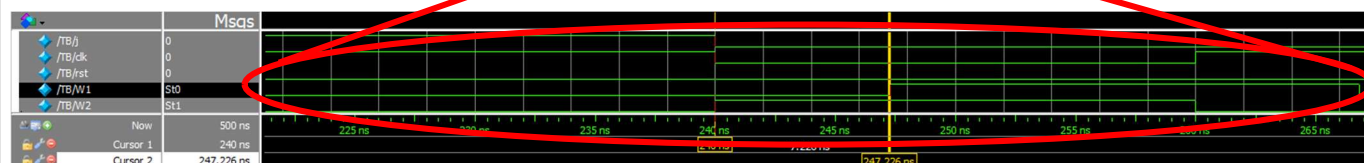
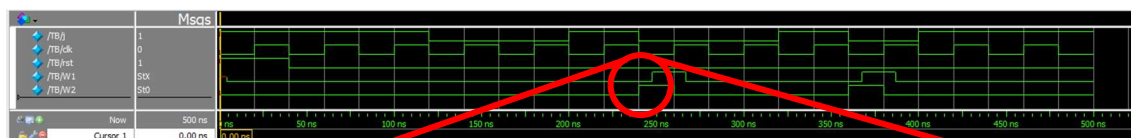


تعداد cell-ها در تصویر زیر آمده است.

Analysis & Synthesis Status	Successful - Sun Jun 13 19:20:15 2021
Quartus Prime Version	20.1.0 Build 711 06/05/2020 SJ Lite Edition
Revision Name	mealy10010
Top-level Entity Name	mealy10010
Family	Cyclone IV E
Total logic elements	5
Total registers	4
Total pins	4
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

b.iii.

با نمونه‌گیری از دو ماژول سنتز شده ابتدایی و ماژول سنتز شده توسط کوآرتس، خروجی زیر حاصل می‌شود که W1 مربوط به ماژول اولی و W2 مربوط به ماژول دومی می‌باشد. مشاهده می‌شود که پس از سنتز، حدود ۱۷ نانوثانیه تأخیر به وجود آمد.



شماره سوال	محمد مهدی معینی منش	سیستم‌های دیجیتال	تاریخ تحویل:
۸/۷	۸۱۰۱۹۸۴۷۵	CA5	۱۴۰۰/۳/۲۳

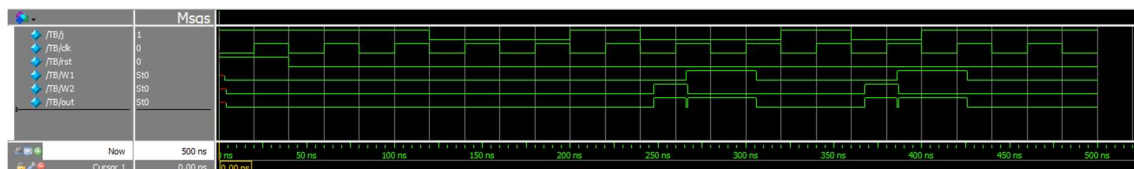
c.i. برای این قسمت تست‌بنچی به فرم زیر نوشته شد.

```

1  `timescale 1ns/1ns
2
3  module TB ();
4      reg j = 1, clk = 0, rst = 1; //First Initialize
5      wire W1, W2;
6      wire out;
7      assign out = (W1 & ~W2) | (~W1 & W2);
8      moore10010 my_ic1(clk, rst, j, W1);
9      mealy10010 my_ic2(clk, rst, j, W2);
10     always #20 clk = ~clk;
11     initial begin
12         #40 rst = 0;
13         #40 j = 1;
14         #40 j = 0;
15         #40 j = 0;
16         #40 j = 1;
17         #40 j = 0;
18         #40 j = 0;
19         #40 j = 1;
20         #40 j = 0;
21         #40 j = 1;
22         #100 $stop;
23     end
24 endmodule

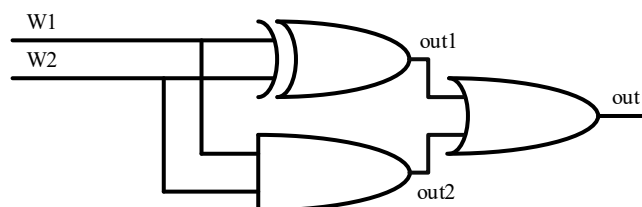
```

خروجی به شکل زیر می‌باشد که در آن W1 مربوط به ماشین مور و W2 مربوط به ماشین میلی است و out حاصل XORing W1 و W2 می‌باشد.



c.ii. مشاهده می‌گردد به دلیل overlap-ای که بین W1 و W2 وجود دارد، یک glitch به مدت کوتاه هر بار روی می‌دهد.

c.iii. به سادگی می‌توان با ساختاری که شکل آن در ادامه آمده است، این مشکل را برطرف نمود.





شماره سوال	محمد مهدی معینی منش ۸۱۰۱۹۸۴۷۵	سیستم‌های دیجیتال CA5	تاریخ تحویل: ۱۴۰۰/۳/۲۳	۸/۸
------------	----------------------------------	--------------------------	---------------------------	-----

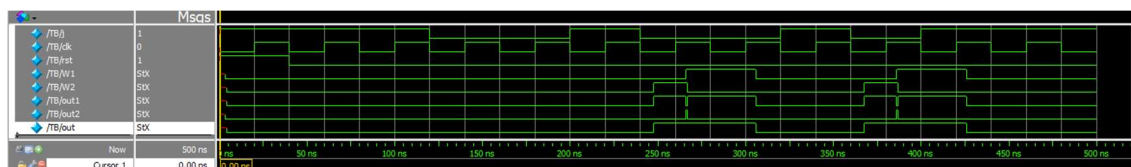
c.iii. تست‌بنچی که بر این مبنا نوشته شد به این شرح می‌باشد.

```

1  `timescale 1ns/1ns
2
3  module TB ();
4      reg j = 1, clk = 0, rst = 1; //First Initialize
5      wire W1, W2;
6      wire out1, out2, out;
7      assign out1 = (W1 & ~W2) | (~W1 & W2);
8      assign out2 = W1 & W2;
9      assign out = out1 | out2;
10     moore10010 my_ic1(clk, rst, j, W1);
11     mealy10010 my_ic2(clk, rst, j, W2);
12     always #20 clk = ~clk;
13     initial begin
14         #40 rst = 0;
15         #40 j = 1;
16         #40 j = 0;
17         #40 j = 0;
18         #40 j = 1;
19         #40 j = 0;
20         #40 j = 0;
21         #40 j = 1;
22         #40 j = 0;
23         #40 j = 1;
24         #100 $stop;
25     end
26 endmodule

```

و خروجی این تست‌بنچ را در تصویر زیر مشاهده می‌کنید.



واضح است که می‌توانستیم به جای استفاده از سه گیت و طراحی دولایه، صرفاً یک or بین out1 و out2 قرار دهیم تا به چنین نتیجه‌ای برسیم.