به نام خداوند بخشنده مهربان

|  |
| --- |
|  |
| گزارش پروژه |
|  |
| Taxi Service DataBase System |

**دانشگاه صنعتی امیرکبیر**

۱۳۹۶ بهار

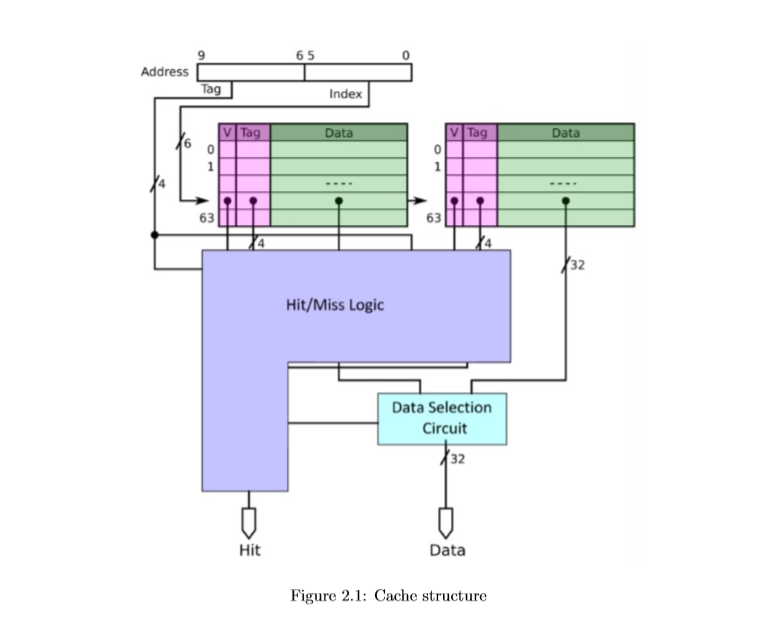
ماهین میرشمس ۹۴۳۱۸۱۰ : نویسنده

گزارش پروژه

Taxi Service DataBase System

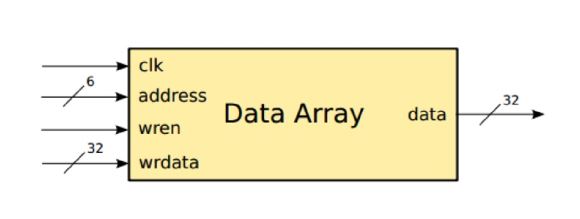
۱. توضیحات کلی

کامپیوتر پایه‌ی Sayeh از یک حافظه تشکیل شده بود. برای بهینه سازی و استفاده سریع تر از این حافظه ، ما در این پروژه سعی کردیم که حافظه نهان یا cache با قرارداد MRU پیاده‌سازی کنیم. این حافظه نهان 2-way associative پیاده‌سازی شده است. نحوه کارکرد این حافظه بدین صورت است که اگر داده‌ای را بخواهد از حافظه بخواند ، ابتدا کش را چک کرده ، اگر در آن موجود نبود،‌از حافظه اصلی خوانده و در کش می‌نویسد.



## ۲.اجزای کش

## ۱.۲‌ Data Array



این ماژول ذخیره سازی داده هایی را دارد که از حافظه اصلی آمده است. این ماژول دارای یک آرایه 64 تایی شامل داده های ۱۶ بیتی است. (برای وصل شدن به کامپیوتر پایه سایه مجبور به ۱۶ تایی کردن داده ها شدیم)

* سیگنال ورودی address :‌ این سیگنال ستون آرایه 64 تایی را مشخص می کند.
* سیگنال ورودی‌wren: این سیگنال مشخص می‌کند که الان باید در ماژول داده نوشته شود یا خیر.
* سیگنال ورودی wrdata : این سیگنال شامل داده ورودی‌ای که قرار است در کش نوشته شود ، می‌باشد.
* سیگنال خروجی data : این سیگنال که ۱۶ بیتی است، داده ای را که در آدرس address قرار دارد را به عنوان خروجی ماژول تولید می‌کند.

چون از تکنولوژی 2-way associative استفاده شده است، دو ماژول data array باید وجود داشته باشد.

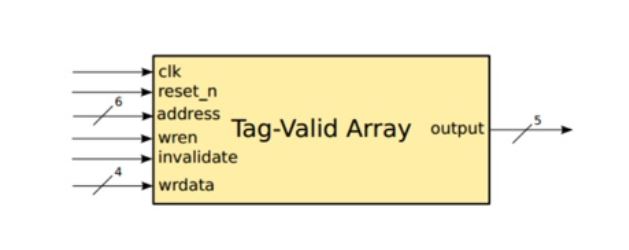
## ۲.۲‌ Miss Hit logic



این ماژول miss شدن یا hit شدن داده درخواست داده شده در cache و همچنین مشخص کردن valid بودن way ها تشخیص می‌دهد.

* سیگنال ورودی tag :‌ چهار بیت پر ارزش آدرس
* سیگنال های ورودی w0 و w1 :‌ برای مقایسه با tag
* سیگنال خروجی hit : tag و چهار بیت کم ارزش یکی از w0 و w1 برابر باشد hit مقدار یک را می‌گیرد.

## ۳.۲‌Tag Valid Array .



این ماژول دارای یک آرایه 64 تایی شامل داده های 5 بیتی است. همانند Data array سیگنال address خطی از آرایه را نشان می دهد که باید روی آن داده نوشته یا خوانده شود. در این ماژول داده داخل آرایه خط address به خروجی منتقل می‌کند. همچنین هنگامی که wren فعال باشد، داده‌ی wrdata بر روی 4 بیت کم ارزش خانه address آرایه سوال می شود. اگر invalidate یک باشد، بیت پرارزش خانه address آرایه، صفر می‌باشد در نتیجه معتبر بودن آن خانه از cache را نشان می دهد.

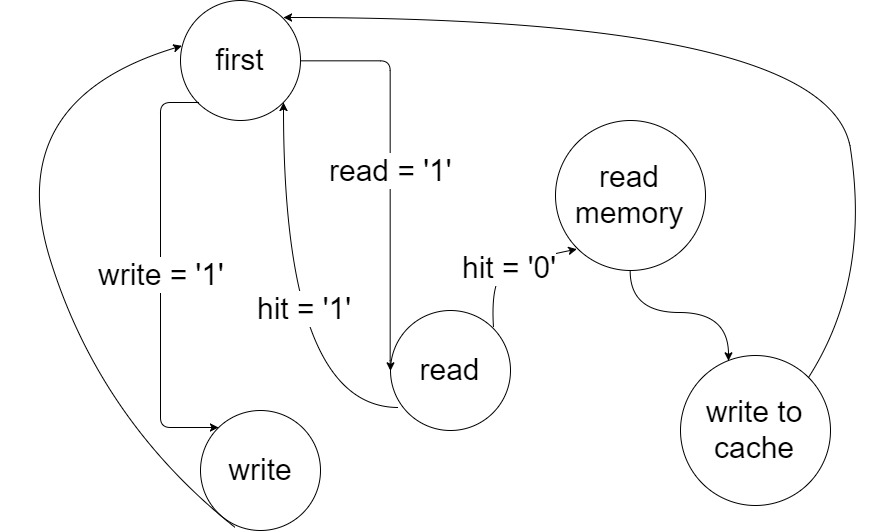
* سیگنال ورودی address :‌ این سیگنال خط آرایه 64 تایی است .
* سیگنال ورودی wren : این سیگنال مشخص می‌کند که الان باید در ماژول داده نوشته شود یا خیر.
* سیگنال ورودی wrdata : این سیگنال شامل داده ورودی‌ای که قرار است در کش نوشته شود ، می‌باشد.
* سیگنال ورودی invalidate : این سیگنال معتبر بودن یا نبودن داده داخل در خانه address آرایه را مشخص می کند.
* سیگنال reset\_n :‌این سیگنال، تمامی خانه های داخل tag valid array را صفر میکند.
* سیگنال خروجی output : این سیگنال که 5 بیتی است، داده ای را که در آدرس address قرار دارد را به خروجی منتقل می‌کند.

چون از تکنولوژی 2-way associative استفاده شده است، دو ماژول tag valid array باید وجود داشته باشد.

## ۴.۲‌ . MRU

این ماژول مشخص می‌کند که داده بعدی‌ای که قرار است در کش نوشته شود، در کجا نوشته شود. با توجه به قراردادی که تعیین شده است ، باید داده‌ی جدید در قسمتی نوشته شود که بیشترین استفاده از آن شده باشد . به همین دلیل به ازای w0 و w1 یک آرایه شمارنده در نظر می‌گیریم و تعداد دفعاتی که داده مربوط به آن خانه از آرایه ، خوانده می‌شود،شمارنده اضافه می‌شود.

## ۵.۲‌ . Controller



پیاده سازی این بخش به صورت استیت های طراحی شده در شکل بالا می‌باشد.

## ۶.۲‌ . dataPath

