



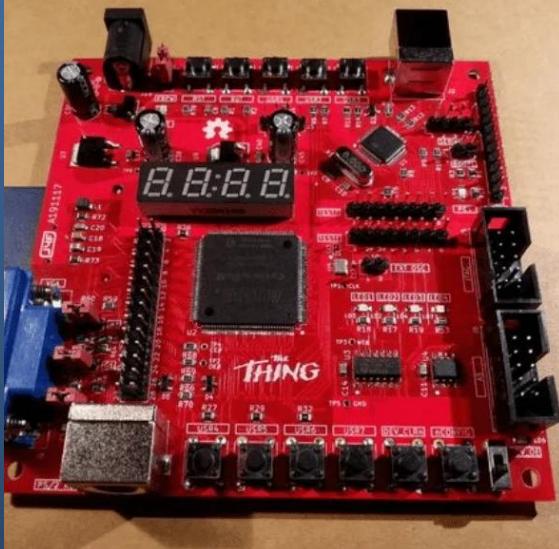
Field-Programmable Gate Array

**PROJEKTOVANJE
SISTEMA NA
ČIPU**

Razvoj i osnovna arhitektura FPGA

prof. dr. Lejla Banjanović-Mehmedović

Sadržaj izlaganja



<https://www.logic-fruit.com/product-engineering/fpga-design/>

Razvojna razdoblja FPGA

Arhitektura FPGA kola

- Programabilni logički blokovi
- Interkonekciona mreža
- U/I blokovi
- Distribucija takta
- Clock manager (menadžer takta)
- Integracija množača i sabirača

Još nešto o FPGA ...

FPGA

- **FPGA** (*eng. Field-Programmable-Gate-Array*) programabilna matrica logičkih kola), slična CPLD
- **Proizvođači: Xilinx/AMD, Altera/Intel**
- FPGA - ovi programabilni hardverski sistemi koriste kombinacionu i sekvencijalnu logiku.
- Isporučuju se kao čipovi, koji se programiraju u jednom od **HDL jezika (VHDL, Verilog)**.

FPGA vs. CPU. vs. GPU

- **Osnovna funkcionalnost FPGA tehnologije izgrađena je na prilagodljivom hardveru, koji ima jedinstvenu mogućnost modifikacije nakon proizvodnje.**
- **CPU-i su vrlo fleksibilni, ali je njihov osnovni hardver fiksan.** Nakon što je CPU proizведен, hardver se ne može mijenjati. Oslanja se na softver koji izvršava konkretnu operaciju koju treba izvesti i općenito **može izvršavati samo jednu instrukciju u isto vrijeme.**
- **GPU-ovi rješavaju veliki nedostatak CPU-a – mogućnost paralelne obrade velike količine podataka i mogu raditi na vrlo velikim skupovima podataka.** U osnovi, **GPU-ovi su slični CPU-u** jer imaju fiksni hardver i rade pomoću softverskih uputa.

Relacija mikrokontroleri vs. FPGA

FPGA čip je skuplji od mikrokontrolera. Kako se radi direktno na hardveru, umjesto u „softverskom“ okruženju, potreban je drugačiji set alata i vještina.

Koristi se **HDL umjesto programskih jezika.** Neke operacije su mnogo brže na FPGA, nego na mikrokontroleru.

Ukoliko imate nešto vrlo jednostavno implementirano na mikrokontroleru i želite to isto uraditi na FPGA, uzet će korisniku mnogo više vremena da bi radilo na FPGA; **radit će pri sporijem kloku i koristiti više snage; sa novim verzijama, ovo je promjenjeno!!!**

Relacija mikrokontroleri vs. FPGA

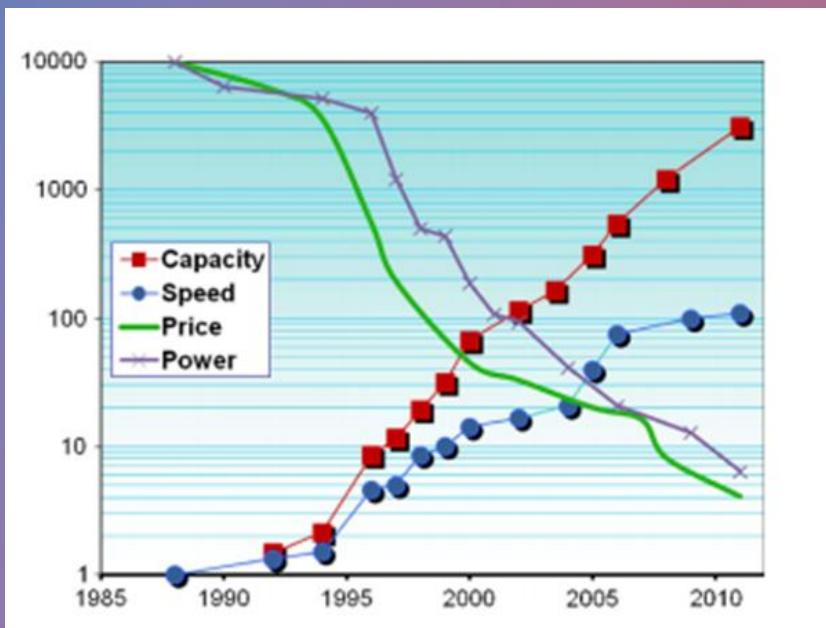
FPGA su mnogo fleksibilniji od mikrokontrolera. Mikrokontroleri imaju specifičan skup instrukcija, određene bazne instrukcije moraju se kreirati za specifične namjene.

Ukoliko se želi kreirati nešto komplikovano na mikrokontroleru, to se mora učiniti sa operacijama nižeg nivoa, što je sporo, **u poređenju sa FPGA, gdje je logika „skrojena“ za sve vrste aplikacija jednostavnijih i složenijih.**

Npr. **FPGA može uraditi FFT sa milionima operacija brže i sa manjom potrošnjom energije, što je krucijalno za baterijski vođene aplikacije i energetsku efikasnost aplikacija.**

Razvojna razdoblja FPGA

- Xilinx je **1984. godine** predstavio prvi FPGA modernog doba. U početku se nisu nazivali FPGA, dok Alcatel nije popularizirao termin oko **1988. godine**.
- U vremenskom rasponu od 30 godina uređaj kojeg zovemo FPGA je **povećao kapacitet za faktor 10.000 i povećao brzinu za faktor 100**. Cijena i potrošnja energije po jedinici funkcije su smanjeni za faktor 1000.

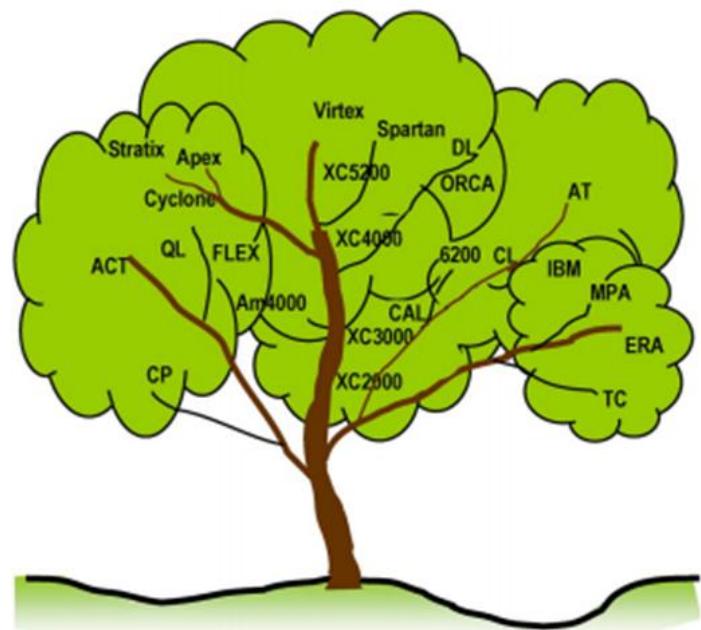


Trend razvoja FPGA uređaja

- **1985.** - Ross Freeman suosnivač Xilinx i Bernard Vonderschmitt, dizajniraju prvi komercijalno dostupan FPGA (**Field Programmable Gate Array**) – XC2064.
- **1985.** - David W. i LuVerne R. Peterson su patentirali neke osnovne principe FPGA.
- **1990-te** – značajan razvoj FPGA. U ranim 90-tim FPGA se primarno koristi u telekomunikacijama i za umrežavanje.
- **2000- te** - FPGA u automobilskoj i industrijskoj primjeni

Razvojna razdoblja FPGA

- FPGA uređaji su prošli nekoliko razvojnih faza. Svaka faza vođena je mogućnostima procesne tehnologije i aplikacionim zahtjevima. Od 1984. do 2007. godine mogu se izdvojiti tri razdoblja:
 - Razdoblje izuma 1984.-1991.
 - Razdoblje ekspanzije 1992.-1999.
 - Razdoblje akumulacije 2000.-2007.
 - Razvoj 21. vijeka**

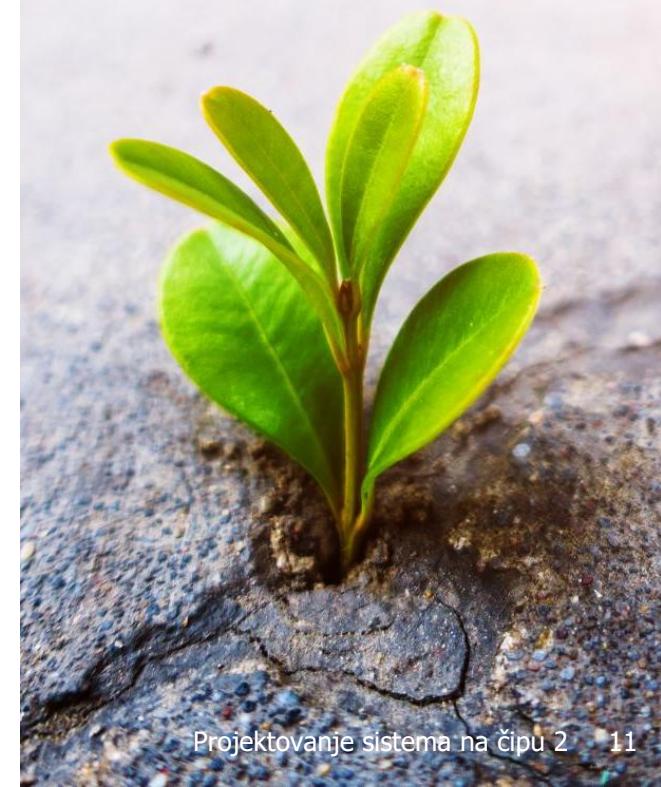


Razdoblje izuma 1984.-1991.

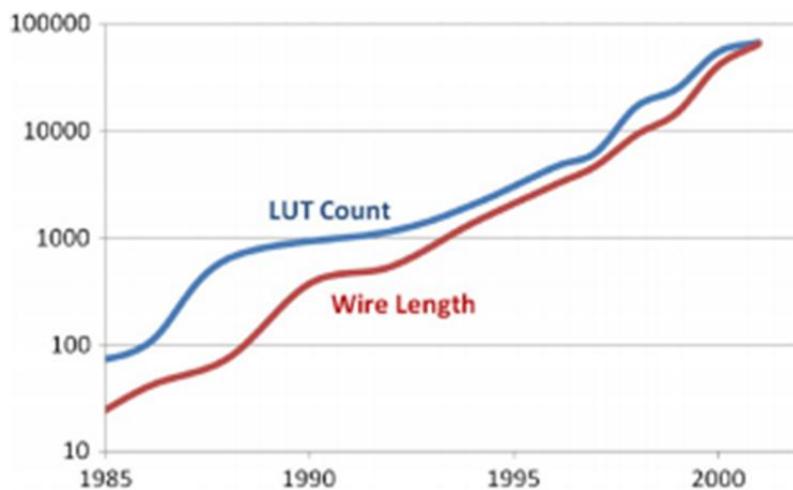
- Prvi FPGA, Xilinx XC2064, sadržao je samo 64 logička bloka.
- **Veliki broj kompanija implementirao je arhitekture finije granulacije koje su sadržavale fiksne funkcije**, da bi se eliminisalo rasipanje u logičkim celijama.
- Rani FPGA arhitekti primijetili su da **efikasna interkonekcijska arhitektura održava dvo-dimenzionalnost integrisanog kola**. Dugačke, spore žice PAL-a zamijenjene su kratkim vezama **između susjednih blokova** koje su se mogle povezati zajedno po potrebi programiranjem za formiranje duže routing putanje.

Razdoblje ekspanzije 1992.-1999.

- **Svaka nova generacija silicija udvostručila je broj dostupnih tranzistora, što je udvostručilo veličinu najvećeg dostupnog FPGA i prepolovilo cijenu po funkciji.**
- Više uticaja od jednostavnog skaliranja tranzistora, dalo je **uvodenje hemijsko-mehaničkog poliranja (CMP chemical-mechanical polishing)** što je dozvolilo da se doda više slojeva.



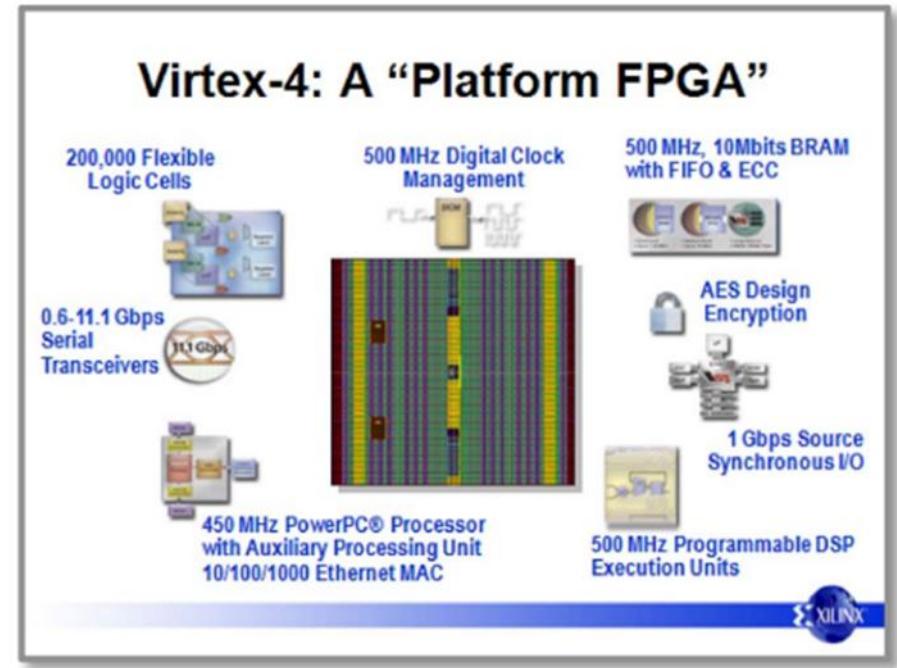
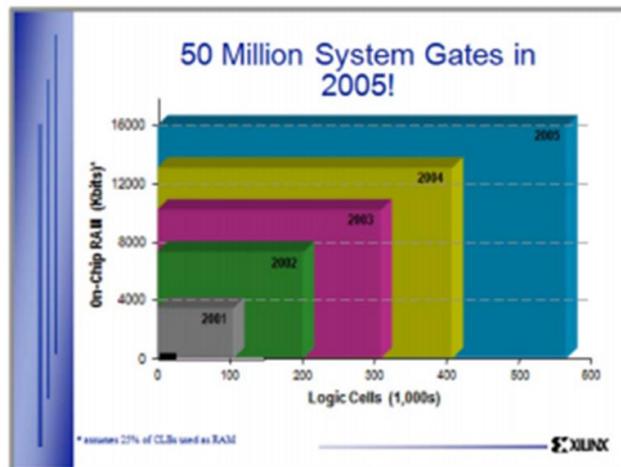
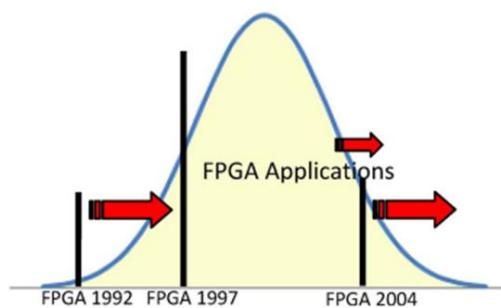
Razdoblje ekspanzije 1992.-1999.



- Brzi proces napredovanja imao je nekoliko efekata:
 - Automatizacija dizajna postala je esencijalna.
 - Pojava SRAM kao tehnologije izbora.
 - Pojava LUT kao logičke celije izbora.

Razdoblje akumulacije 2000.-2007.

- Smanjenje generalno tržišta FPGA



- Porast tržišta - Xilinx tržište 2005. godine. "Platform FPGA".

Razdoblje akumulacije 2000.-2007.

- Početkom novog milenijuma, FPGA su bile uobičajene komponente digitalnih sistema. **Kapacitet i veličina dizajna su rasle i FPGA je našao široku primjenu u industriji podatkovne komunikacije.**
- Za razliku od doba ekspanzije, sada je kapacitet FPGA-ova bio veći od tipičnog problema. Zbog toga su korisnici odbijali da plate velike cijene za velike FPGA-ove!
- Ovaj problem su proizvođači FPGA riješili na dva načina:
 - Za niže zahtjevno tržište proizveli su familije niskog kapaciteta, nižih performansi, tzv. "low-cost" FPGA-ovi: Spartan od Xilinx, Cyclone od Altere i EC/ECP od Lattice.
 - Za zahtjevnije tržište, proizvođači su nastojali učiniti lakše popunjavanje FPGA-ova korisnicima. Kreirali su **biblioteke meke logike** (engl. **soft logic IP**) za bitne funkcije. Najznačajnije su za mikroprocesore (Xilinx MicroBlaze i Altera Nios), memorijske kontrolere i razne stack protokole za komunikaciju.

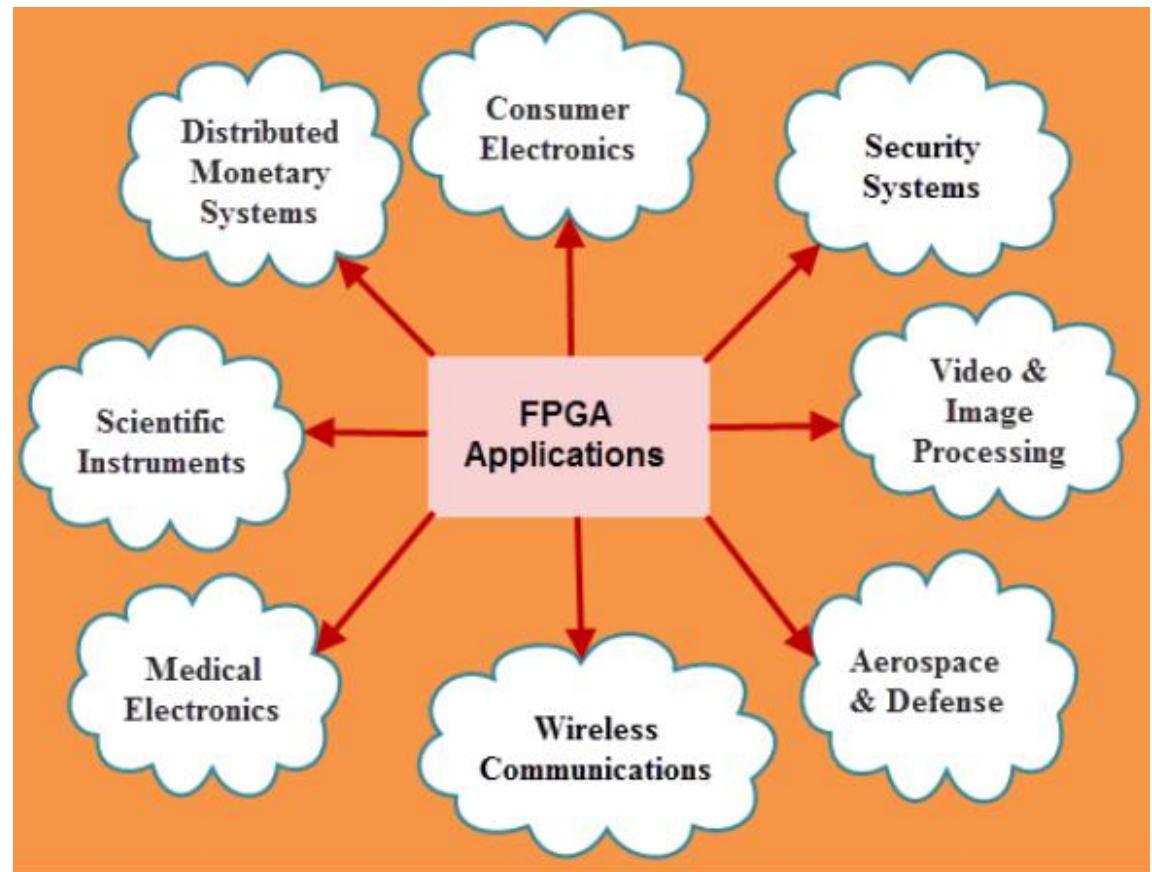
Razvoj u 21. vijeku

- Alternativni pristup korištenju hard-makro procesora je da se iskoriste **soft procesorske IP jezgre koje su implementirane u okviru FPGA logike. Nios II, MicroBlaze i Mico32 su primjeri popularnih soft procesora.**
- **Mnogi savremeni FPGA su programirani na "run time", što je dovelo do ideje rekonfigurabilnog računanja ili rekonfigurabilnih sistema - CPU-ova koji se ponovo konfigurišu kako bi odgovarali zadatku koji se treba izvršiti.**
- Pored toga, pojavljuju se nove ne-FPGA arhitekture. Softverski konfigurisani mikroprocesori kao što je Stretch S5000 usvajaju **hibridni pristup obezbjeđujući niz jezgara procesora i FPGA-programabilnih jezgara na istom čipu.**

Razvoj u 21. vijeku

- Oko 2014. godine pojavio se **trend unaprijeđenja grubo-granulisane arhitekture** kombinacijom logičkih blokova i interkonekcija tradicionalnih FPGA-ova sa embedded mikroprocesorima i povezanih periferala, tako da se formira "**system on a programmable chip**".
- Primjeri ovih hibridnih tehnologija:
 - kod **Xilinx Zynq-7000 All Programmable SoC**, koji uključuje **1.0 GHz dual-core ARM Cortex-A9 MPCore processor ugrađen unutar FPGA-a**, ili
 - u **Altera Arria V FPGA**, koji uključuje **800 MHz dual-core ARM Cortex-A9 MPCore**.
 - Microsemi SmartFusion uređaji inkorporiraju **ARM Cortex-M3 hard processor core (sa 512 kB flash i 64 kB RAM)** i analogne periferale kao što su **multi-kanalni analogno-digitalni konvertori i digitalno-analogni konvertori** u flash memorijski baziranu FPGA strukturu.

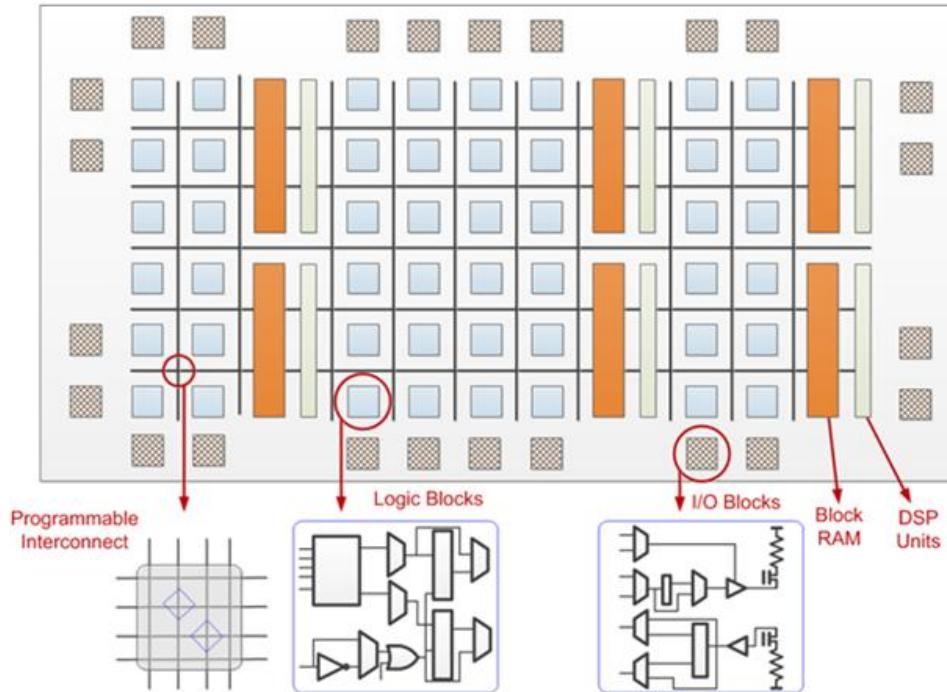
Primjene FPGA



Primjene FPGA tehnologije

Vazduhoplovstvo i odbrana	Radiacijski tolerantni FPGa-ovi zajedno sa sposobnošću obrade slika, generiranja talasa i parcijalne rekonfiguracije SDR-ova.
ASIC Prototyping	ASIC Prototyping sa FPGA omogućava brzo i tačno SoC modeliranje i verifikaciju embedded sistema.
Audio	Xilinx FPGA platforme s ciljanim dizajnom omogućavaju visok stepen fleksibilnosti, brže vrijeme za tržište i niže ukupne nepovratne troškove inžinjeringu za širok opseg audio, komunikacijskih i multimedijalnih aplikacija.
Automobilske aplikacije	Upravljanje vozilima i driver assistance sisteme
Potrošačka elektronika	Slušalice, digitalni displeji sa ravnim ekranom, informacioni uređaji, kućno umrežavanje.
Centri podataka	Dizajnirani za širokopojasne, nisko-latentne servere, umrežavanje i aplikacije za skladištenje (Cloud computing)
Računanje visokih performansi i skladištenje podataka	Rješenja za Network Attached Storage (NAS), Storage Area Network (SAN), servere i uređaje za skladištenje podataka.
Industrija	Za širok spektar aplikacija kao što su industrijska slika i nadzor, industrijska automatizacija.
Medicinske aplikacije	Za aplikacije za dijagnostiku, monitoring i terapiju , Virtex FPGA i Spartan® FPGA familije mogu se koristiti za ispunjavanje čitavog opsega zahtjeva za obradu, prikazivanje i U/I interfejs.
Žičane komunikacije	End-to-end rješenja za Reprogrammable Networking Linecard Packet Processing, Framer/MAC, serial backplanes i sl.
Bežične komunikacije	RF, osnovni opseg, povezivanje, rješenja za transport i umrežavanje za bežičnu opremu, adresiranje standarda kao što su WCDMA, HSDPA, WiMAX i drugi.

Moderna arhitektura FPGA



Programabilna logika (Xilinx):

- CLB
 - Lookup tables (LUTs) & Flip-flops (FFs)
- Programmable interconnect
 - Switch matrix

Projektovanje sistema na
čipu 2

Hardcoded logic:

- kolone ugradbenih blokova:
 - RAM, množaci/DSP blokovi

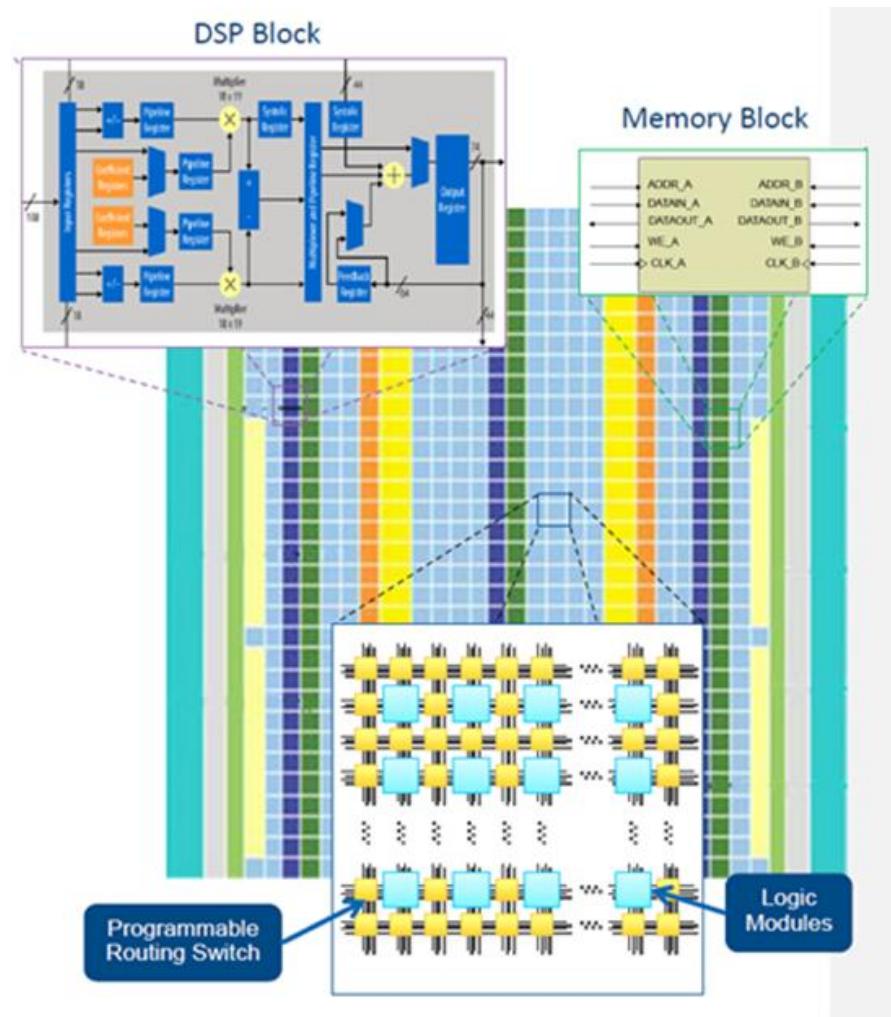
Moderna arhitektura FPGA

- Generalno, arhitektura FPGA se sastoji se od:
 - programabilnih logičkih blokova,
 - programabilnih veza,
 - memorije i
 - ulazno/izlaznih blokova.
- Logički blokovi služe za realizaciju logičkih funkcija.
- Interkonekciona mreža omogućava povezivanje logičkih blokova u cilju kreiranja složenijih funkcija. Nalaze se u kanalima između logičkih blokova.
- Cijela struktura je oivičena U/I blokovima. Putem U/I blokova ostvaruje se sprega internih resursa sa pinovima kola.

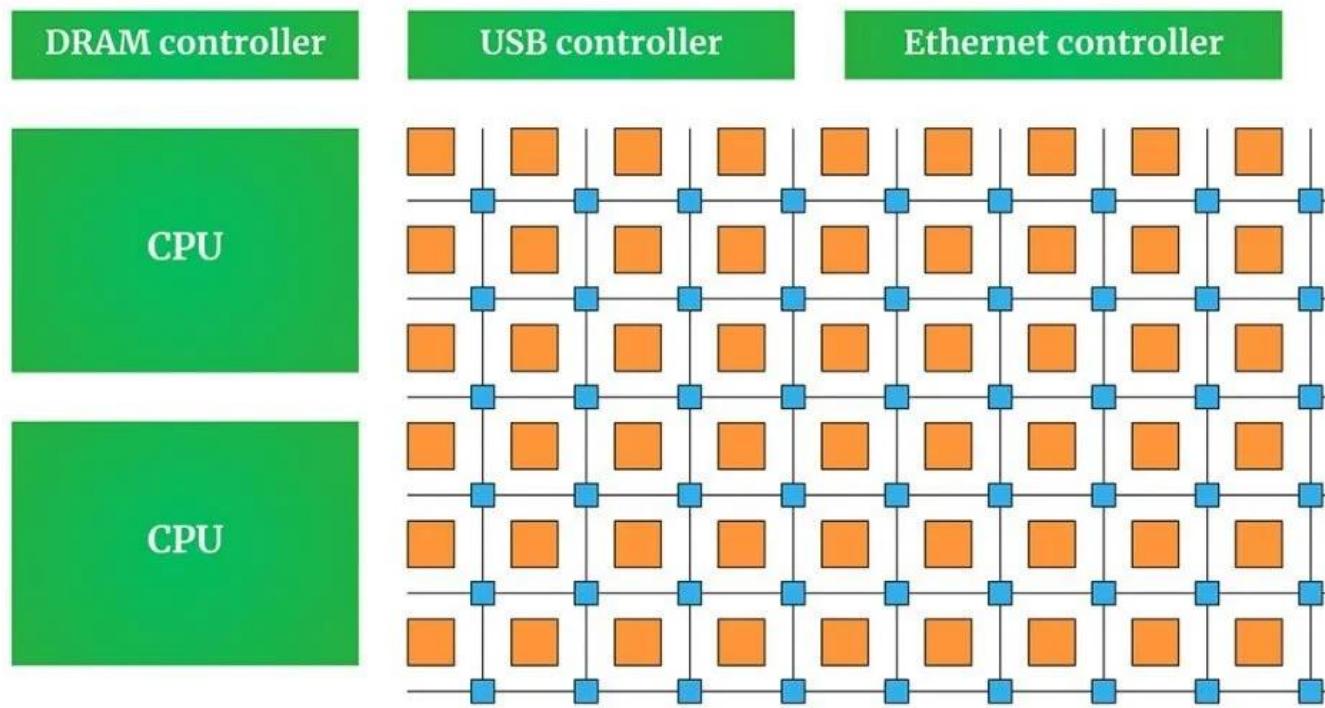
FPGA

- Nabrojani elementi su najčešće raspoređeni **u formu matrice**. Logički blokovi raspoređeni su u vrste i kolone matrice, dok su kanali kojima se vrši interkonekcija pojedinih logičkih blokova vertikalno i horizontalno postavljeni između njih.
- Pored navedene strukture sreću se još i **hijerarhijski strukturirana FPGA kola** i FPGA kola kod kojih su logički blokovi raspoređeni isključivo **u kolone** (tzv. *rowbased* arhitektura).
- Globalno posmatrano svaki proizvođač FPGA kola ima svoju sopstvenu FPGA arhitekturu, ali u suštini sve te arhitekture su varijanta ove dvije navedene.

Moderna arhitektura FPGA sa DSP blokovima



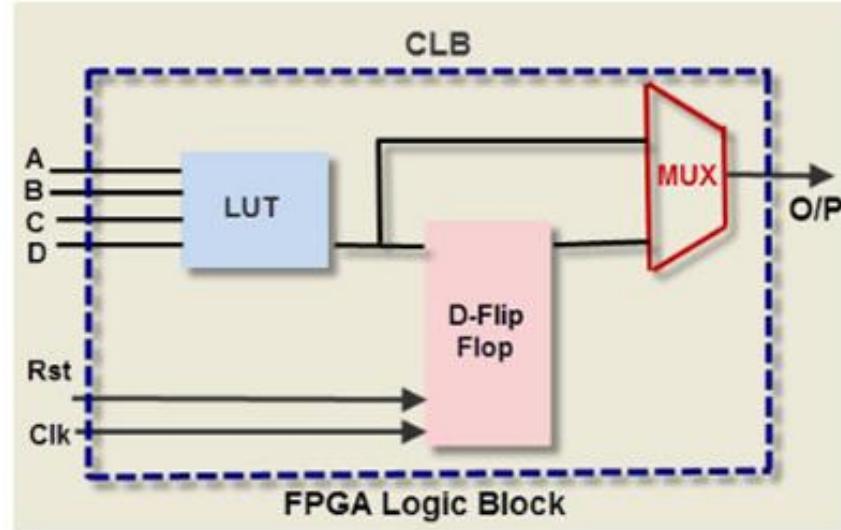
Moderna arhitektura FPGA, Ethernet konekcije



Modern FPGA: lots of **hard**, not-field-programmable gates

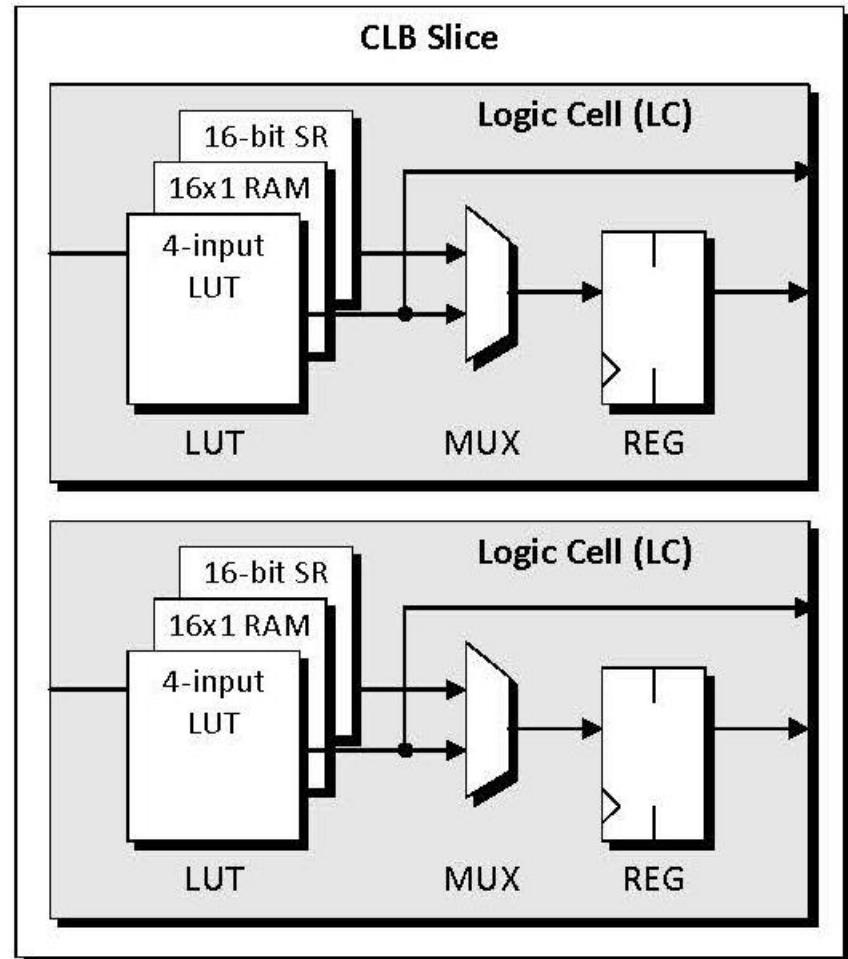
Programabilni logički blokovi

- Logički blok (**CLB ili LAB**) se sastoji od nekoliko logičkih celija (**tzv. ALM, LE itd**).
- Tipična celija sadrži:
 - (LUT - Look Up Table)
 - multiplexere (MUX)
 - D flip flopove



Primjer CLB struktura kod Xilinx FPGA

- CLB/Slice struktura kod Xilinx-a!
- Svaki CLB ima jedan ili više segmenata (Slice), a svaki segment
 - jednu ili više logičkih celija (LC)
 - 1 Lookup Table (LUT)
 - Neki LUT-ovi mogu biti korišteni kao distribuirani RAM/ROM ili šift registri
 - Namjenski multiplekseri
 - Flip-flop (FF) ili latch

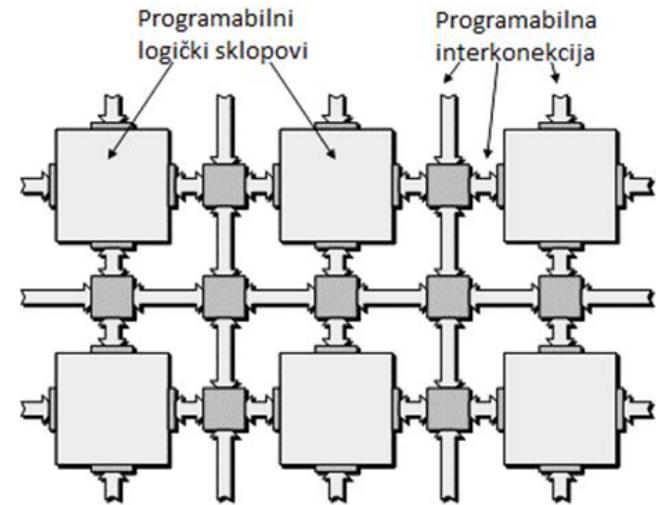


Programabilni logički blokovi

- Programabilni logički blokovi obezbjeđuju osnovne operacijske i memorijske elemente korištene u digitalnim sistemima.
 - **LUT** implementira **kombinacione logičke funkcije**
 - **Multiplexer**i se koriste **za logiku izbora**
 - **D flip flopovi** služe **za pohranjivanje izlaza iz LUT-a.**

Programabilni logički blokovi

- Logički blokovi savremenih FPGA kola se značajno razlikuju po veličini i implementacionoj moći.
- Da bi se istakle razlike u veličini i složenosti logičkih blokova, uvodi se **pojam granularnost logičkog bloka**.
- Sve savremene FPGA arhitekture se neformalno klasificuju u dvije široke grupe:
 - Logički blokovi fine granularnosti
 - Logički blokovi grube granularnosti



Logički blokovi fine granularnosti

- Logički blokovi fine granularnosti su slični celijama gejtovskih polja i tipično se **sastoje od nekoliko tranzistora ili jednostavnih logičkih elemenata** i kao takvi omogućavaju direktnu konverziju dizajna iz FPGA u ASIC.
- Blokovi fine granularnosti zauzimaju malu površinu, njihov broj na jednom čipu može biti veoma veliki.
- Što su logički blokovi jednostavniji („finiji“) to je neophodno obezbjediti **veći broj programabilnih veza u interkonekcionoj mreži, čime ova mreža zauzima značajan dio FPGA površine i usporava rad kola.** (Prenos signala preko programabilnih veza je sporiji u poređenju sa prenosom unutar logičkog bloka).

Logički blokovi fine granularnosti

- **Granularnost logičkih blokova, arhitektura interkonekcionih mreža i tehnologija programiranja su u bliskoj vezi.**
- **Kod FPGA arhitektura fine granularnosti, po pravilu se koristi antifuse tehnologija programiranja (Programiranje se svodi na pregaranje osigurača – međuveza ili na njihovo kreiranje, u zavisnosti od korištenog kola).**
- **Interkonekcione mreže realizovane na bazi antifuse tehnologiji, posjeduju veću gustinu** (broj programabilnih veza po jednici površine) i manje propagaciono kašnjenje od interkonekcionih mreža kod kojih se koristi SRAM tehnologija programiranja.
- **Zahvaljujući finoj granularnosti arhitekture, postiže se relativno visok nivo iskorištenja logičkog kapaciteta,** tipično 60-80%, što zavisi od strukture sistema koji se implementira.

Logički blokovi grube granularnosti

- Logički blokovi grube granularnosti su najčešće zasnovani na **LUT tabelama** i tipično sadrže dodatne logičke elemente, kao što su **multiplekseri i flip-flopovi, generatori prenosa, SRAM blokovi.**
- Takvi logički blokovi mogu da realizuju složenije kombinacione i sekvencijalne logičke funkcije, pa su **potrebe za povezivanje logičkih blokova programabilnim vezama manje.**

Logički blokovi grube granularnosti

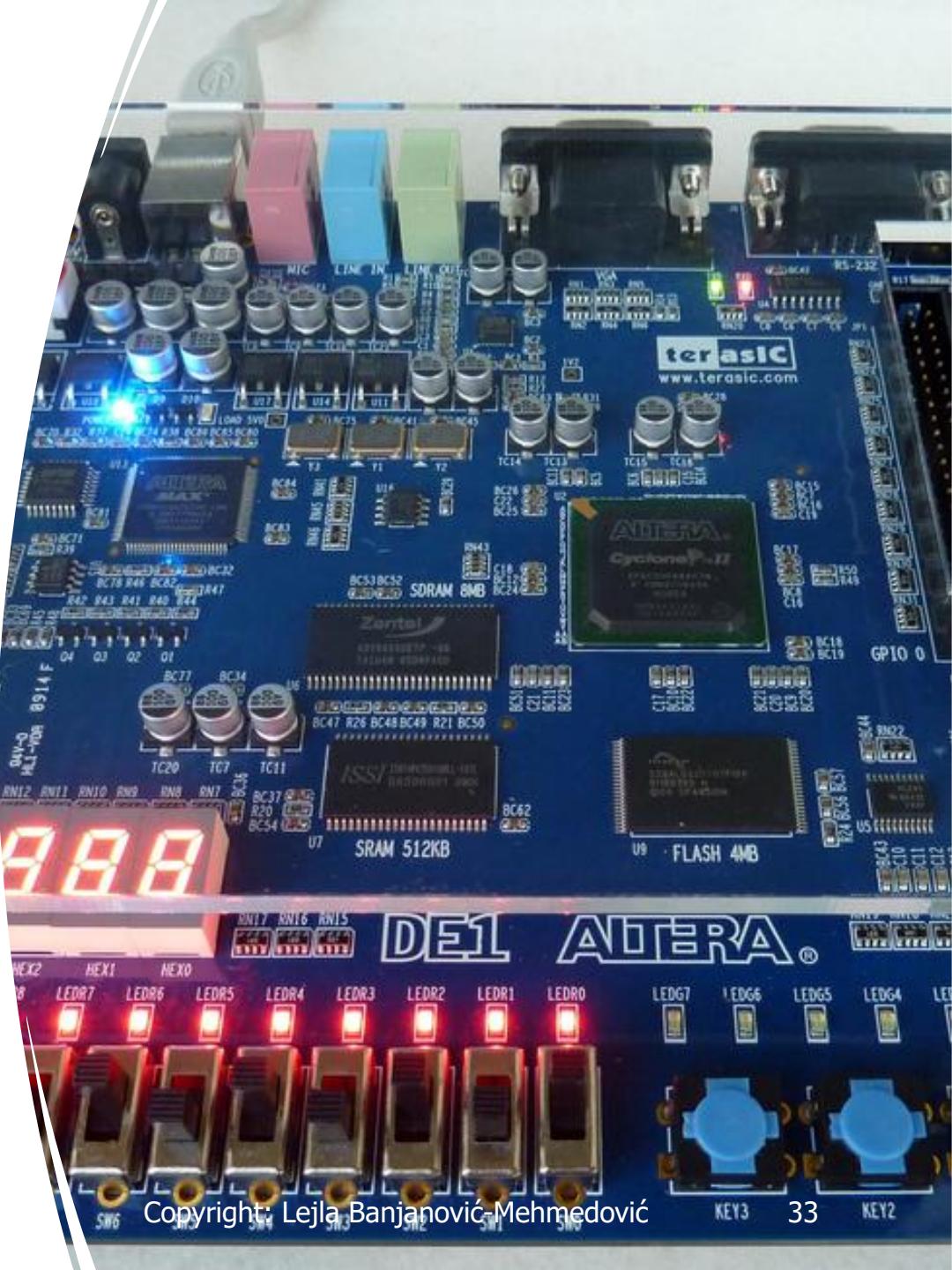
- Kombinacija logičkih elemenata posebne namjene i režima rada omogućava kompaktnu realizaciju logičkih struktura kao što su **sabirači, komparatori, brojači, SRAM blokovi i sl.**
- Međutim, složeni logički blokovi često su **nepotpuno iskorišteni**, a ekonomičnost implementacije zavisi od nivoa usklađenosti strukture sistema koji se projektuje i FPGA arhitekture.
- Posljedica: **logička gustina sistema realizovanih u FPGA arhitekturi grube granularnosti obično manja od one koja je deklarisana za konkretno FPGA kolo.**

Logički blokovi grube granularnosti

- **Rekonfigurabilnost** nije moguće ostvariti pomoću antifuse tehnogije, koja je **poželjna karakteristika FPGA arhitekture**.
- Zbog **toga rekonfigurabilne FPGA arhitekture**, po pravilu, koriste **logičke blokove grube granularnosti (bazirane na SRAM tehnologiji)**.

Tehnologija konfiguracionih čelija kod FPGA

- Konfiguracione čelije kod FPGA kola mogu biti izvedene kao:
 - SRAM kola
 - kola tipa anti-osigurači (eng. antifuses)
 - EEPROM kola



SRAM konfigurabilne ćelije kod FPGA

- Najveći dio FPGA-ova se zasniva danas na korištenju **SRAM konfigurabilnih ćelija što znači da se ova kola mogu konfigurisati (programirati) više puta.**
- Nakon uključenja na napajanje FPGA kolo mora da se inicijalizira kako bi obavljalo svoju funkciju, iz razloga **što SRAM ćelija gubi sadržaj kada nije pod napajanjem.**
- Glavne prednosti ove tehnike su što se nove ideje mogu brzo implementirati i testirati, dok je nove standarde i protokole relativno lako uvesti.

FPGA ćelija sa antiosiguračima

- Nasuprot FPGA kolima sa SRAM ćelijama koja se programiraju na samoj ploči, **FPGA kola sa antiosiguračima se programiraju kada se izvade iz ploče (off-line) korištenjem specijalnih uređaja nazvanih programatori.**
- **Nakon programiranja konfiguracioni sadržaj ostaje trajno zapisan u kolu, tj. ne može se više mjenjati.** To znači da su ova kola (eng. non-volatile) tipa, tj konfiguracioni podaci ostaju u kolu i nakon isključenja i ne zahtjevaju spoljne memorejske komponente za memorisanje konfiguracionih podataka.

EEPROM konfiguracione ćelija kod FPGA

- EPROM bazirane konfiguracione ćelije mogu se realizovati kao EEPROM/Fleš ćelije i hibridne Fleš-SRAM ćelije.
- **FPGA kola sa EEPROM ili fleš izvedenim konfiguracionim** ćelijama slične su kolima sa SRAM ćelijama. Konfiguracione ćelije su povezane u jedan dugi lanac formirajući pomjerački registar. **Kola se obično programiraju (off-line) koristeći programator**, a postoje i neke verzije tipa programiranja na samoj ploči (**eng. in-system programmable – ISP**) ali je tada vrijeme programiranja do tri puta duže u odnosu na SRAM-zasnovanim komponentama.
- Neki proizvođači nude i kombinaciju programske tehnologije kod kojih se konfiguracioni element formira od **kombinacije Fleš (ili EEPROM) ćelije i SRAM ćelije**. Kod ovog rješenja Fleš element se može re-programirati.

Karakteristike konfiguracionih ćelija kod FPGA kola

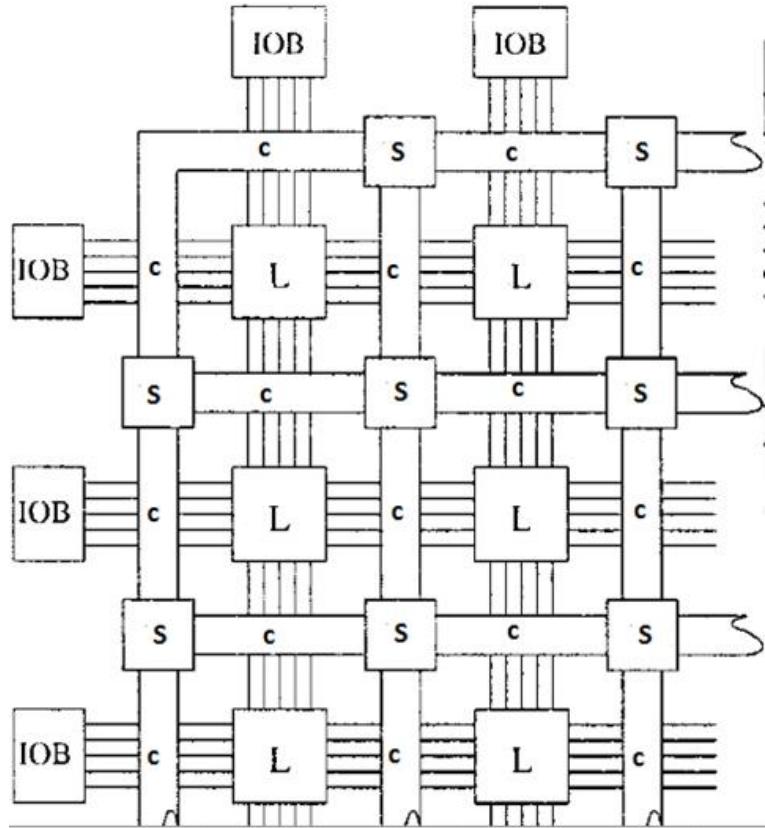
Osobine	SRAM	anti-prekidač	EPROM/Fleš
tehnologija čvora	savremena	poznata i korištena prije jednu ili više generacija	poznata i korištena prije jednu ili više generacija
mogućnost reprogramiranja	Da (<i>in-system</i>)	ne	da (<i>in-system</i> ili <i>off-line</i>)
brzina reprogramiranja	brza	-	tri puta sporija u odnosu na SRAM
volatile (<i>mora da se programira nakon uključenog napajanja</i>)	da	ne	ne (ali može ako je potrebno)
eksterni konfiguracioni fajl	da	ne	ne
dobro za prototipove	da	ne	da (<i>prihvatljivo</i>)
trenutno radi nakon uključenja na napajanje	ne	da	da
obim konfiguracione ćelije	veliki (<i>šest tranzistora</i>)	veoma-mali	srednje-mali (<i>dva tranzistora</i>)
potrošnja energije rad - hard	srednje	niska	srednje realno - ne
	ne	da	

Interkonekciona mreža

- Interkonekciona mreža je bitna komponenta FPGA arhitekture.
- Bazični elementi interkonekcione mreže su:
 - **žičani segmenti**
 - **programabilni prekidači.**

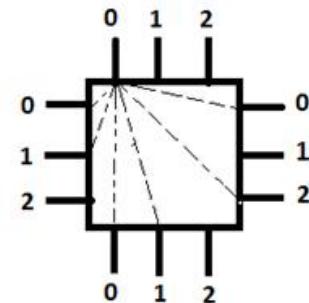
Interkonekciona mreža

- **Žičani segmenti** su smješteni u horizontalnim i vertikalnim kanalima između logičkih blokova, dok su **programabilni prekidači** grupisani u blokove koji su locirani u presjecima kanala i koji poput skretnica služe za nadovezivanje žičanih segmenata.
- Grupisani u blokove (slika):
 - za povezivanje (**Connection Blocks - C**) i
 - prekidačke blokove (**Switching Blocks - S**).

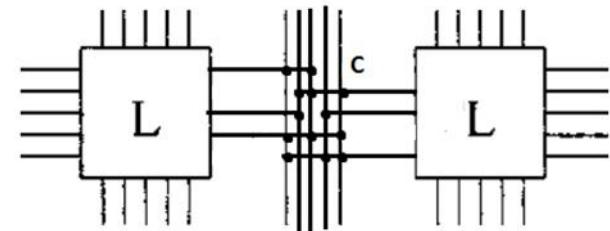


Interkonekciona mreža

- **S blokovi** omogućavaju spajanje horizontalnih i vertikalnih žičanih segmenata.
- Logički blok (označen sa L) ima određeni broj priključaka sa svake strane i **povezuje se sa interkonekcionom mrežom pomoću C bloka**.
- Žičani segmenti prolaze neprekinuti kroz C blok, a svaki priključak L bloka se može povezati sa fiksnim brojem žičanih segmenata koji prolaze kroz C blok.

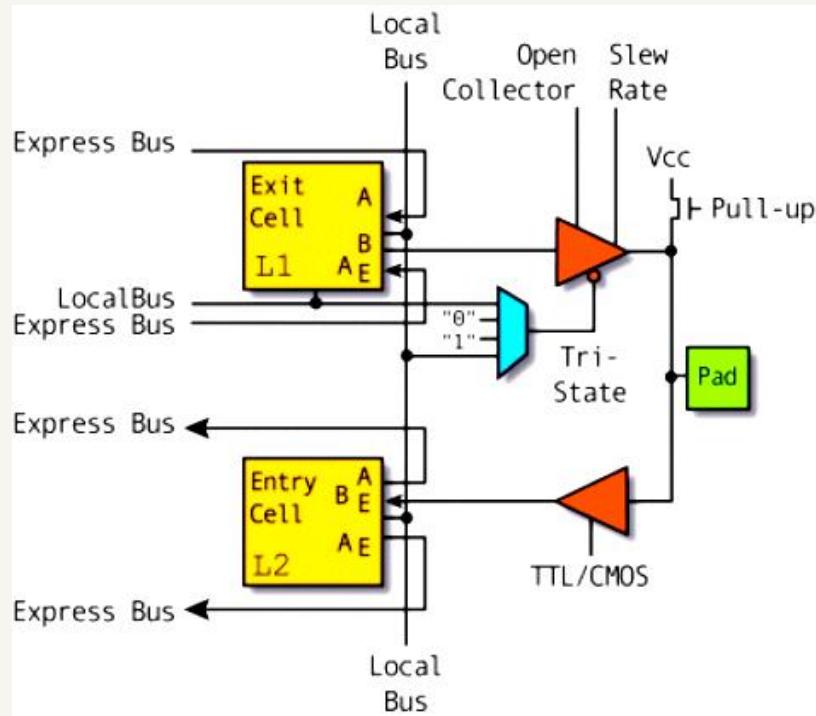


S blok



C blok

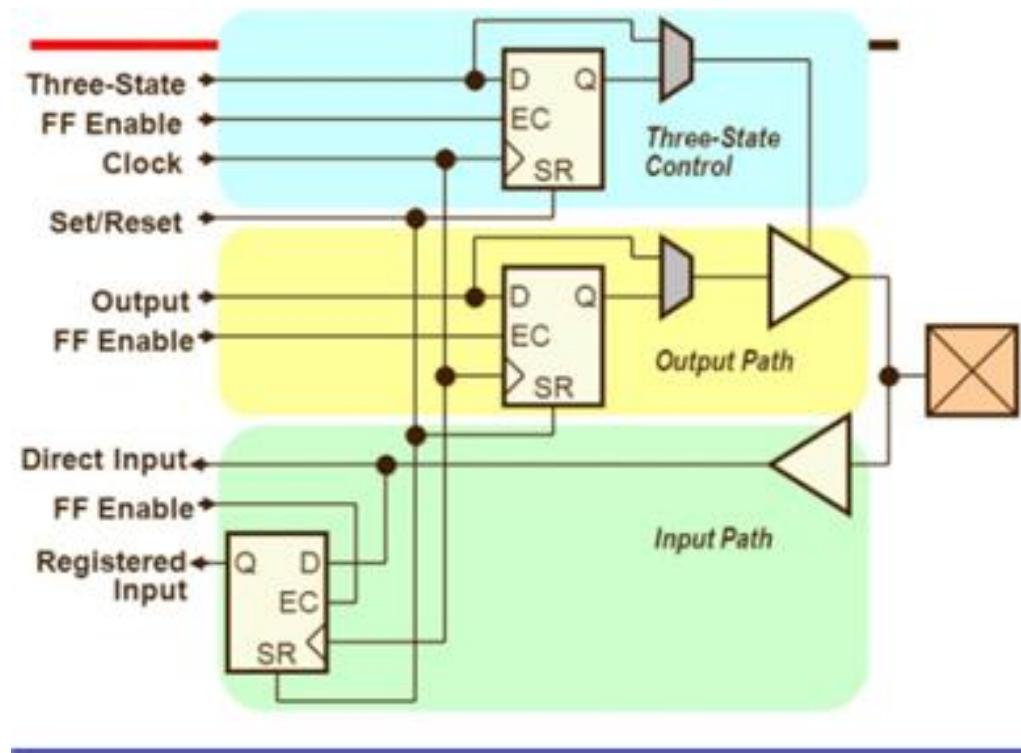
U/I blokovi



- Tipično FPGA kolo posjeduje veliki broj pinova opšte namjene (često i više stotina) koji se mogu, po potrebi koristiti ili kao ulazi ili kao izlazi.
- **Iza svakog pina u FPGA kolu, postoji U/I blok** koji se koristi za prihvatanje signala sa pina (ako se on koristi kao ulaz), odnosno, za proslijeđivanje signala na pin (ako se pin koristi kao izlaz).

U/I blokovi

- Dodatno, U/I blok sadrži i par flip-flopova (slično kao kod CPLD kola)



Klasična struktura U/I bloka

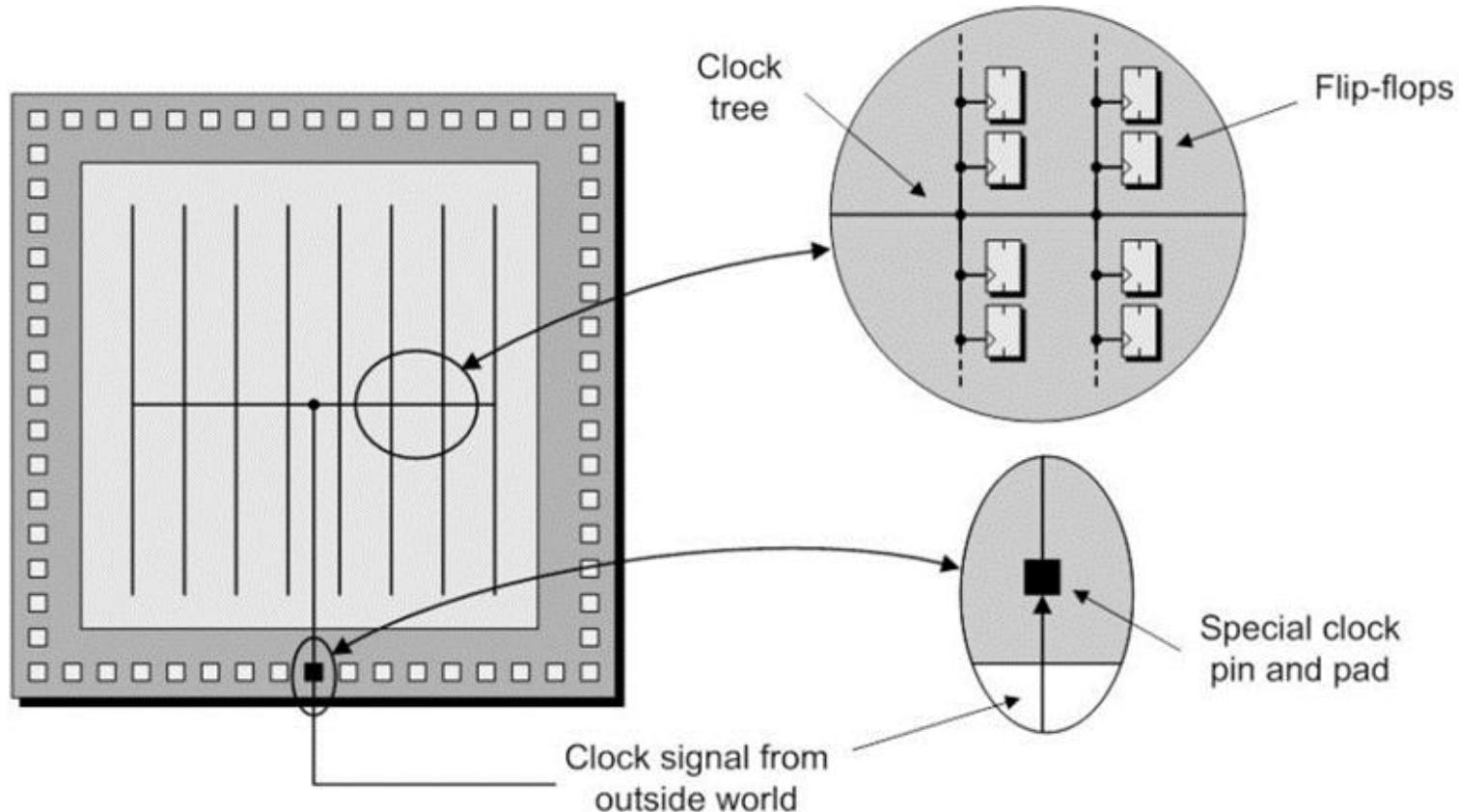
Arhitektura FPGA

- Savremene FPGA strukture sadrže pored spomenute tri komponente i druge gradivne blokove, koji se koriste za sljedeće namjene:
 - Distribucija taktnog signala do svakog logičkog bloka,
 - Obavljanje aritmetičkih operacija, selekciju blokova i memorisanje, tj implementiraju se kao ALU, množaci, dekoderi i memorija.
 - Programiranje i testiranje uključujući JTAG lanac i programabilne elemente.

Distribucija takta

- Svi sinhroni elementi unutar FPGA, kao što su registri konfigurisani kao flip-flopovi, **pobuđuju se taktnim, ili clock, signalom.**
- Taktni signal potiče iz spoljnog svijeta, **unosi se u FPGA kroz poseban ulazni pin, a zatim razvodi i povezuje sa odgovarajućim registrima.**
- Sistem provodnika koji se koriste za distribuciju takta naziva se **taktnim stablom (clock tree)** zato što se **glavni (ulazni) taktni signal dovodi do centralnog mjesa u kolu**, a zatim grana do svih registara. Na ovaj način se obezbjeđuje da svi flip-flopovi "vide" taktni signal na približno isti način.

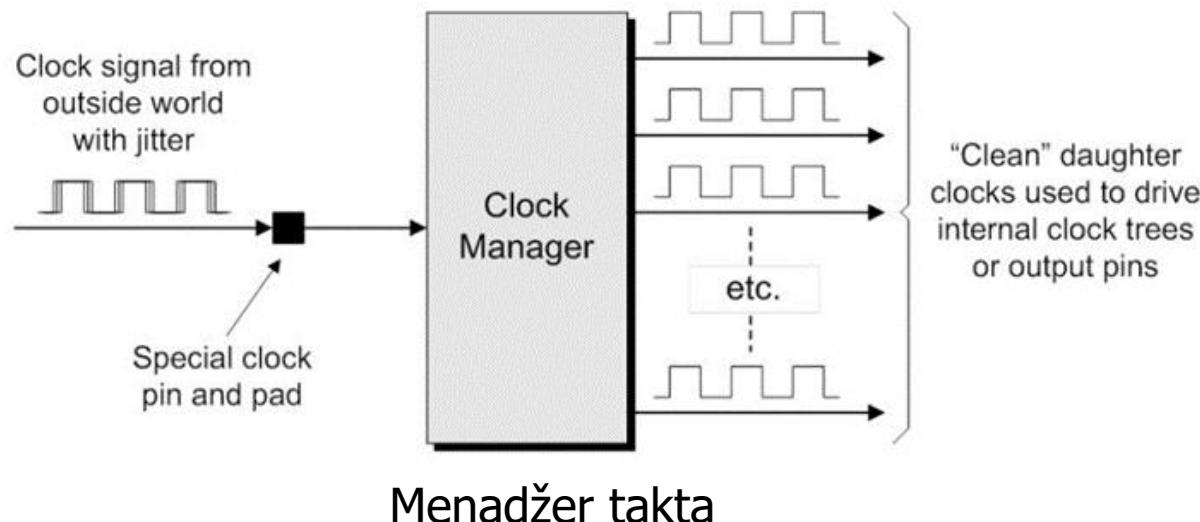
Distribucija takta



Jednostavno taktno stablo (clock tree)

Clock manager (menadžer takta)

- Ulazni clock pin može se konfigurisati da umjesto direktno pobuđuje taktno stablo, pobuđuje jedan poseban funkcionalni blok, koji se naziva **menadžerom takta**, a koji na osnovu ulaznog, glavnog taktnog signala generiše brojne sekundarne taktne signale

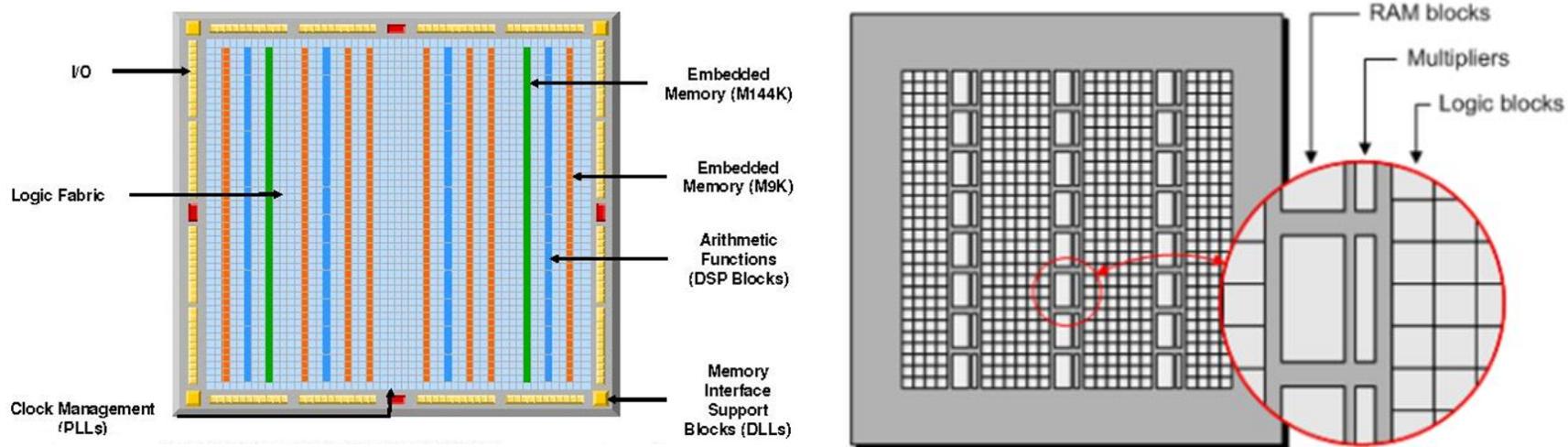


Clock manager (menadžer takta)

- Sekundarni taktni signali se mogu koristiti:
 - za pobudu unutrašnjih taktnih stabala ili
 - se mogu sprovesti do izlaznih pinova kola i koristiti za pobuđivanje drugih kola na istoj ploči.
- **Tipovi, mogućnosti i broj ugrađenih menadžera takta razlikuju se od familije do familije FPGA.**

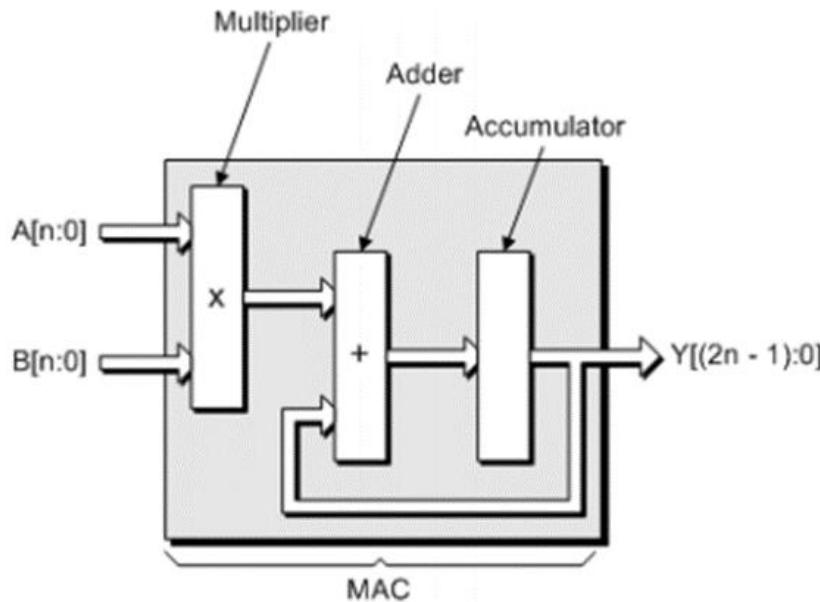
Integracija množača

- Množenje kao funkcija, realizuje se povezivanjem velikog broja logičkih elemenata, što stvara jako spore množače.
- Kako veliki broj funkcija zahtjeva upotrebu množača to se unutar FPGA kola integrišu specifične logičke strukture—blokovi množača.



Specijalni sabirački blokovi

- Mnoga FPGA kola sadrže i specijalne sabiračke blokove.
- Jedna od konstantnih operacija koju zahtjeva DSP blok jeste: pomnoži, saberi i zapamti – MAC (Multiply, Add and aCcumulate)



Funkcije jezgra koje formiraju MAC

Pregled procesorske tehnologije FPGA

- **Xilinx**

Technology	Low-end	Mid-range	High-Performance
120/150 nm			Virtex-II
90 nm	Spartan 3		Virtex-4
65 nm			Virtex-5
40/45 nm	Spartan 6		Virtex-6
28 nm	Artix-7	Kintex-7	Virtex-7
20/16 nm		Kintex UltraScale	Virtex UltraScale

- **Altera**

Technology	Low-end	Mid-range	High-Performance
130 nm	Cyclone		Stratix
90 nm	Cyclone II		Stratix II
65 nm	Cyclone III	Arria I	Stratix III
40 nm	Cyclone IV	Arria II	Stratix IV
28 nm	Cyclone V	Arria V	Stratix V
20/14 nm		Arria 10	Stratix 10

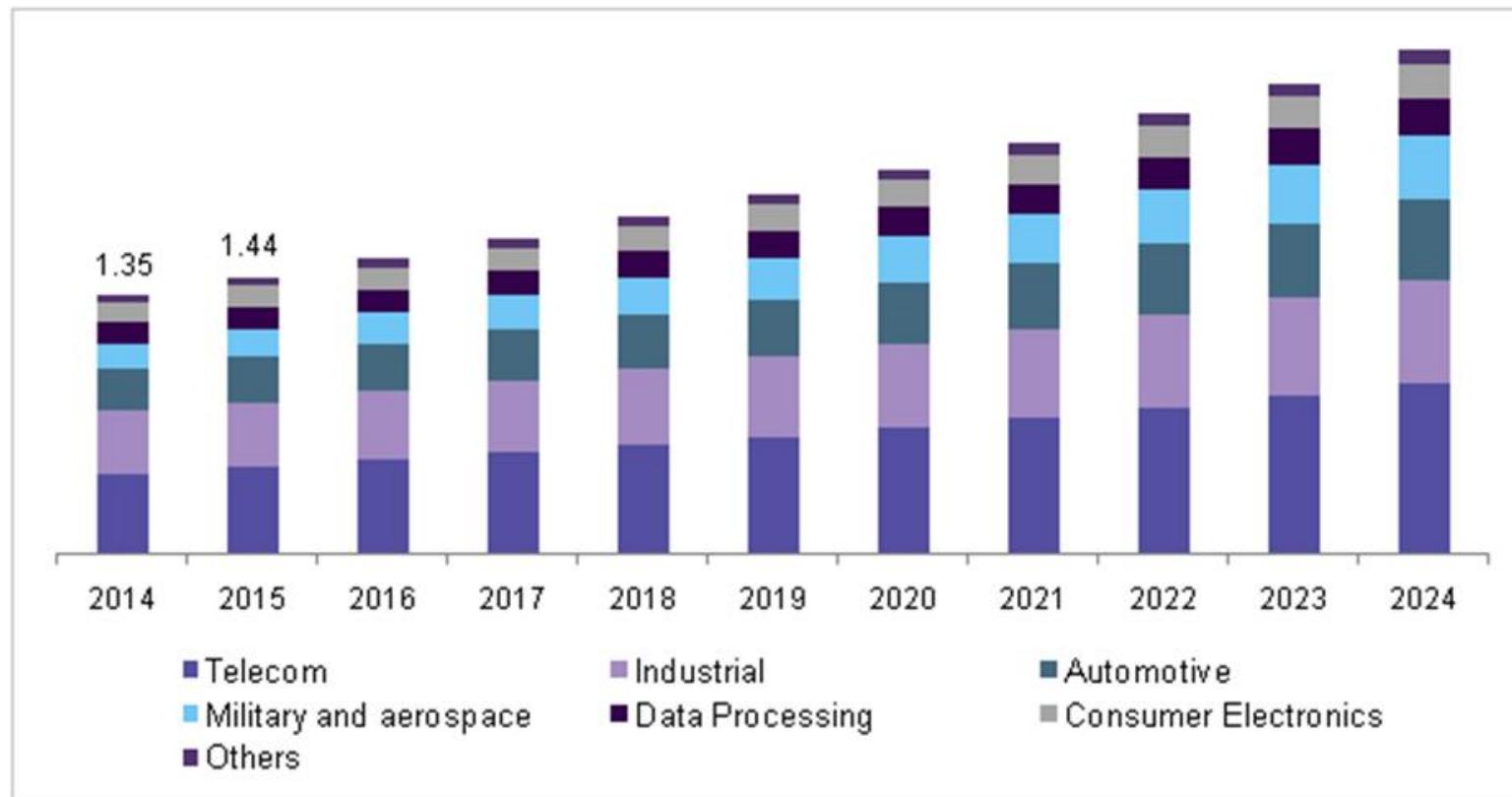
Tipovi FPGA kola bazirani na primjeni

- **Low – end FPGAs**
 - Ovi tipovi FPGA kola su dizajnirani za nisku potrošnju energije te nižu kompleksnost logike. Primjeri FPGA kola ove vrste su **Cyclone familija (Altera)**, **Spartan familija (Xilinx)** ...
- **Mid – range FPGAs**
 - FPGA kola ovog tipa su optimalna rješenja između low-end i high-end varijanti FPGA kola i dizajnirani su da naprave balans između cijene i performanse. Primjeri FPGA kola ove vrste su **Arria (Altera)**, **Artix-7/Kintex-7 (Xilinx)** ...
- **High – end FPGAs**
 - FPGA kola ovog tipa su razvijena za kompleksne probleme i visoku performansu. Primjeri FPGA ove vrste su **Stratix familija (Altera)**, **Virtex familija (Xilinx)** ...

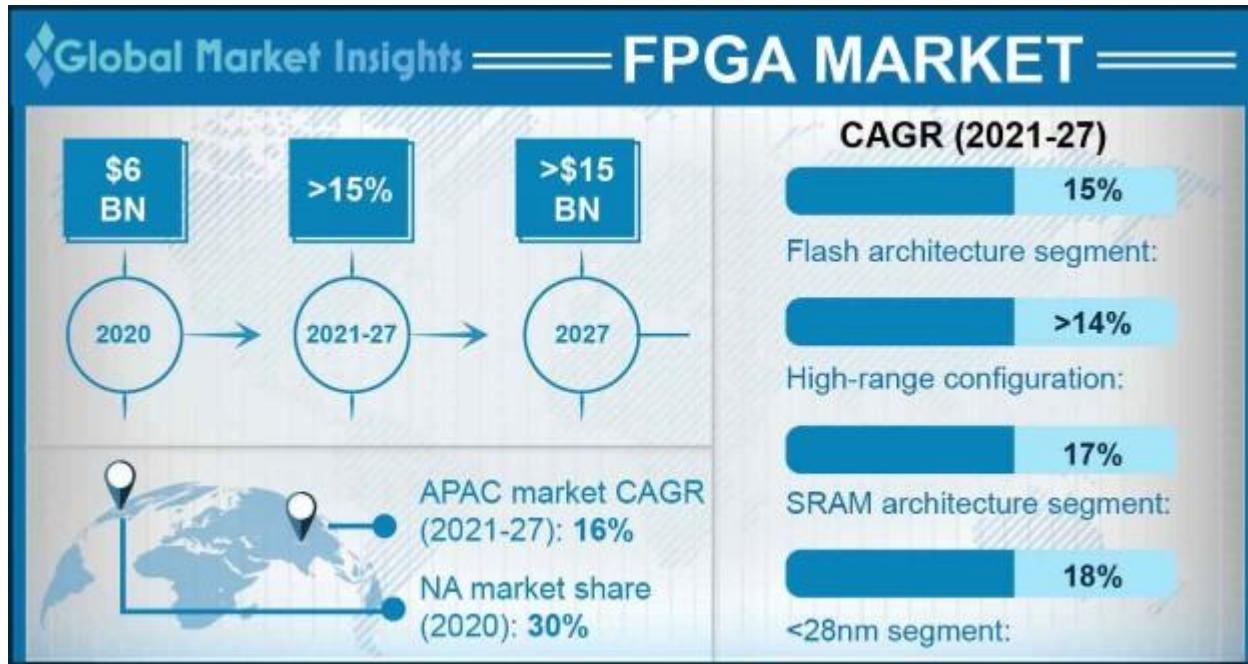
Tržište FPGA tehnologije

- **Rastuće aplikacije u vojsci i vazduhoplovstvu, potrošačkoj elektronici i automobilskoj industriji predstavljaju kritičan faktor koji podržava njihov rast u novijim segmentima.**

FPGA tržište po aplikaciji, 2014. - 2024. (USD Billion)



FPGA tržište i aplikacije



<https://www.logic-fruit.com/blog/fpga/what-is-fpga/#:~:text=As%20per%20one%20of%20the%20reports%20on%20marketsandmarkets%2C,other%20general-purpose%20logic%20accounting%20for%20%248.5%20billion.%E2%80%9D>

Usporedba FPGA i ASIC



- Povećana prednost FPGA-a naspram aplikacijski specijalnog integrisanog kola (ASIC) tokom posljednjih nekoliko godina može se pripisati njihovoj efikasnosti u odnosu na posljednje i rastuće potražnje koja potiče od industrije za krajnju upotrebu.

FPGA -primjena

- **Ako trebate filtrirati i reagirati na senzor koji se brzo mijenja, tada vam je potreban FPGA.**
- Također su **prilično dobri u video obradi**
- **Ako vam je potreban paralelizam, onda ima smisla koristiti FPGA** jer to možete postići.
 - primjeri detekcije više objekata kamerom u realnom vremenu.
 - Projekti sa FPGA-daleko iznad mogućnosti konvencionalnih mikrokontrolera, kao što je pokretanje 9000 pametnih LED dioda.
- Također, možete skrojiti vlastiti "dizajn čipa" i "lako" nadograditi neke funkcionalnosti **bez novog hardverskog čipa**.

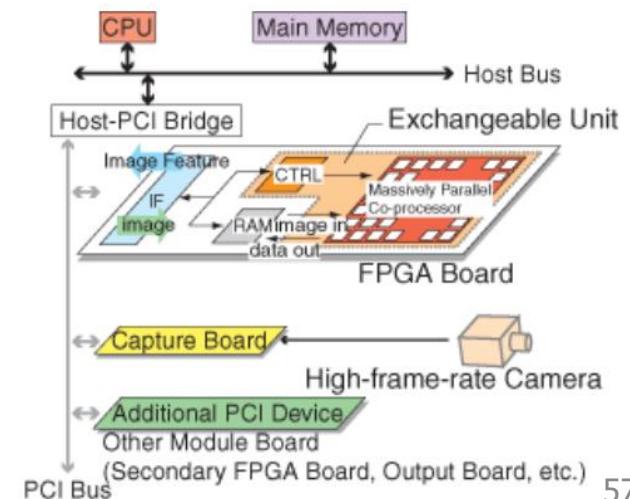
Zašto FPGA u ROBOTICI?

What you need for robotics is a processor.
An FPGA is just a special kind of processor
(reconfigurable).

Dense stereo processing for example is often done in FPGAs. Lots of cameras use FPGAs for processing the data stream

Why would someone want a 'reconfigurable' microprocessor? Well, because it costs far too much to fabricate a silicon processor to afford to do it for one, two, or even two hundred chips. You'd need to be running batches of thousands of chips to make it economically feasible.

What is also often used are hybrid solutions. Either with two chips, so one microcontroller for the program code, and an FPGA for IO or some other task. There also are a number of FPGAs that actually have a microcontroller embedded.



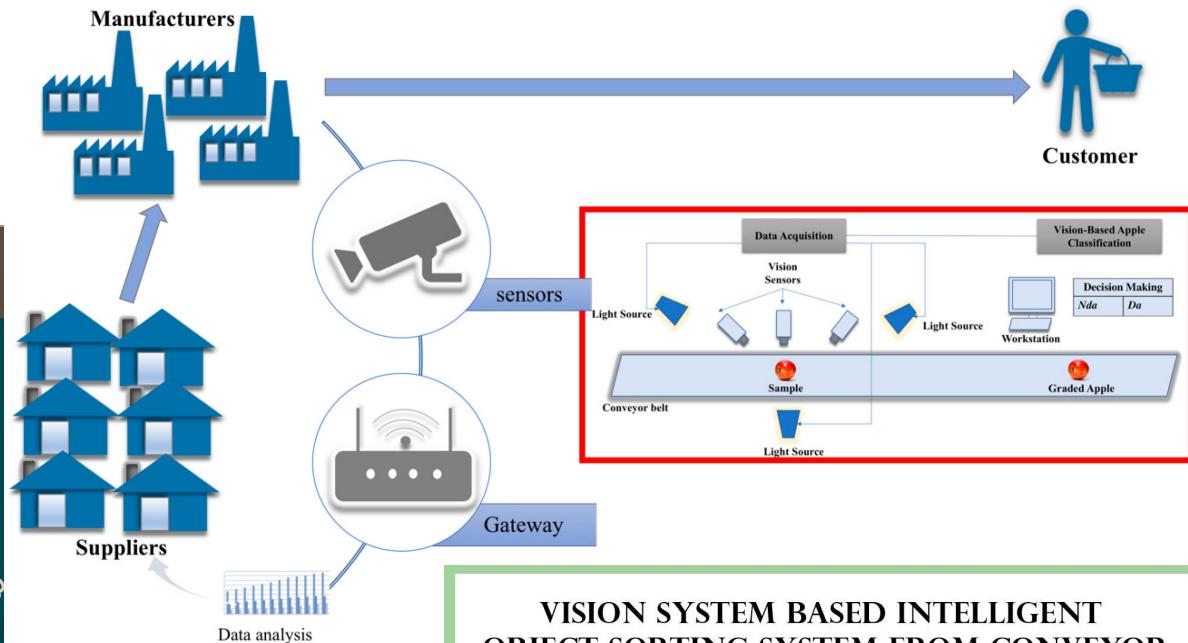
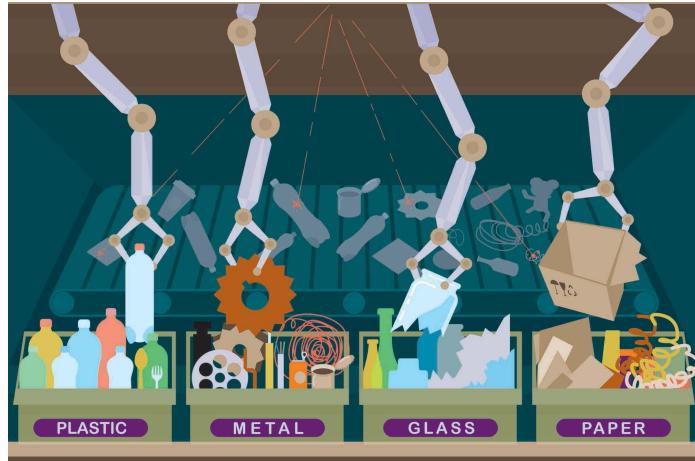
Zašto FPGA u ROBOTICI?

– Zašto FPGA u ROBOTICI?

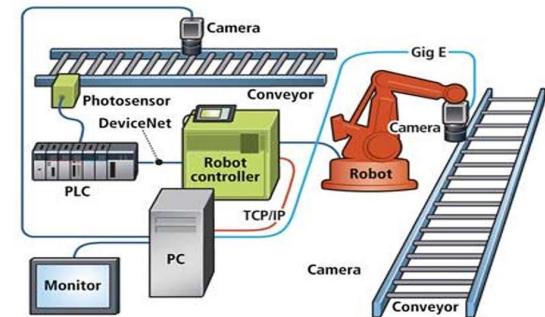
<https://robotics.stackexchange.com/questions/1153/when-should-fpgas-be-used-in-robotics>

– <http://www.virtualworldlets.net/Resources/Hosted/Resource.php?Name=HighSpeedRobotDexterity>

Motivacija: „pametno“ sortiranje otpada

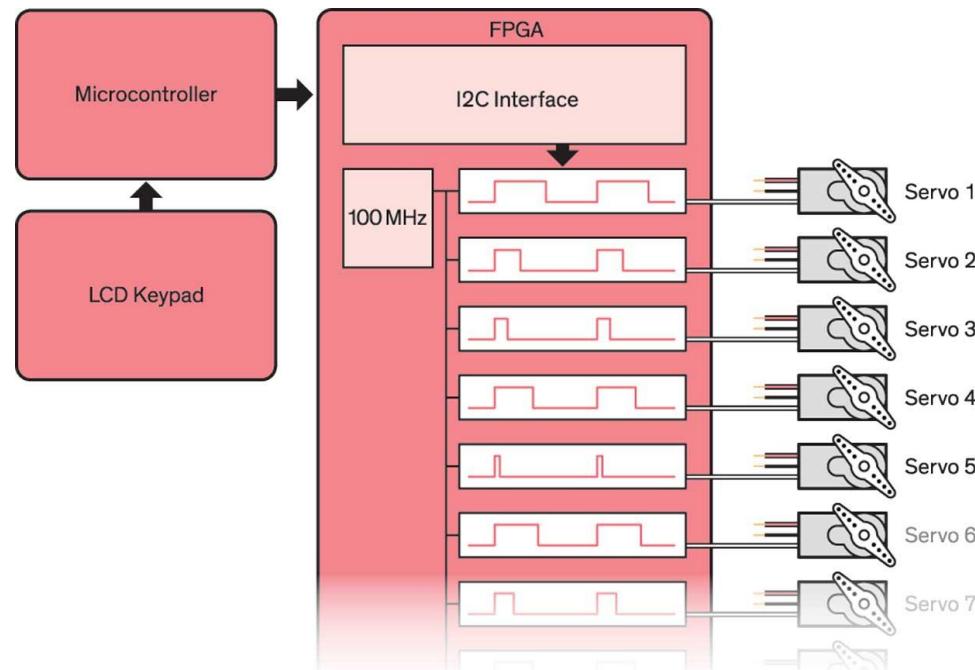


VISION SYSTEM BASED INTELLIGENT OBJECT SORTING SYSTEM FROM CONVEYOR



Primjer FPGA programiranja: Jednostavan sistem sa više izlaza

Motivacija - kinetička skulptura, parcijalno inspirisana sa
George Cutts's motorized sculpture Sea Change



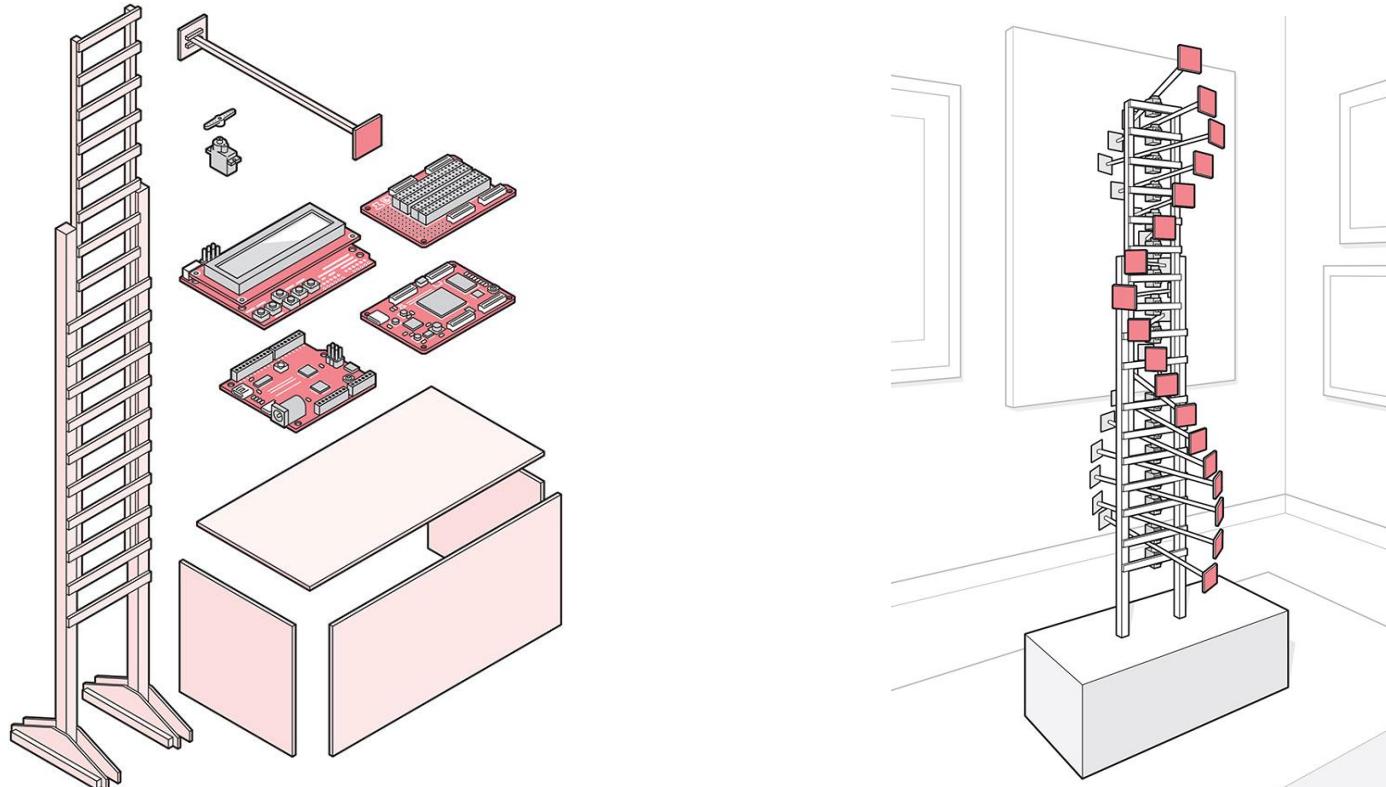
- Video

Paralelizam kod izvršavanja FPGA operacija



Primjer FPGA programiranja: Jednostavan sistem sa više izlaza

- <https://spectrum.ieee.org/geek-life/hands-on/painless-fpga-programming>



Sa stajališta proizvođača, veliki dio privlačnosti izbora FPGA, leži u kapacitetu sklopova za rukovanje **velikim brojem ulazno/izlaznih signala**.