



UNIVERZITET U TUZLI
FAKULTET ELEKTROTEHNIKE



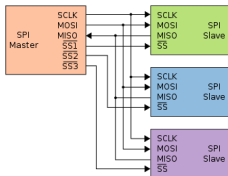
VHDL: SPI protokol

Dr. Sc. Asmir Gogić, vanr. prof.

Tuzla, 2020.

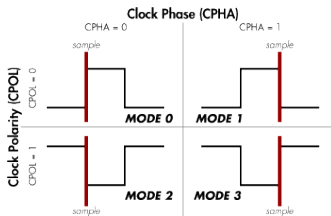
SPI protokol

- Razvijen od strane Motorola i Texas instruments (MicroWire) za Master-Slave oblik komunikacije.
- SPI u osnovi definira 4 komunikacijske linije:
 - **MOSI** (Master Out Slave In) - Linija za generiranje signala od strane MASTER-a prema SLAVE-u.
 - **MISO** (Master In Slave Out) - linija za generiranje signala od SLAVE-a prema MASTER-u.
 - **SCLK** (Serial Clock) - takt impulsi generirani od strane MASTER-a u cilju sinhronizacije.
 - **SS** (Slave Select) - signal za aktivaciju/selekciju SLAVE chip-a. Kada SS u stanju LOW, SLAVE prati stanje na MOSI liniji.
- SS signal omogućuje jedinstven sistem adresiranja velikog broja SPI modula koji egzistiraju na istim MOSI/MISO/SCLK linijama.
- Za svaki novi SPI uređaj neophodno je alocirati samo novu SS liniju.



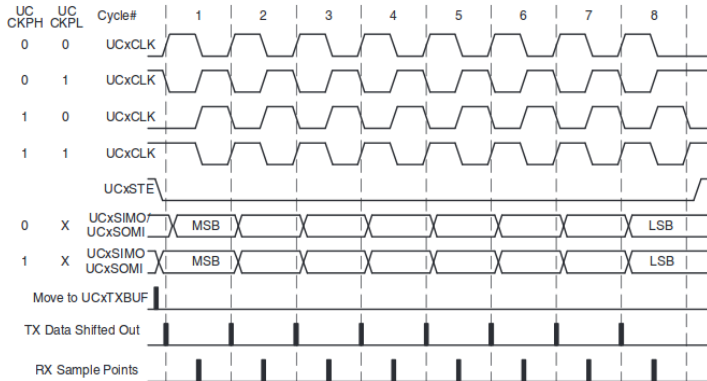
SPI modovi

- U zavisnosti kada se čita odnosno piše na linijama MISO/MOSI s obzirom na polaritet i ivicu takt impulsa, razlikujemo četiri pod vrste SPI protokola:
 - MODE0**¹ - Uzorkovanje se izvodi na rastućoj ivici SCLK a SCLK je LOW u IDLE stanju.
 - MODE1**² - Uzorkovanje se izvodi na opadajućoj ivici SCLK a SCLK je LOW u IDLE stanju.
 - MODE2** - Uzorkovanje se izvodi na opadajućoj ivici SCLK a SCLK je HIGH u IDLE stanju.
 - MODE3** - Uzorkovanje se izvodi na rastućoj ivici SCLK a SCLK je HIGH u IDLE stanju.

¹ Motorola mode² Texas Instruments

SPI protokol - talasni oblici signala

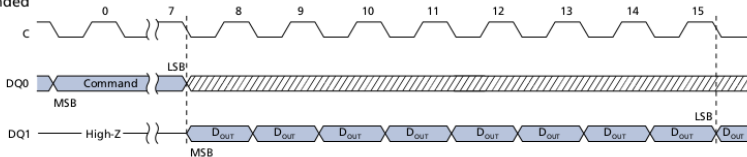
- Najčešće se koristi za komunikaciju sa raznim tipovima senzora kao što su: akcelerometri (ADXL362), IMU (Inertial Measurement Units) (MPU9250), RTC (DS1347), ADC (MCP3008), DAC (MAX5316), FRAM memorije (CY15B104Q), flash memorije (W25Q16), LCD TFT kontroleri (SSD1963), i drugi...



QSPI protokol

- **QSPI** - **Q**uad **S**erial **P**eripheral **I**nterface
- Predstavlja SPI protokol za pristup sa dvije ili četiri podatkovne linije.
- Poveća bitska brzina protokla 2x ili 4x ali i kompleksnost hardvera (primo-predajnika).
- Najčešće se koristi kod serijske flash memorije³

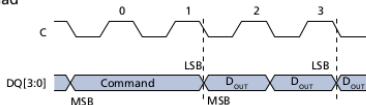
Extended



Dual



Quad



SPI - primjer

PRIMJER 1

Implementirati VHDL komponentu SPI predajnika sa sve četiri komunikacijske linije sa sljedećim ograničenjima:

- SPI emituje 8 bitne podatke/simbole,
- iniciranje transmisije se izvodi kroz određeni flag kao i kraj transmisije,
- frekvencija CLK impulsa je fiksna 1MHz,
- stanje CS linije se kontroliše iz komponente,
- koristi se MODE 0.

Dodatno, napisati testbench program koji će demonstrirati emitovanje podataka.

SPI - primjer

PRIMJER 2

Proširiti funkcionalnost SPI komponente tako da uključuje i Rx dio sa dodatnim ograničenjima:

- SPI prima 8 bitne podatke/simbole,
- prijem podatka se identifikuje kroz odredjeni flag,
- frekvencija CLK impulsa je fiksna 1MHz,
- stanje CS linije se kontroliše iz komponente,
- koristi se MODE 0.

Dodatno, napisati testbench program koji će demonstrirati prijem podataka.

SPI - primjer

PRIMJER 3

Proširiti funkcionalnost SPI komponente iz primjera 2 tako da se omogući definiranje:

- broja bita koje emituje po jednoj transakciji kroz interface komponente u opsegu od 1-32 bita,
- frekvencija impulsa koji se emituju,
- moda SPI protokola.

Dodatno, napisati testbench program koji će demonstrirati emitovanje i prijem podataka sa različitim brojem bita po simbolu npr 6, 12 i 20 bita po simbolu te demonstrirati promjenu moda i frekvencije takt impulsa.

PRIMJER 4

Proširiti funkcionalnost SPI komponente iz primjera 3 tako da se omogući definiranje:

- broja bita za MISO linije i to: 1,2,4 i 8, da bi se dobila single, duo, quad i octa verzija SPI protokola.

Dodatno, napisati testbench program koji će demonstrirati emitovanje i prijem podataka za različit broj podatkovnih linija.

SPI - primjer

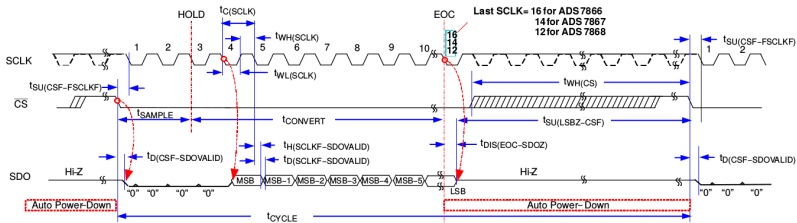
PRIMJER 5

Napisati VHDL program koji će implementirati driver za čitanje vrijednosti ADC-a **ADS7868** koristeći modifikovani SPI driver koji ima sljedeću specifikaciju:

- CS, SCK i MISO linije se koriste,
- frekvencija takt impulsa je 1MHz,
- u **idle** stanju SCK linija je HIGH a odmjeravanje podataka izvodi se na opadajućoj ivici SCK signala,
- konverzija analognog signala se izvodi obaranjem CS linije na LOW,
- kada CS linija postane LOW, četiri takt impulsa SCK linije će osigurati akviziciju analognog signala,
- 8 takt impulsa osigurava čitanje osmo-bitne vrijednosti uzorkovanog signala.
- prilikom startanja programa osigurati resetovanje CS linije kako bi se ADC probudio iz **low power** moda.

Prikupljanje binarne podatke emitovati putem UART-a na 921600 bauda. Dodatno, napisati testbench program koji će demonstrirati emitovanje i prijem podataka sa različitim brojem bita po simbolu npr 6, 12 i 20 bita po simbolu te demonstrirati promjenu moda i frekvencije takt impulsa.

SPI - primjer



Literatura

- RTL Hardware Design Using VHDL: Coding for Efficiency, Portability, and Scalability, 1st Edition by Pong P. Chu, 2006.
- Digital Systems Design Using VHDL 2 nd Edition, by Charles H. Roth, Jr. and Lizy Hurian John, Thomson, 2007.
- The Designer's Guide to VHDL, Third Edition, Peter J. Ashenden, 2008.