



UNIVERZITET U TUZLI
FAKULTET ELEKTROTEHNIKE



Dizajn logičkih sklopova na bazi osnovnih/složenih logičkih kola II

Dr. Sc. Asmir Gogić, vanr. prof.

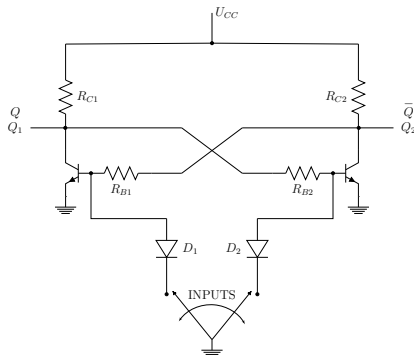
Tuzla, 2020

Sekvencijalni sklopovi

- **Sekvencijalni sklopovi** predstavljaju posebnu konfiguraciju/spoj logičkih kola koja imaju **spособnost privremenog storiranja**/pamćenja binarnih informacija.
- Pamćenje informacija u sekvencijalnim sklopovima **se izvodi** kroz posebne logičke krugove koje nazivamo **bistabili/flip flopovi**.
- **Izlaz sekvencijalnog sklopa** je funkcija trenutnih vrijednosti ulaza kao i prošlih vrijednosti izlaza.
- Stanje sekvencijalnog sklopa predstavlja binarnu kombinaciju koja je zapisana u sam sekvencijalni sklop
- ... sekvencijalni sklopovi se nazivaju i mašine sa konačnim brojem stanja **Final State Machine** FSM.
- **Tranzicija** iz jednog stanja u drugo u sekvencijalnom sklopu je **u skladu sa promjenom ulaza** i nekog **globalnog dijeljenog signala**, sekvencijalne sklopove dijelimo na
 - **SINHRONI** - koji reaguju na promjenu ulaza nakon promjene sinhronizacijskog signala,
 - **ASINHRONE** - koji reaguju samo na promjenu ulaza.

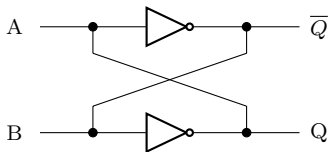
Sekvencijalni sklopovi

- **Sinhronizacijski signala** - povorka pravougaanih impulsa tzv taktni signal (*Clock Pulse CP*).
- ... gradivna komponenta sekvencijalnog sklopa je **bistabil**.
- **Bistabil** predstavlja elektronički sklop koji ima dva stabilna stanja.
- ... tranzicija iz jednog u drugo stabilno stanje izvodi se pod utjecajem vanjske pobude.



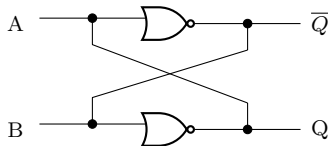
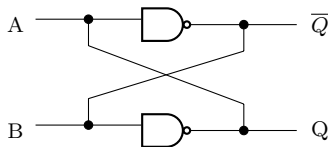
Sekvencijalni sklopovi - bistabili

- **Tranzistori** u sklopu bistabila rade u **prekidačkom režimu** tj mogu biti u stanju zakočenja ili zasićenja.
- Možemo primijetiti da imamo dva tranzistorska stepena koji su povezani **povratnim spregama**.
- ... povratna sprega je sredstvo kojim se osigurava da se informacija sa izlaza kola koristi u cilju stabilizacije/de-stabilizacije izlaza.
- Radne tačke tranzistora će ostati u datim oblastima sve dok ne djeluje vanjska pobuda (negativan signal na diodama D1 i D2).
- **Bistabil** možemo na jednostavna način **implementirati sa dva logička kola-invertor** koji su povezani povratnim spregama.



Sekvencijalni sklopovi - bistabili

- **Bistabil** možemo implementirati i sa NOR ili NAND logičkim kolima...

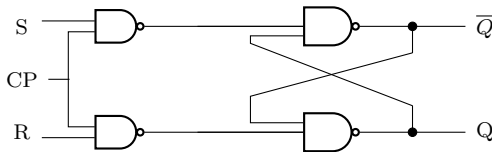


Sekvencijalni sklopovi - bistabili

A	B	Q_n	\overline{Q}_n
0	0	Q_{n-1}	\overline{Q}_{n-1}
0	1	1	0
1	0	0	1
1	1	0 ili 1	1 ili 0

Sinhroni bistabili

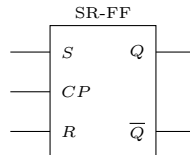
- Predstavljaju grupu bistabila kod kojih se **promjena izlaza** Q odvija samo u **tačno određenim vremenskim intervalima** definiranim takt impulsima (rastuća ili opadajuća ivica/brid).
- U grupu sinhronih bistabila spadaju:
 - SR bistabil,
 - JK bistabil,
 - T bistabil,
 - D bistabil,
 - MS bistabil.
- Jednačina stanja SR FF je: $Q_{n+1} = S + Q_n \bar{R}$



Sinhroni bistabili

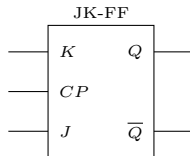
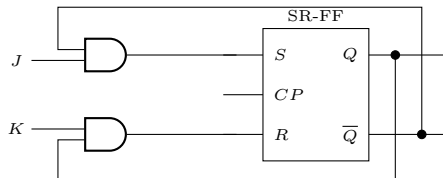
- Za ispravan rad SR FF-a neophodno je osigurati da je $S \cdot R = 0$

S	R	Q_n	Q_{n+1}
0	0	0	0
0	1	0	0
1	0	0	1
1	1	0	?
0	0	1	1
0	1	1	0
1	0	1	1
1	1	1	?



Sinhroni bistabili - JK

- **JK FF** predstavlja FF kod koga **nemamo zabranjenih stanja**.
- Problem zabranjenih stanja je riješen na taj način da stanje $J=1$ i $K=1$ invertuju trenutno stanje izlaza.



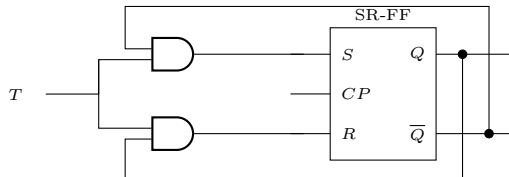
Sinhroni bistabili - JK

- Jednačina stanja JK-FF: $Q_{n+1} = J\overline{Q_n} + Q_n\overline{K}$

J	K	Q_n	Q_{n+1}
0	0	0	0
0	1	0	0
1	0	0	1
1	1	0	1
0	0	1	1
0	1	1	0
1	0	1	1
1	1	1	0

Sinhroni bistabili - T

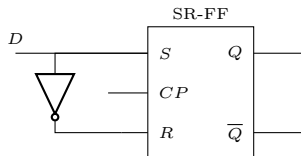
- Jednačina stanja T-FF: $Q_{n+1} = Q_n \overline{T} + T \overline{Q}_n$



T	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

Sinhroni bistabili - D

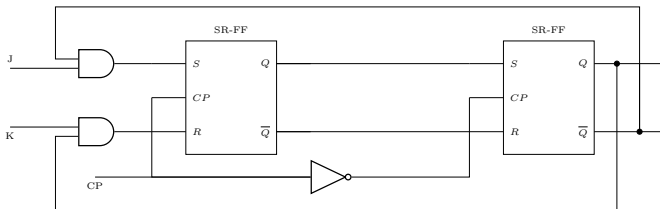
- Jednačina stanja D-FF: $Q_{n+1} = D$



D	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

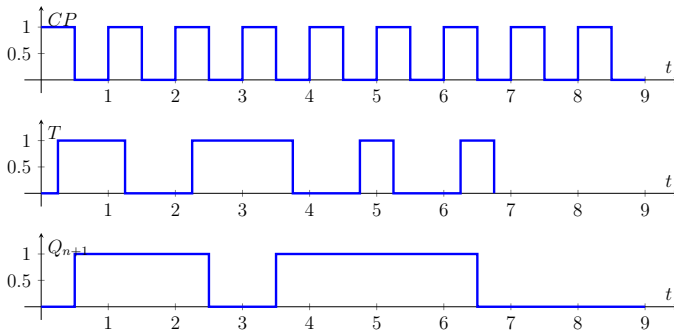
Sinhroni bistabili - MS

- **Nedostatak** svih FF je **transparentnost na ulazne** podatke tokom trajanja CP.
-vrijednost ulaza u trenutku tranzicije takt impulsa (rastuća ili opadajuća ivica) se uzima u obzir.
- Drugi problem je oscilacija izlaza bistabila koji koriste isti izvor takt impulsa.
- **Rješenje** \Rightarrow dodati **linije za kašnjenje** veće od perioda takt impulsa.
- Sve navedene probleme možemo riješiti koristeći MS (*Master - Slave*) FF-a.



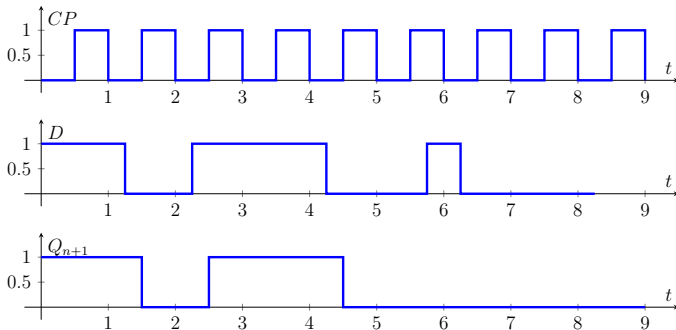
Primjer - T FF

- Odrediti talasni oblik T-FF koji okida na negativnu ivicu ako je početno stanje 0.



Primjer - D FF

- Odrediti talasni oblik D-FF koji okida na pozitivnu ivicu ako je početno stanje 1.

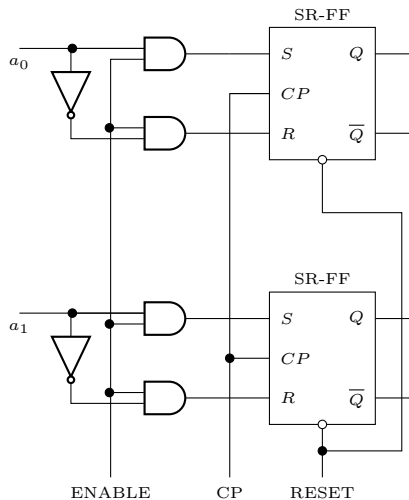


Registri

- **Registri** predstavljaju sekvencijalne logičke sklopove koji imaju mogućnost da **privremeno pamte**¹ binarne informacije.
- Osnovna **gradivna komponenta registra je FF** a broj FF-ova definira broj bita koje može registar da zapamti.
- Stanje registra će ostati nepromijenjeno sve dok je napajanje aktivno uz pretpostavku mirovanja ulaza.
- ... nakon prekida napajanja stanje registra će biti poništeno.
- **Inicijalno stanje** registra je neodređeno i zbog toga se stanje registra uvijek briše tokom inicijalizacije logičkog sklopa.
- Klasifikacija registara se izvodi sobzirom na način kako se informacije upisuju u čitaju:
 - Registri sa paralelnim ulazom i serijski izlazom,
 - Registri sa paralelnim ulazom i paralelnim izlazom,
 - Registri sa serijski ulazom i paralelnim izlazom,
 - Registri sa serijski ulazom i serijski izlazom.

¹ pamte informacije dok je napon napajanja prisutan - tzv. *volatile memory*

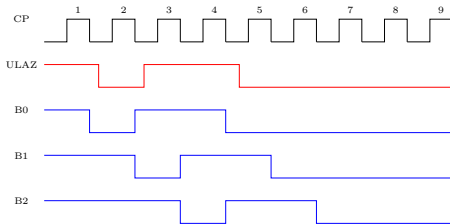
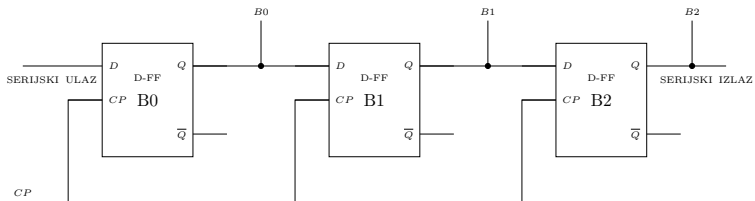
Dvobitni registar - PIPO



Serijski registar

- **Serijski registri** nazivaju se još *shift* ili posmačni registri.
- ... upis bita izvodi preko jedne zajedničke podatkovne linije.
- **Prednost paralelnih registara** u odnosu na serijske je činjenici da se upis/čitanje informacija izvodi N puta brže, gdje je N širina podatka koji se upisuje (*byte*, *halfword*, *word*).
- **Prednost serijskih registara** je u činjenici da se prijenos izvodi preko jedne komunikacijske linije (plus zajednički GND vod) pa je broj vodova neophodnih za komunikaciju reduciran sa N na 1.
- **Serijsko-paralelni registri**, registri sa serijskim ulazom i paralelnim izlazom (i obrnuto) se najčešće koriste za konverziju oblika prijenosa binarnih podataka tzv serijsko-paralelna konverzija i obrnuto.
- Serijske registre karakterizira činjenica da su bistabili (FF-ovi) povezani serijski, drugačije rečeno izlaz prethodnog bistabila veže se na ulaz narednog.
- ... svi biti će propagirati (proći) kroz prvi FF u registru (zbog čega su dobili i naziv posmačni).

Dvobitni registar - SIPO



Digitalni brojači

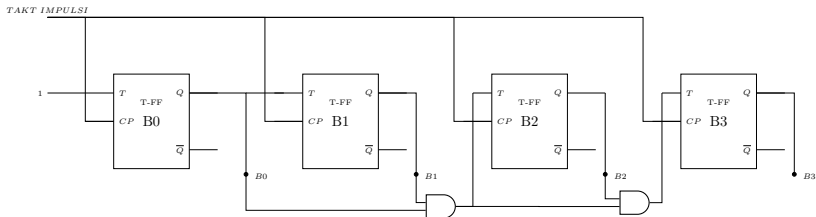
- Sekvencijalni sklop koji pod utjecajem takt impulsa prolazi kroz unaprijed utvrđen redoslijed stanja (binarne kombinacije).
- Kao i kod registara, osnovna **gradivna komponenta** brojača je **bistabil**.
- **Broj stanja brojača** određen je **brojem bistabila** koji čine brojač.
- Maksimalni broj stanja brojača je 2^N gdje je N broj bistabila u brojaču.
- Ukupan broj stanja brojila se ujedno naziva i modulo brojača.
- Način na koji bistabili okidaju, brojila dijelimo na:
 - **SINHRONA** - svi FF-ovi okidaju u isto vrijeme pa je cjelokupno kašnjenje brojača jednako kašnjenju jednog FF-a.
 - **ASINHRONA** - izlaz prethodnog FF-a predstavlja izvor takt impulsa narednog FF-a. Kašnjenje brojača je N puta veće u odnosu na sinhrona brojila. Asinhroni brojači su po svojoj konstrukciji jednostavniji.

Digitalni brojači - sinhroni

- Ako je redoslijed stanja brojača jednak redoslijedu binarnih kombinacija u prirodnom binarnom kodu, kažemo da se radi o binarnom brojilu.

CP	SLIJED BROJANJA				ULAZI FF-ova			
	B3	B2	B1	B0	T0	T1	T2	T3
1	0	0	0	0	1	0	0	0
2	0	0	0	1	1	1	0	0
3	0	0	1	0	1	0	0	0
4	0	0	1	1	1	1	1	0
5	0	1	0	0	1	0	0	0
6	0	1	0	1	1	1	0	0
7	0	1	1	0	1	0	0	0
8	0	1	1	1	1	1	1	1
9	1	0	0	0	1	0	0	0
10	1	0	0	1	1	1	0	0
11	1	0	1	0	1	0	0	0
12	1	0	1	1	1	1	1	0
13	1	1	0	0	1	0	0	0
14	1	1	0	1	1	1	0	0
15	1	1	1	0	1	0	0	0
16	1	1	1	1	1	1	1	1

Digitalni brojači - sinhroni binarni brojač

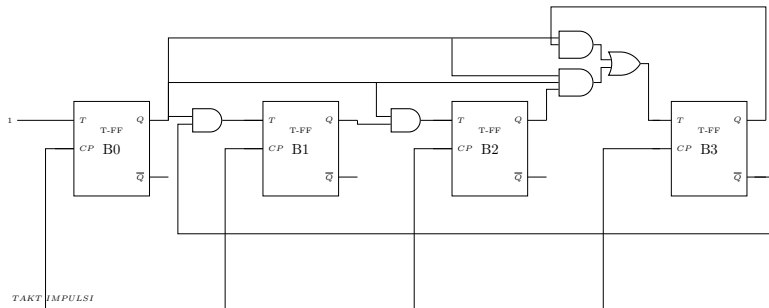


Digitalni brojači - sinhroni dekadski brojač

- Predstavlja binarni brojač modula 10
- Početno stanje je nula a brojač prolazi sve binarne kombinacije od 0000 do 1010.

CP	SLIJED BROJANJA				ULAZI FF-ova				R
	B3	B2	B1	B0	T0	T1	T2	T3	
1	0	0	0	0	1	0	0	0	0
2	0	0	0	1	1	1	0	0	0
3	0	0	1	0	1	0	0	0	0
4	0	0	1	1	1	1	1	0	0
5	0	1	0	0	1	0	0	0	0
6	0	1	0	1	1	1	0	0	0
7	0	1	1	0	1	0	0	0	0
8	0	1	1	1	1	1	1	1	0
9	1	0	0	0	1	0	0	0	0
10	1	0	0	1	1	0	0	1	0
11	1	0	1	0	x	x	x	x	1
12	1	0	1	1	x	x	x	x	0
13	1	1	0	0	x	x	x	x	0
14	1	1	0	1	x	x	x	x	0
15	1	1	1	0	x	x	x	x	0
16	1	1	1	1	x	x	x	x	0

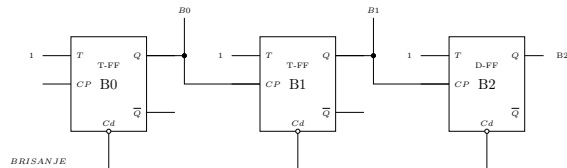
Digitalni brojači - sinhroni dekadski brojač



Digitalni brojači - asinhroni brojač

- **Asinhrona brojila** predstavljaju digitalna binarna brojila kod koga se **okidanje bistabila** (tranzicija iz jednog u drugo stanje) ne izvodi sinhrono.
- ...izlaz prethodnog bistabila služi kao izvor takt impulsa narednog FF-a.

CP	B2	B1	B0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1

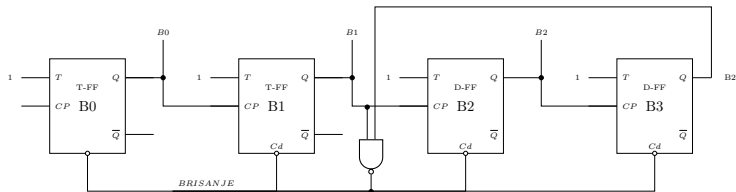


Digitalni brojači - asinhroni dekadski brojač

- Dizajnirati asinhrono brojilo modula 10 ako je početno stanje 0000.

CP	B3	B2	B1	B0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
RESET	1	0	1	0

Digitalni brojači - asinhroni dekadski brojač



Literatura

- RTL Hardware Design Using VHDL: Coding for Efficiency, Portability, and Scalability, 1st Edition by Pong P. Chu, 2006.
- Digital Systems Design Using VHDL 2 nd Edition, by Charles H. Roth, Jr. and Lizy Hurian John, Thomson, 2007.
- The Designer's Guide to VHDL, Third Edition, Peter J. Ashenden, 2008.
- U. Peruško, *Digitalna elektronika*, ŠK Zagreb 1995.
- S. Tešić, *Integrisana digitalna elektronika*, NK Beograd 1990.
- N. Nosović, *Uvod u digitalne računare*, ETF Sarajevo 2003.