



UNIVERZITET U TUZLI  
FAKULTET ELEKTROTEHNIKE



## Programabilna logička polja/uređaji

**Dr. Sc. Asmir Gogić, vanr. prof.**

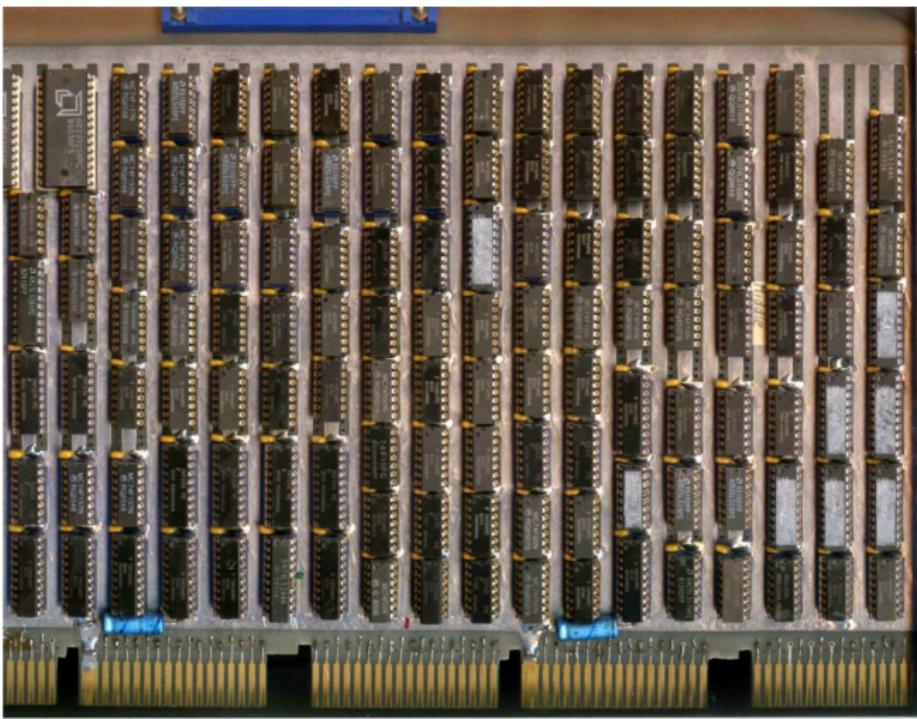
Tuzla, 2020.

# Digitalni sistemi

- **Kolekcija međusobno povezanih digitalnih modula** dizajniranih da obavlja specifičnu funkciju.
- Na bazi **skupa ulaznih** diskretnih informacija i diskretnih **internih informacija** generira skup diskretnih **izlaznih informacija**.
- Generalno digitalni sistemi mogu biti:
  - **Bez memorije** - **kombinacijski logički sklopovi** - izlaz je samo funkcija diskretnih informacija na ulazu.
  - **Sa memorijom** - **sekvencialni logički sklopovi** - stanja se osvježavaju u odgovarajućim vremenskim trenucima a izlaz sistema je funkcija trenutnih diskretnih vrijednosti ulaza i diskretnih internih stanja sistema. U zavisnosti da li se stanje izlaza osvježava u **jednakim** diskretnim vremenskim trenucima ili **proizvoljnim trenucima**, razlikujemo **sinhrone** i **asinhrone** sekvencialne digitalne sisteme.
- **Implementacija** logičkih sklopova je **specifična za aplikaciju** → upotreba osnovnih logičkih na prvi pogled predstavlja pravi put ka implementaciji.
- Osnovna logička kola sa 2, 3, 4, ili 6 ulaza su najčešće realizovana u grupama od 2, 3, 4, 6 ili više, u jednom čipu.

## Digitalni sistemi

- Realizacija logičkih sklopova danas se **ne izvodi** sa **integriranim logičkim** kolima jer bi isti zahtjevali ogromne resurse (komponente i prostor).



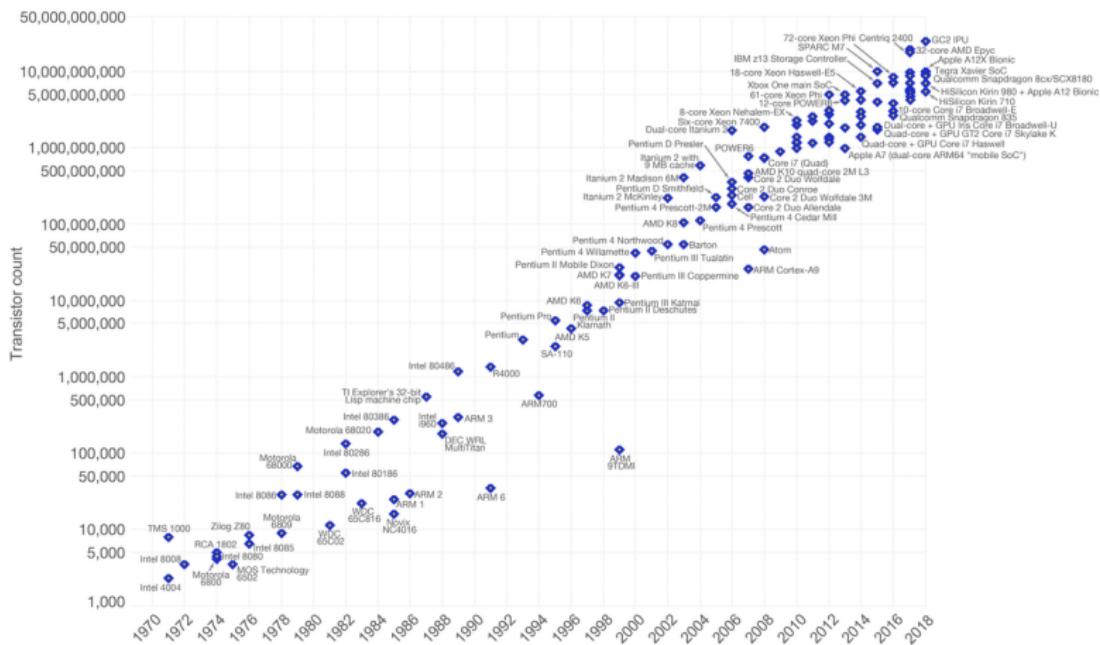
## Digitalni sistemi

- Uspostavljanje konekcija/**rutiranje** jer mukotrpan i iscrpan proces...



# Digitalni sistemi

- U osnovi, koristeći De'Morganovu teoremu i NAND/NOR kola mogli bi smo implementirati Intel-ov i9 ili AMD-ov Ryzen procesor. Da li je to praktično?
  - ***Moore's Law*** - broj tranzistora po čipu se udvostručava svakih 18 mjeseci...



## Digitalni sistemi

- Dizajn kompleksnih digitalnih čipova (kao što je Intel i9) je:
    - ***Ekstremno skup proces*** - veliki broj inženjerskih sati,
    - ***Veoma rizičan proces*** - mora postojati kritična masa korisnika,
    - ***Ne fleksibilan*** - finalni proizvod se ne može modifikovati hardverski.
  - Kao rezultat prethodnih ograničenja samo se vrlo mali broj svjetskih kompanija može baviti dizajnom istih.
  - Kako aplikacije postaju kompleksnije tako i proces dizajniranja sklopova koji će obnašati/izvršavati željenu funkcionalnost, postaje kompleksniji.
  - ***Rješenje:*** modelovati, analizirati i simulirati digitalni sklop na višem apstraktnom nivou a zatim implementirati isti koristeći softverske alate.
  - ***Posljedica:*** količine informacija specifična za sistem je redukovana te se možemo fokusirati na različite dizajnerske alternative na višem nivou.
  - ***Napomena:*** Softverski alati mogu automatizirati proces transformacije dizajna sa višeg nivoa na stvarnu implementaciju. Međutim, isti ***NEĆE pretvoriti loš u dobar dizajn.*** ***Krajnja efikasnost*** dolazi od strane dizajnera ***kroz iskustvo/spretnost/intelekt.***
  - ***Rezultat:*** nastanak programabilnih logičkih čipova.

# Digitalni sistemi - klasifikacije tehnologija

- **ASIC - Application Specific Integrated Chip**  
predstavlja posebnu grupu logičkih čipova koji su isključivo dizajnirani za ciljanu aplikaciju. Mogućnost rekonfiguracije je vrlo mala ili nikakva. Finalni čip je u potpunosti optimiziran (vrijeme izvođenja operacije, propagacijska kašnjenja) za datu aplikaciju.
  - **CFPD - Complex Field Programmable Devices**  
predstavlja čipove koji se sastoje od generičkih logičkih celija i generalizovane matrice konekcije. Logičke konekcije se mogu programirati te je omogućena potpuna rekonfiguracija čipa/uređaja. U osnovi postoje dvije kategorije: FPGA i CPLD. Omogućavaju konfiguraciju kašnjenja, performanse su nešto lošije od ASIC-a sa znatno većom potrošnjom energije.
  - **SFPD - Simple Field Programmable Device**  
nemaju generalizovanu matricu interkonekcija te su njihove mogućnosti značajno redukovane u odnosu na FPGA/CPLD (njihovi nasljednici).
  - **SSI/MSI - Small Scale IC/Medium Scaled IC**  
dizajn sistema se svodi na upotrebu logičkih čipova (serija 74xxx ili 54xxx) sa predefiniranim i jednostavnim funkcijama (logička kola AND, OR, NOT, brojači, dekoderi, multiplekseri, itd...)
  - **Odabir tehnologije** za implementaciju sistema zavisi od aplikacije a ključni parametri su: brzina izvođenja operacije, kašnjenje, potrošnja energije, veličina IC-a i cijena.

## Digitalni sistemi - reprezentacija

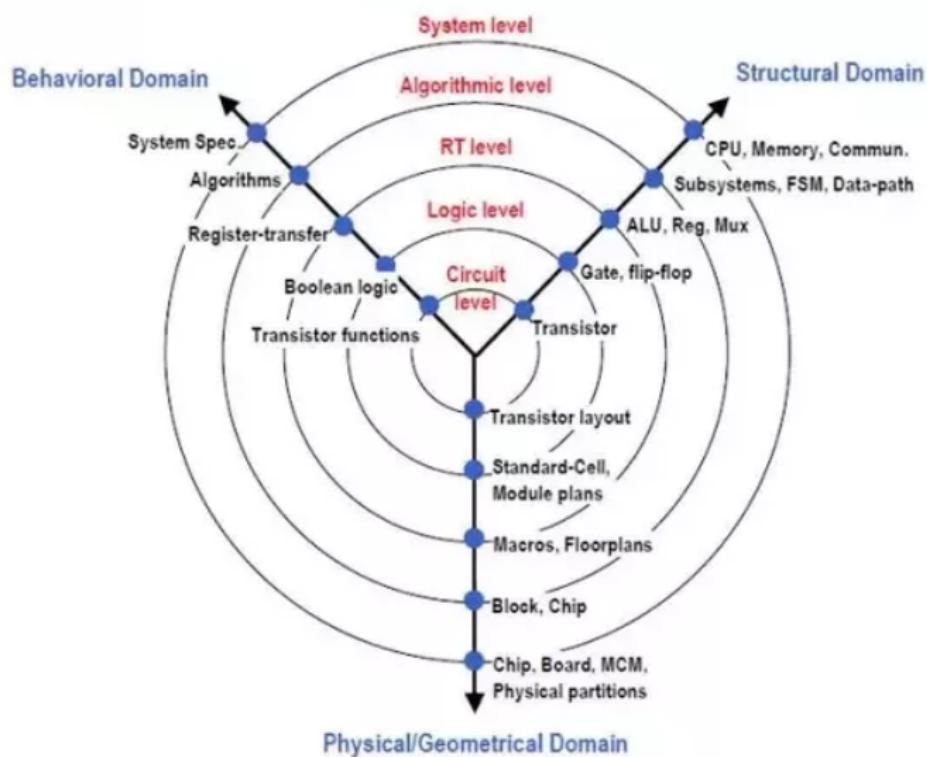
- U procesu razvoja digitalnog sistema prisutna je velika količina informacija kako za funkcionalnost tako za specifične hardverske komponente i njihova ograničenja.
- **Sistem** možemo opisati iz različitih perspektiva, date opise nazivamo reprezentacija sistema i u osnovi postoje tri:
  - **Funkcionalna/Behavioral view** - opisuje funkcionalnost sistema. Sistem se tretira kao "crna kutija" te se ignoriše interna implementacija. Fokus je stavljen na relacije između ulaznih i izlaznih signala i često postoji više načina da se isti opišu.
  - **Strukturna/Structural view** - daje opis interne implementacije sistema na način da se eksplicitno definira funkcionalnost svake komponente kao i njihove konekcije. U osnovi predstavlja shemu ili dijagram stanja sistema.
  - **Fizička/Physical view** - opisuje fizičke karakteristike sistema kao što su fizičke veličine komponenti (SMD/Through-hole 0402 ili 0805?), fizičku lokaciju komponenti kao i izgled staza/traces svih konekcija. Najbolji primjer fizičke perspektive je PCB.
- Fizička perspektiva osigurava najviše informacija i finalna je specifikacija u procesu proizvodnje sistema.
- Funkcionalna perspektiva reducira količinu informacija i najapstraktnija je forma opisa sistema.

# Digitalni sistemi - nivoi apstrakcije

- Količina tranzistora za realizaciju digitalnih sistema prelazi  $10^9$  te je nemoguće čak i da računar procesira toliku količinu informacija u jednu cjelinu.
- U digitalnim sistemima postoje četiri nivoa apstrakcije
  - ***Transistor level***
  - ***Gate level***
  - ***Register transfer level RTL***
  - ***Processor level***
- Podjela na nivoje apstrakcije izvedena je s obzirom na veličinu gradivnih komponenti: tranzistori, logička kola, registri i procesor.
- Nivo apstrakcije i perspektive mogu se integrirati u jednu cjelinu koju nazivamo Gajski-Kuhn Y-dijagram.
- Na svakom nivou apstrakcije analizira se pet karakteristika
  - ***Basic building blocks***
  - ***Signal representation***
  - ***Time representation***
  - ***Behavioral representation***
  - ***Physical representation***

## Digitalni sistemi - Y dijagram

## Gajski-Kuhn Chart or Y-Chart



Digitalni sistemi - nivoi apstrakcije - karakteristike

	Typical blocks	Signal representation	Time representation	Behavioral description	Physical description
<b>Transistor</b>	transistor, resistor	voltage	continuous function	differential equation	transistor layout
<b>Gate</b>	and, or, xor, flip-flop	logic 0 or 1	propagation delay	Boolean equation	cell layout
<b>RT</b>	adder, mux, register	integer, system state	clock tick	extended FSM	RT-level floor plan
<b>Processor</b>	processor, memory	abstract data type	event sequence	algorithm in C	IP-level floor plan

# Digitalni sistemi - razvoj i implementacija

- Razvoj digitalni sistema uključuje transformaciju - izradu apstrakcije na različitim nivoima i proces unaprjeđenja na svakom od nivoa.
- U procesu unaprjeđenja neophodno je validirati svaku funkciju sistema kako bi se osiguralo da finalni proizvod funkcioniše prema datim specifikacijama.
- Glavne **faze u procesu razvoja** digitalnog sistema su:
  - **Sinteza**
  - **Fizički dizajn**
  - **Verifikacija**
  - **Testiranje**
- **Sinteza** je proces unaprjeđenja koji ima za cilj kreiranje strukturalne reprezentacije na bazi funkcionalne reprezentacije odnosno kreiranje opisa sistema na višim nivoima na bazi jednostavnijih manjih komponenti.
- Kako sinteze napreduje, dodaje se više detalja koji za posljedicu imaju kreiranje strukturalnog opisa sistema na bazi logičkih kola.
- U cilju upravljanja procesa sinteze, ista se izvodi u nekoliko faza:
  - **High-level synthesis** - transformacija algoritama u RT-level opis.
  - **RT-level synthesis** - izvođenje strukturne implementacije sa RTL komponentama
  - **Gate-level synthesis** - izvođenje strukturne implementacije sa logičkim kolima.
  - **Technology mapping** - implementacija logičkih kola u odabranoj tehnologiji.

# Digitalni sistemi - razvoj i implementacija

- **Fizički dizajn** - sastoji se od dva procesa
  - Unaprjeđenje između strukturne i fizičke perspektive koja ima za cilj generiranje sheme čvorova/netlist.
  - Analiza i unaprjeđenje električnih karakteristika električnih krugova.
- **Floor planning** - predstavlja proces generiranja sheme na nivou procesora i RTL-a. Sistem se dijeli na veće funkcionalne blokove koji se adekvatno pozicioniraju u IC-u kako bi se reduciralo zagušenje u procesu rutiranja<sup>1</sup> a sve u cilju postizanja željenog kašnjenja.
- Nakon rutiranja tačne dužine konekcija su poznate i odgovarajući **parazitni kapaciteti i otpornost** se mogu proračunati. Ovaj proces se naziva ekstrakcija mape električnog kola.
- Proračunati parazitni parametri se dalje koriste za određivanje propagacijskog kašnjenja signala.
- Zadnja faza fizičkog dizajna predstavlja provjera pravila dizajna, definiranje mreže za distribuciju energije (napona), definiranje mreže za distribuciju takt impulsa, estimacije potrošenje energije te osiguranje integriteta signala.

<sup>1</sup>Rutiranje - proces kreiranja veza između pojedinih gradivnih blokova programabilnog logičkog IC-a ili uređaja



# Digitalni sistemi - razvoj i implementacija

- **Verifikacija** - je proces provjere ispravnosti dizajna s obzirom na zadate specifikacije.
- Verifikacija uključuje dva aspekta: funkcionalnost i performanse.
- **Funkcionalna verifikacija** - ima za cilj provjeru da li implementacija osigurava željeni
- **Verifikacija performansi** - performanse sistema su date kroz vremenska ograničenja, najčešće kašnjenje signala, bitska brzina, itd. Stoga vremenska verifikacija provjerava da li se željeni odziv generira unutar definiranih vremenskih intervala.
- Najčešći način verifikacije izvodi se putem simulacija. Simulacija podrazumijeva izradu modela sistema pogodnog za izvršavanje na računaru te analizu odziva datog modela za željene ulaze.
- Model može biti stvarnog ili hipotetičkog sistema koji uključuje vremenska ograničenja.
- Prednost simulacija je što se može aplicirati na različitim nivoima apstrakcije.
- **Simulacije** predstavljaju metod za detekciju potencijalnih grešaka u implementaciji ali **ne osiguravaju** odsustvo grešaka. Drugačije rečeno, greške se mogu desiti u stvarnoj implementaciji zbog činjenice da model ne predstavlja stvarni sistem već samo njegovu grubu verziju sa određenim nivoom apstrakcije.

## Digitalni sistemi - razvoj i implementacija

- **Testiranje** - ima sličan cilj kao i verifikacija. Međutim, testiranje ima i za cilj detekciju grešaka fizičkog sistema.
- Tokom testiranja sistema želimo potvrditi da li dizajn koji funkcioniše u simulacijama (potvrđeno za dati nivo apstrakcije), je ispravno prilagođen stvarnom sistemu i dizajnu.
- Iako na prvi pogled faza testiranja izgleda jednostavna, činjenica da imamo **širok spektar ulaznih signala, nemoguće je analizirati** sve odzive.
- **Rješenje:** upotreba posebnih algoritama koji će generirati mali skup testnih ulaznih signala specifičnih za testiranje sistema.
- Shodno tome se prave testna okruženja (*test jig*) kako bi se mogli testirati različiti segmenti sistema s ciljem detekcije i lokalizacije greške.

- **Field Programmable Gate Array** - predstavlja matricu konfigurabilnih logičkih blokova (CLB's) koji su spojeni programabilnim interkonekcijama.
- Princip dizajna i implementacije FPGA čipa definirao Ross Freeman, jedan od osnivača Xilinx kompanije 1984. godine,
- Prvi komercijalni proizvod 1985. godine XC2000 serija.

### United States Patent [19]

Freeman

[11] Patent Number: 4,870,302

[45] Date of Patent: Sep. 26, 1989

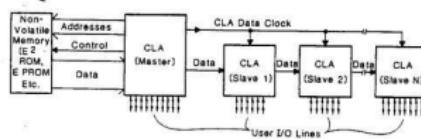
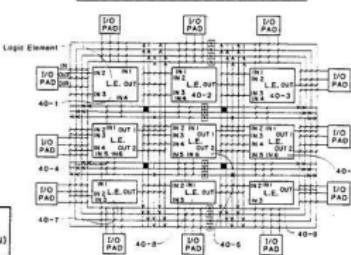
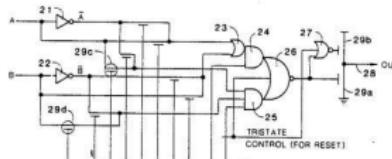
[54] CONFIGURABLE ELECTRICAL CIRCUIT HAVING CONFIGURABLE LOGIC ELEMENTS AND CONFIGURABLE INTERCONNECTS

[75] Inventor: Ross H. Freeman, San Jose, Calif.

[73] Assignee: Xilinx, Inc., San Jose, Calif.

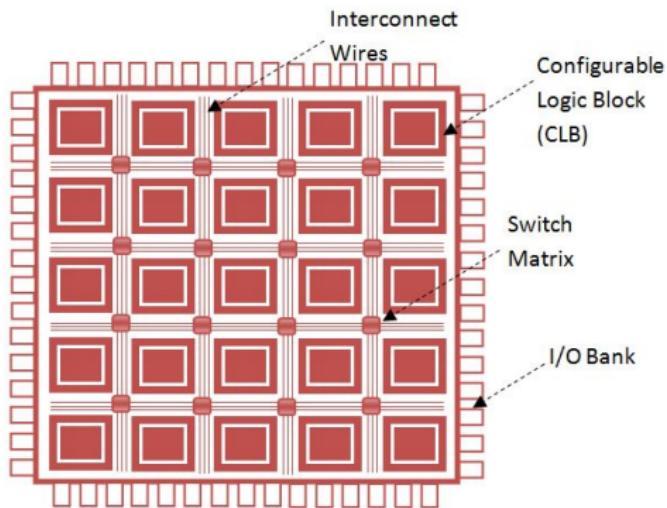
[21] Appl. No.: 158,011

[22] Filed: Feb. 19, 1988



# FPGA - arhitektura

- Generalno FPGA se sastoji od:
  - Programabilnih logičkih blokova (CLB) koji implementiraju logičke funkcije,
  - Programabilnih konekcija koje spajaju date logičke funkcije preko prekidačke matrice (*Switching matrix*),
  - I/O blokova koji su spojeni na CLB putem konekcija.

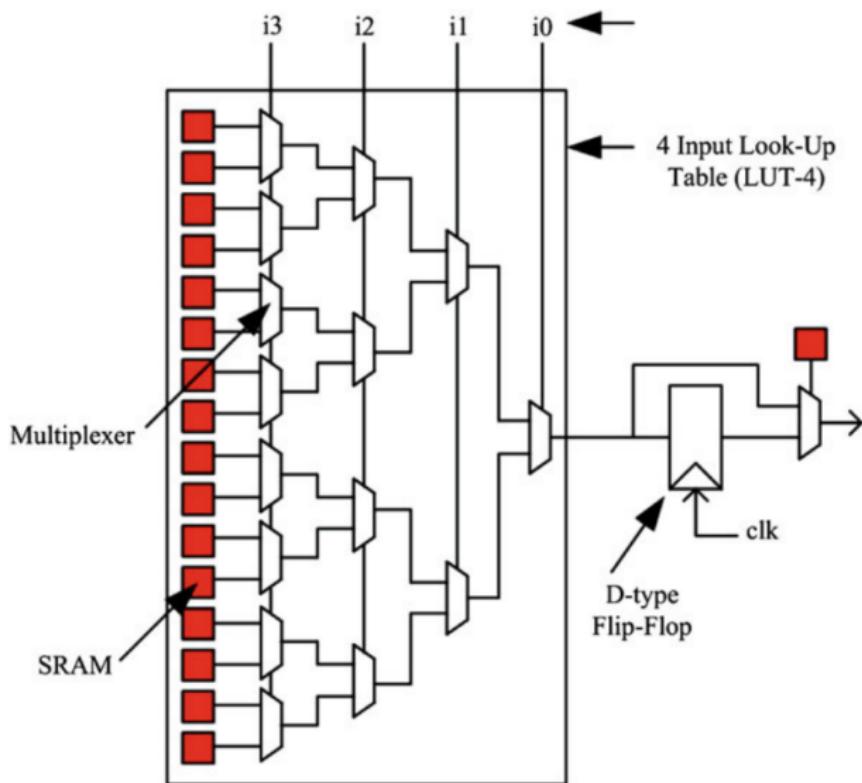


## FPGA - CLB

- **CLB** - je **osnovna gradivna komponenta FPGA** koja implementira "neku" osnovu logiku i mogućnost privremenog storiranja podataka.
- U osnovi CLB može biti jedan tranzistor ili više tranzistora, logičkih kola, registara ili cijeli procesor.
- Proizvođači kao što je Xilinx i Altera (Intel)<sup>2</sup> koriste LUT (Lookup Table) bazirane CLB-ove.
- Osnovna gradivna komponenta CLB-ova je BLE (*Basic Logic Element*) koji uključuje LUT-ove i Flip Flop-ove.
- **LUT** predstavlja statičku memoriju (registre) sa kolekcijom multipleksera od  $k$  ulaznih bita i  $m$  izlaznih bita.
- **LUT** sa  $k$  ulaznih bita sadrži  $2^k$  konfiguracijskih bita i može implementirati bilo koju logičku funkciju od  $k$  bita.
- Kod Xilinx baziranih FPGA čipova CLB se sastoji od BLE-ova koji se nazivaju **SLICES**.
- Često se kod Xilinx FPGA čipova **LUT** oslovjava kao **generator funkcija**.

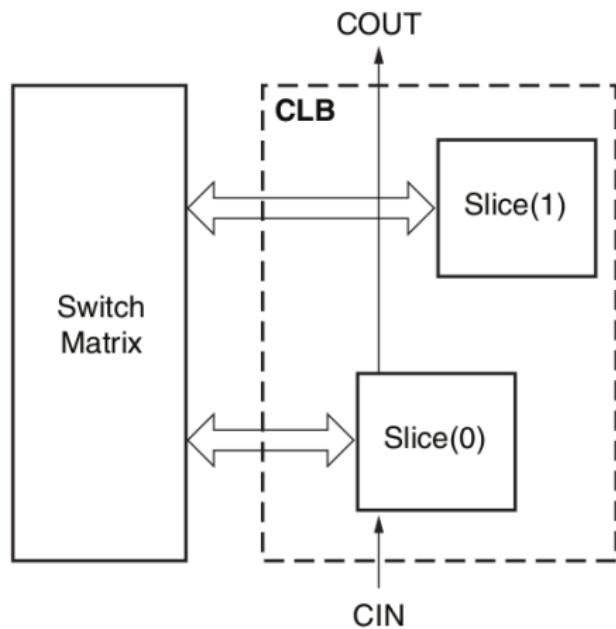
<sup>2</sup>Xilinx i Altera (Intel) predstavljaju 89% FPGA tržišta sa gotovo jednakim udjelom, ostatak čine kompanije kao što su: Lattice Semiconductors, MicroSemi, QuickLogic

# FPGA - BLE: LUT-4 & D-FF

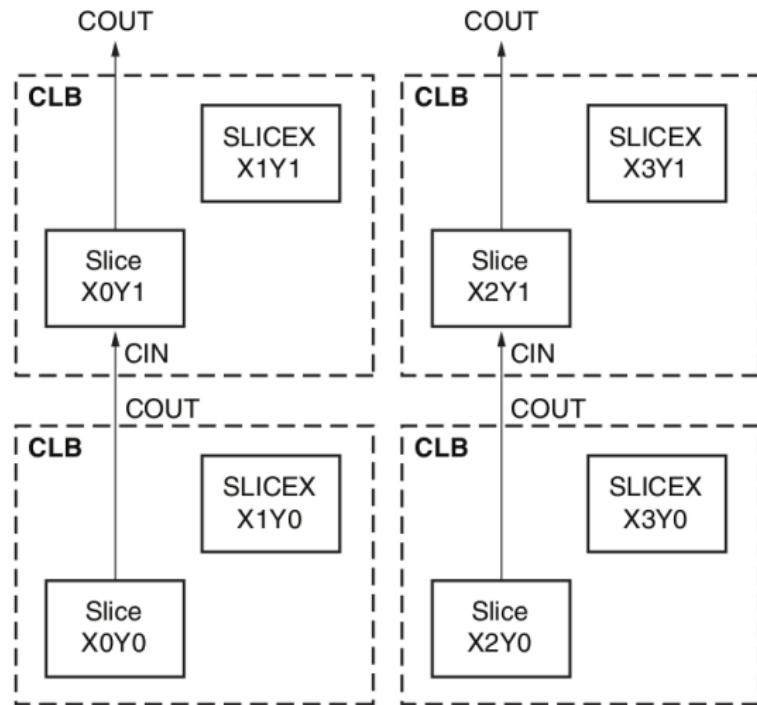


## FPGA - Slice

- CLB-ovi kod Xilinx FPGA se sastoje od BLE-ova koje nazivamo **Slices**.
- Slice-ovi su organizovani u kolonama i nemaju direktnu međusobnu vezu.



# FPGA - Slice



# FPGA - Slice

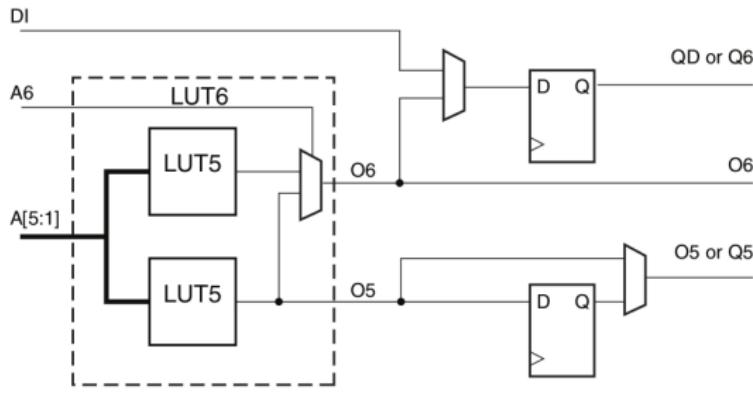
- Sa stanovišta organizacije ***slice-ova*** Xilinx koristi sljedeću notaciju:
  - X sa brojem koji slijedi identificira poziciju slice-a u paru kao i poziciju u koloni.
  - Y sa brojem koji slijedi identificira poziciju slice-a u redu.
- Xilinx klasificira slice-ove prema funkciji u tri grupe: ***SLICEX, SLICEL i SLICEM***.
- U prvoj koloni CLB-a su uvijek SLICEX a u drugoj koloni se naizmjenično mijenjaju SLICEL i SLICEM.
- Xilinx koristi i termin ***Logical Cell*** sa ciljem kreiranja jedinstvene metrike za poređenje performansi FPGA čipova a predstavlja LUT-4. Međutim, pošto noviji FPGA čipovi imaju LUT-6, MUX i *carry chain*, veza između LC i LUT-ova je  

$$LC = 1.6 \times LUT \quad LUT = 4 \times SLICE$$

Feature	SLICEX	SLICEL	SLICEM
6-Input LUTs	✓	✓	✓
8 Flip-flops	✓	✓	✓
Wide Multiplexers		✓	✓
Carry Logic		✓	✓
Distributed RAM			✓
Shift Registers			✓

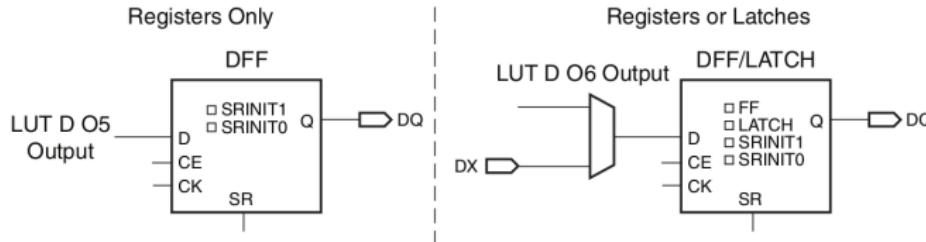
## FPGA - Xilinx LUT-6

- LUT-6: šest ulaza i 2 izlaza
- Xilinx LUT-6 može implementirati bilo koju logičku funkciju sa 6 promjenljivih ili dvije logičke funkcije sa 5 promjenljivih (A6 high).
- **Propagacijsko kašnjenje** LUT-6 je **nezavisno** od implementirane logičke funkcije.
- SLICEL i SLICEM implementiraju MUX koji se mogu konfigurisati za rad sa 7 ili 8 nezavisno promjenljivih te na taj način se mogu implementirati logičke funkcije od 7 ili 8 logičkih promjenljivih.
- **Logičke funkcije sa većim brojem promjenljivih** se implementiraju na način da se izlazi CLB-ova rutiraju prema *switching matrix* te vraćaju na ulaze drugih CLB-ova zato što ne postoji veza između SLICE-ova.



# FPGA - Xilinx Memorijski elementi

- Svaki SLICE ima osam (8) memorijskih elemenata, gdje se:
  - Četiri memorijska elementa mogu konfigurisati kao ivicom okidani D-FF ili naponski detektori (*level-sensitive latches*).
  - Četiri memorijska elementa koja se mogu konfigurisati samo kao ivicom okidani D-FF.
- Kontrolni signali CLK (*Clock*), CE (*Clock Enable*) i SR (*Set and Reset*) se dijele između svih memorijskih elemenata u jednom SLICE-u.
- Samo se CLK signal ima nezavisan odabir polariteta koji se primjenjuje za svih osam memorijskih elemenata.



## FPGA - Xilinx RAM memorija

- SLICEM uključuje mehanizme (funkcijski generatori) za implementaciju distribuirane RAM memorije.
- LUT-ovi u SLICEM se mogu kombinovati na različite načine u cilju storiranja podataka.
- Distribuirana **RAM memorija** se može koristiti *za implementaciju linearnih ili kružnih buffer-a, FIFO redova čekanja, registara i dr.*
- Distribuirana RAM memorija ***osigurava izvođenje sinhronih operacija pisanja i asinhronih/sinhronih operacija čitanja.***

RAM	Number of LUTs	Description
32 x 2Q <sup>(2)</sup>	4	Quad-Port 32 x 2-bit RAM
32 x 6SDP <sup>(2)</sup>	4	Simple Dual-Port 32 x 6-bit RAM
64 x 1S	1	Single-Port 64 x 1-bit RAM
64 x 1D	2	Dual-Port 64 x 1-bit RAM
64 x 1Q <sup>(3)</sup>	4	Quad-Port 64 x 1-bit RAM
64 x 3SDP <sup>(3)</sup>	4	Simple Dual-Port 64 x 3-bit RAM
128 x 1S	2	Single-Port 128 x 1-bit RAM
128 x 1D	4	Dual-Port 128 x 1-bit RAM
256 x 1S	4	Single-Port 256 x 1-bit RAM

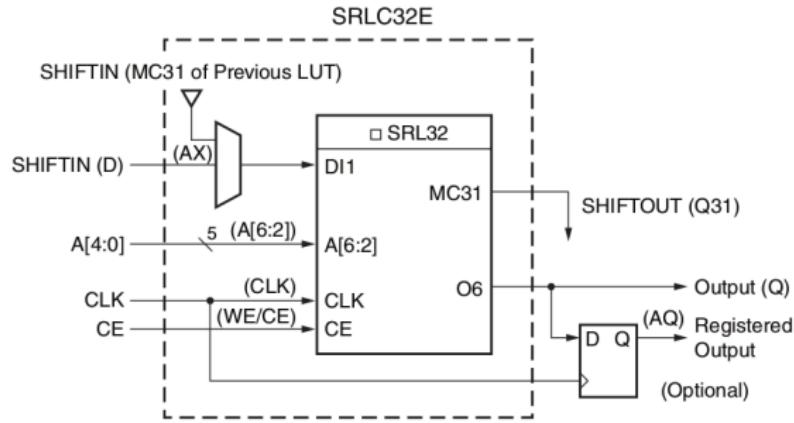
## FPGA - Xilinx ROM memorija

- Svaki LUT (funkcijski generator) može da implementirati ROM memorije elemente dimenzija 64 x 1 Bit.
- U osnovi tri kombinacije konfiguracija su dostupne: ROM64x1, ROM128x1, and ROM256x1.
- Sadržaj ROM memorije se učitava tokom konfiguracije FPGA čipa.

ROM	Number of LUTs
64 x 1	1
128 x 1	2
256 x 1	4

# FPGA - Xilinx Shift register

- SLICEM funkcijski generator se može konfigurisati da implementira funkciju **32-bitnog registra bez upotrebe dodatnih FF-ova** u slice-u.
- Shodno prethodnoj karakteristici SLICEM, može da **unosi proizvoljno kašnjenje** od 0 do 32 perioda takt impulsa.
- Dodatno, četiri LUT-a u SLICEM-u s mogu konfigurisati da implementiraju funkciju 128 bitnog registra, kaskadnim vezivanjem.
- Operacije **pisanja u registar je sinhrona**.
- SLICEM funkcijski generator se može koristiti i za implementaciju registra sa manje bita (ispod 32) na način da se stanje adresnih ulaza postavi vrijednost koja odgovara dužini registra.

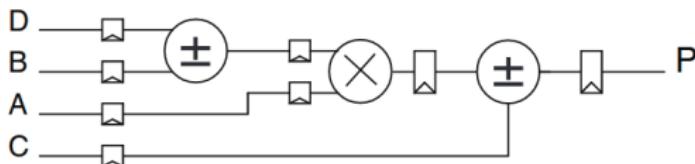


## FPGA - Xilinx Multiplekser i Interconnect

- Funkcijski generatori i postojeći multiplekseri u SLICEL i SLICEM omogućavaju implementaciju:
  - 4:1 multiplekser koristeći jedan LUT-6 blok,
  - 8:1 multiplekser koristeći dva LUT-6 bloka,
  - 16:1 multiplekser koristeći četiri LUT-6 bloka.
- Navedene kombinacije realizacije multipleksera se izvode u jednom SLICE-u koristeći 7-bitne ili 8-bitne multipleksere.
- **Interconnect** predstavlja konfigurabilnu matricu konekcija i putanja između IO jedinica, funkcionalnih elemenata FPGA kao što je IOB-a(IO Banke), CLB, DSP slice-ova.
- Uspostavljanje dati konekcija predstavlja **proces rutiranja**.
- Xilinx ISE koristi **Place and Route - PAR** aplikaciju za potrebe rutiranja.
- Samo je mali broj staza/konekcija za rutiranja dostupno korisniku za modifikovanje (raspodjela takt impulsa).
- Dva globalna signal
  - **GSR** - (*Global Set & Reset*) - Visoko stanje na datom pinu postavlja sve registre i FF-ove u inicialno stanje.
  - **GTS** - (*Global Three State*) - Visoko stanje na datom pinu postavlja sve IO pinove u stanje visoke impedanse.

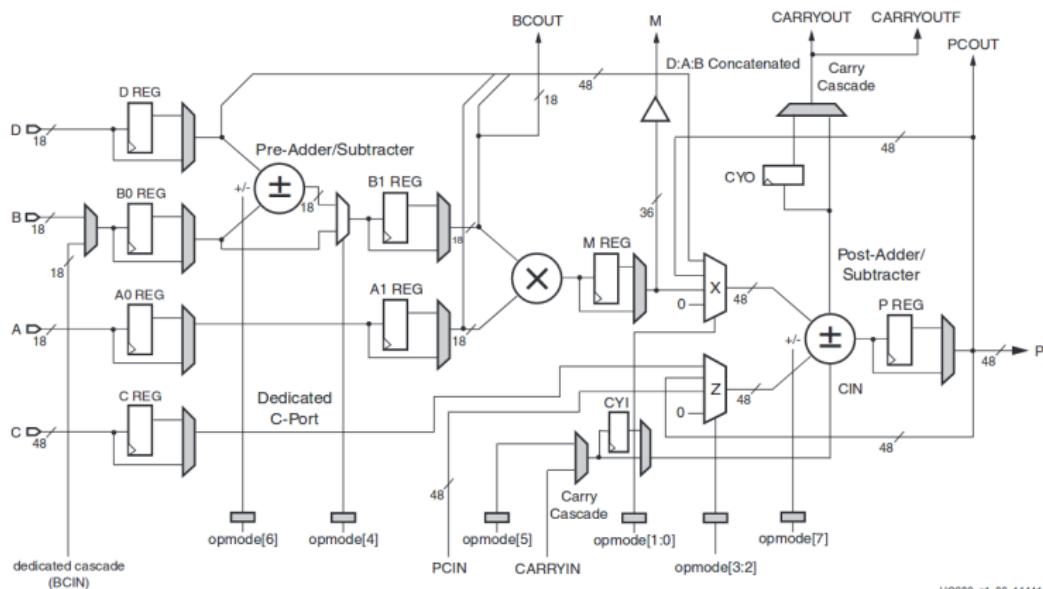
## FPGA - Xilinx DSP Slices

- Pored generički konfigurabilnih logičkih blokova FPGA čipovi obično uključuju i DSP blokove.
- Pored X, L i M SLICE-sa Xilinx FPGA Spartan serija čipova sadrži i **DSP SLICE** **DSP48A1** koji su organizovani kao i ostali SLICE-ovi po kolonama.
- Svaki DSP48A1 SLICE uključuje:
  - 18 bit pre-adder/subtracter
  - 18-bit x 18-bit množitelj sa 36 bitnim rezultatom,
  - dvo-ulazni 48-bitni post-adder/subtracter sa opcijom akumuliranja rezultata,
  - Kaskadno vezivanje DSP slice-a,
  - 36 bitni množitelj,
  - Odvojene reset i clock enable linije i podatkovne registre.



UG389\_c1\_01\_111512

# FPGA - Xilinx DSP Slices - Implementacija

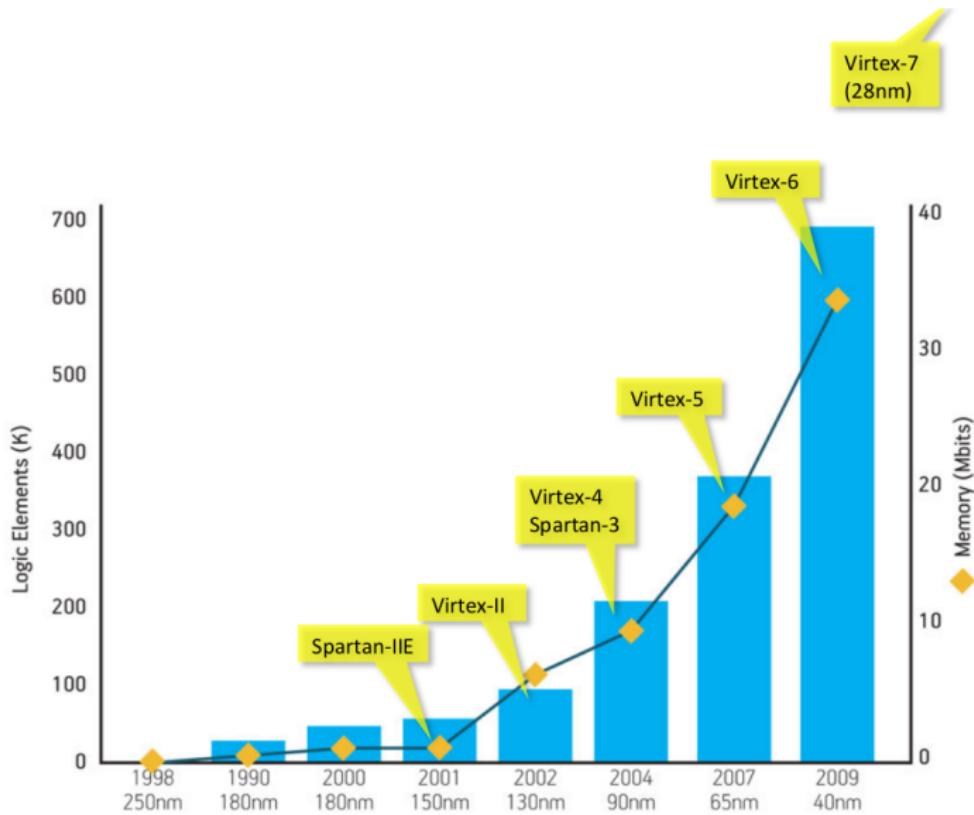


UG389\_c1\_03\_111411

## FPGA - Bitstream

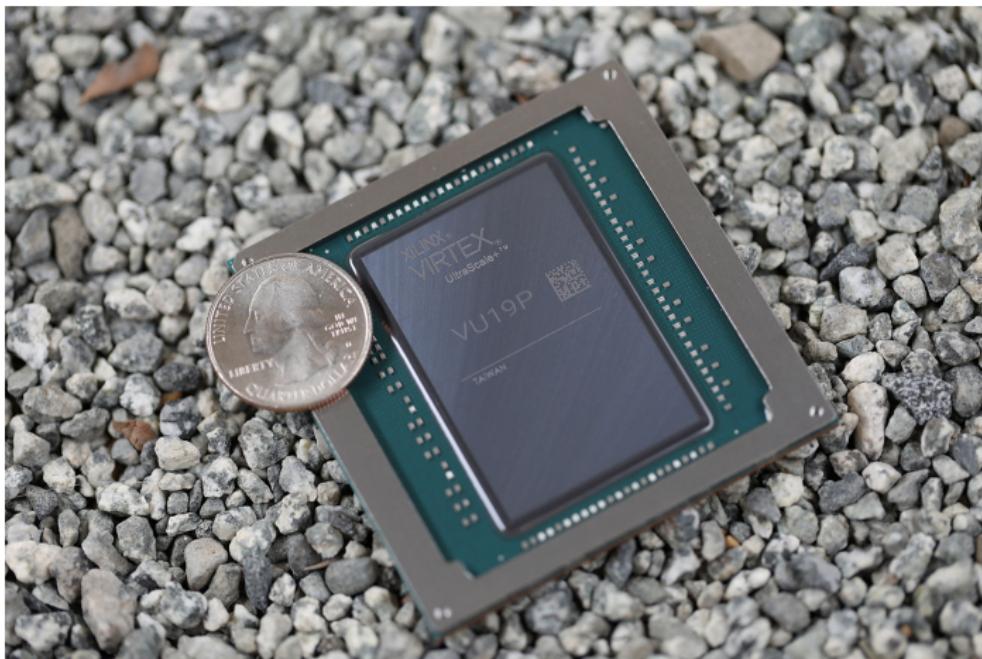
- Konfiguracija CLB-ova kao i uspostavljene konekcija izvodi se na osnovu podataka spremljenih u sintetizovanom konfiguracijskom file koji nazivamo ***bitstream***
- Sa stanovišta tehnologije konfiguracija FPGA se može izvodi sa:
  - ***Fuse*** - osigurači - konekcije između CLB-ova se "spaljuju" i jedno napravljene konekcije se ne mogu više modifikovati.
  - ***SRAM*** - Statička RAM memorija - konekcije između CLB-ova se kreiraju na osnovu podataka spremljenih u SRAM. ***Prekidom napajanja konfiguracija se gubi.***
  - ***Flash*** memorija - konekcije između CLB-ova se kreiraju na osnovu podatka iz eksterne flash memorije (serijska ili paralelna). ***Prekidom napajanja konfiguracijski file se ne gubi.***

# FPGA - Moore's Law



# FPGA - Xilinx DSP Slices - Implementacija

- 2019. Virtex Ultrascale+ VU19P sa 9M Logical cells &  $35 \cdot 10^9$  tranzistora



# Literatura

- RTL Hardware Design Using VHDL: Coding for Efficiency, Portability, and Scalability, 1st Editon by Pong P. Chu, 2006.
- Digital Systems Design Using VHDL 2 nd Edition, by Charles H. Roth, Jr. and Lizy Hurian John, Thomson, 2007.
- The Designer's Guide to VHDL, Third Edition, Peter J. Ashenden, 2008.