

گزارش آزمایش مدار تفریق گر

ترم بهار ۱۴۰۰

گروه ۳

مهلا شریفی ۹۸۳۱۰۳۵

رها احمدی ۹۸۳۱۱۰۸

نویسندگان گزارش :

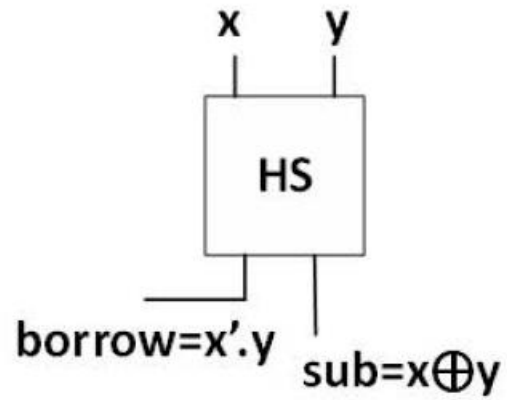
مهلا شریفی

رها احمدی

تاریخ تحویل : ۱۴۰۰/۲/۱۴

Half Subtractor (نیم تفریق گر)

x	y	(تفریق ریاضی)	
		borrow	sub
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0



$$\text{delay (sub)} = d$$

$$\text{delay (borrow)} = 2d$$

$$\text{Cost} = 3 \text{ g}$$

مدار تفریق گر به شکل gate level پیاده سازی شده است.

Full Subtractor (تمام تفریق کننده)

برای ساخت مدار جمع کننده تک بیتی از دو نیم تفریق کننده استفاده شده است.

جدول درستی مدار تمام تفریق کننده :

Inputs			Outputs	
A	B	B _{in}	sub	B _{out}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

جداول کارنو مربوطه :

For sub

A \ BB _{in}	00	01	11	10
0	0	1	0	1
1	1	0	1	0

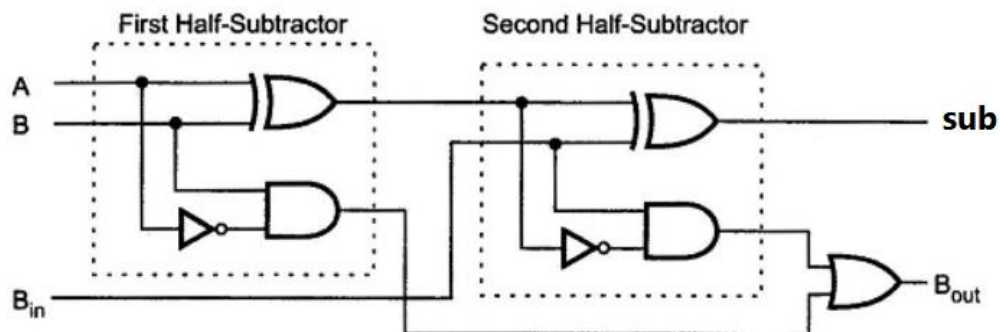
$$\text{sub} = \bar{A}\bar{B}B_{in} + \bar{A}B\bar{B}_{in} + A\bar{B}\bar{B}_{in} + AB B_{in}$$

For B_{out}

A \ BB _{in}	00	01	11	10
0	0	1	1	1
1	0	0	1	0

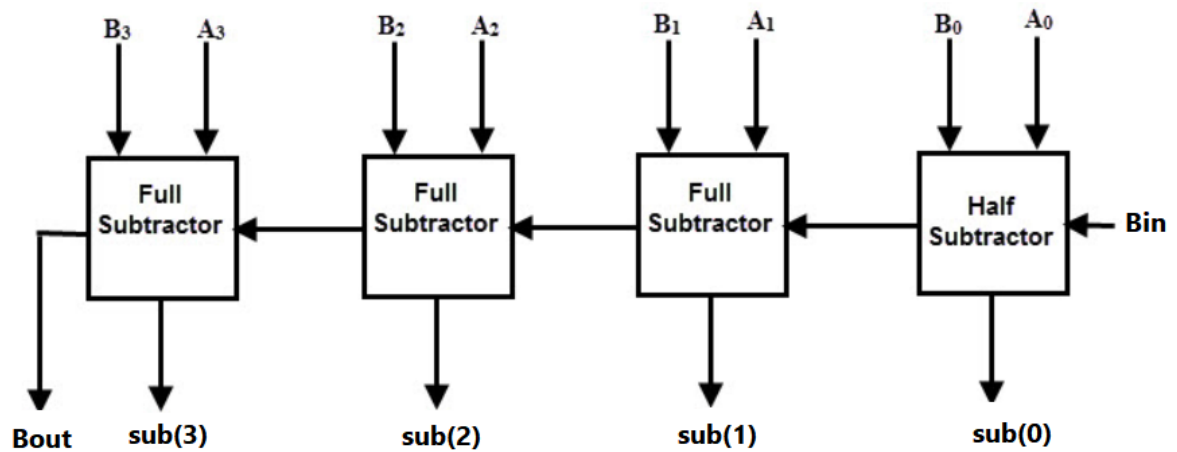
$$B_{out} = \bar{A}B_{in} + \bar{A}B + BB_{in}$$

مدار :



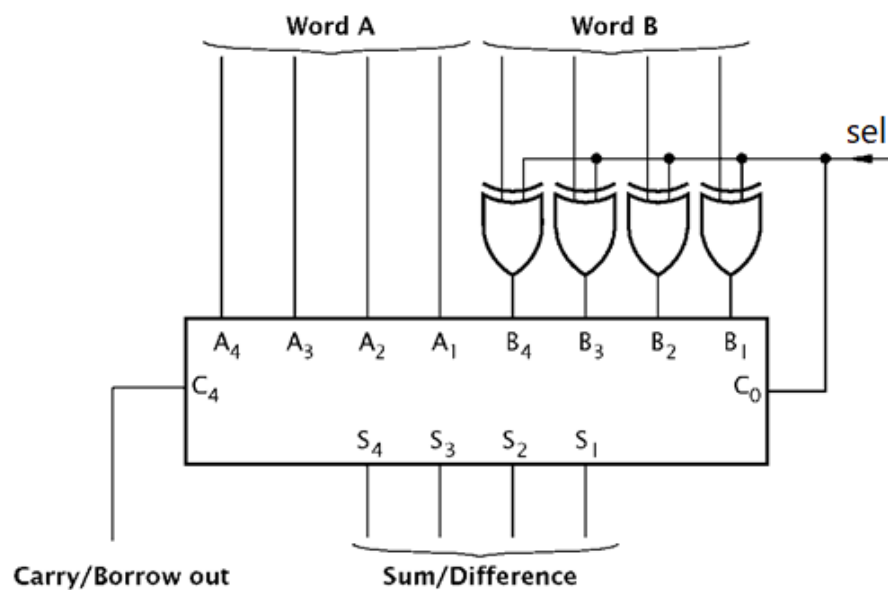
4 bit Full Subtractor

مدار تمام تفریق گر ۴ بیتی با استفاده از ۴ مدار تمام تفریق گر تک بیتی که به طور آبشاری به یکدیگر متصل شده اند ، پیاده شده است.



در تست پنج مدار تفریق گر ۴ بیتی حاصلی که در هر مرحله باید به دست آید جداگانه محاسبه شده و report شده است تا درستی سنجی راحت تر صورت پذیرد.

4 bit Adder Subtractor



در کد از ripple adder ۴ بیتی استفاده شده.

سیگنال sel اگر 1 باشد تفریق و اگر 0 باشد جمع انجام میشود.