

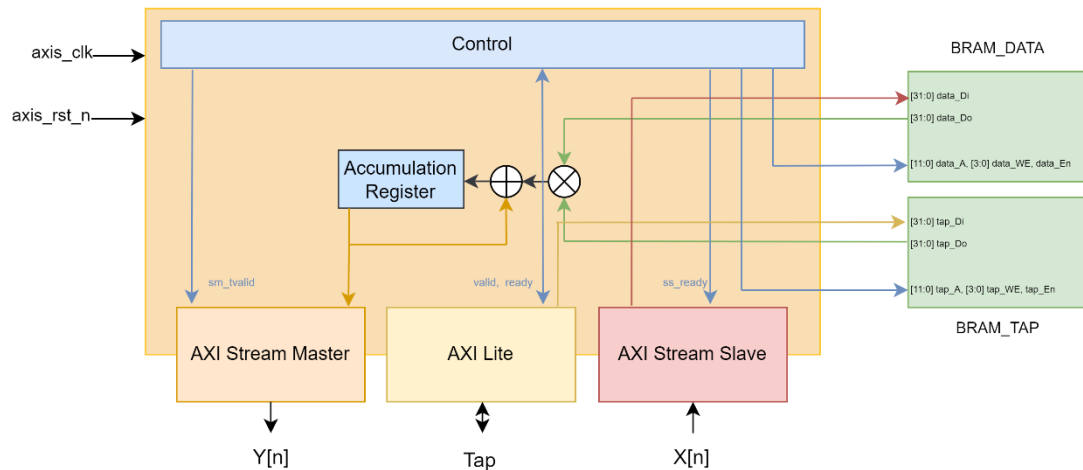
SOC Lab3 – FIR Filter

R11943124 電子所碩二 曾郁瑄

Overview

Lab 3 中用 Verilog 去 design FIR filter 的 module，且要用 2 種不同 interface: AXI Lite 以及 Stream，並熟悉 control signal 以及 BRAM 的使用。

1. Block diagram

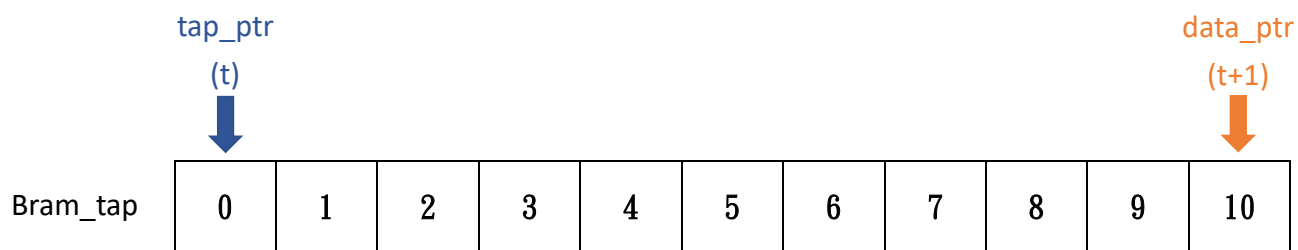
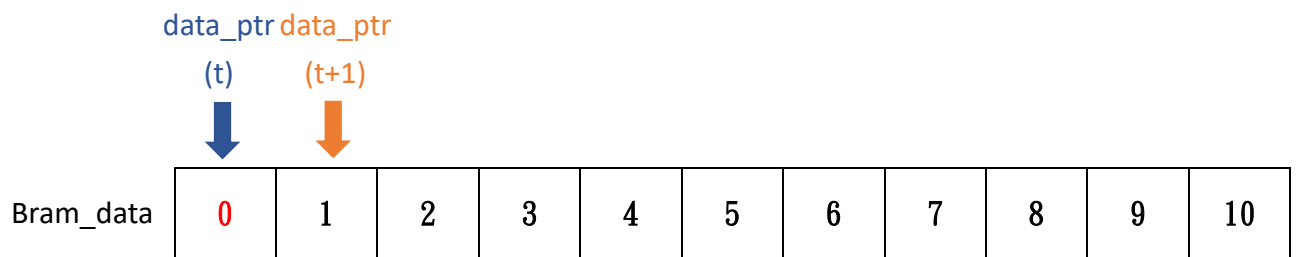


圖一

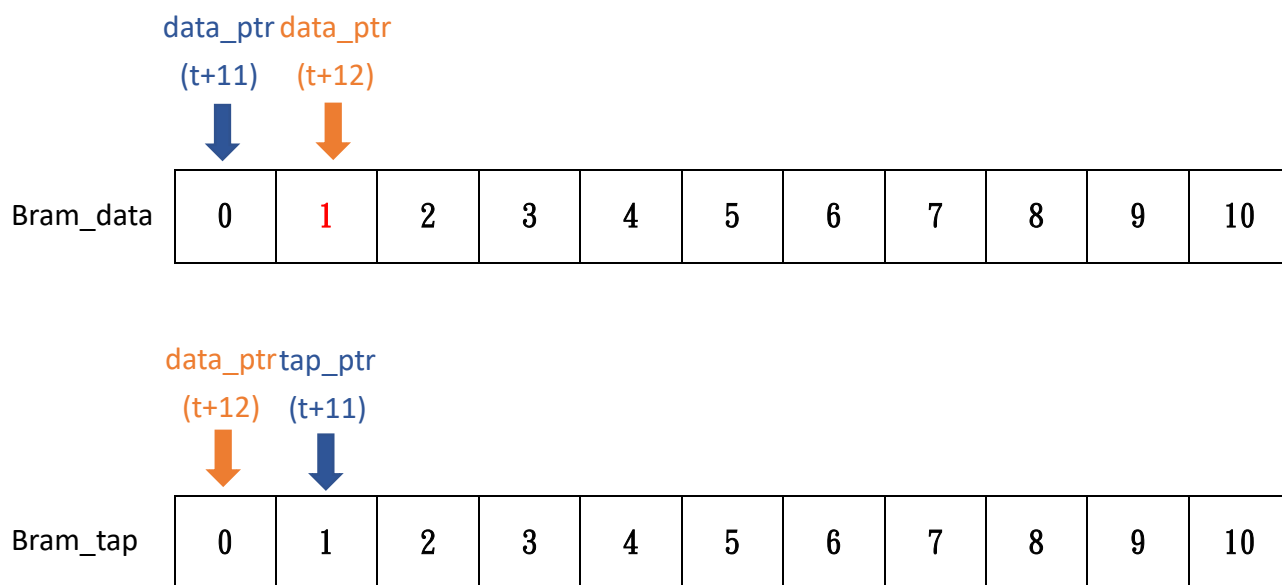
2. FIR filter computation

在 fir 計算中，每次輸入一筆新的 data，會與對應的 coefficient 作相乘，直到計算完 11 個相乘，輸出該次計算結果。由於 BRAM 中較難實行 shift data，也觀察到說計算上的規律，可以用 pointer 去指定對應的位置，以下為計算步驟以及圖示：

- data_ptr 與 tap_ptr 初始化位置分別為 data 與 tap 位址=0
- 每經過 1 cycle，ptr 各指到相應的位置(橘色表示)，作相乘、累加計算
- 經過 11 個 cycle，輸出該次 fir 計算結果
- 圖三所示，輸入新的 data 在 1 的位置，此時對應的 tap 則是在 0 的位置，重複 b-c 步驟，完成 fir filter 運算



圖二



圖三

3. Resource usage

圖四~圖六為 FIR filter 消耗的資源，系統的控制與計算由 LUT 的方法進行。圖五可以看到有使用 DSP，應為 convolution 時的乘法、加法運算時使用。

27	
28	1. Slice Logic
29	-----
30	
31	+
32	Site Type Used Fixed Prohibited Available Util%
33	+
34	Slice LUTs* 2266 0 0 53200 4.26
35	LUT as Logic 2266 0 0 53200 4.26
36	LUT as Memory 0 0 0 17400 0.00
37	Slice Registers 1126 0 0 106400 1.06
38	Register as Flip Flop 1123 0 0 106400 1.06
39	Register as Latch 3 0 0 106400 <0.01
40	F7 Muxes 436 0 0 26600 1.64
41	F8 Muxes 208 0 0 13300 1.56
42	+

圖四

65	2. Memory
66	-----
67	
68	+
69	Site Type Used Fixed Prohibited Available Util%
70	+
71	Block RAM Tile 0 0 0 140 0.00
72	RAMB36/FIFO* 0 0 0 140 0.00
73	RAMB18 0 0 0 280 0.00
74	+

圖五

78	3. DSP
79	-----
80	
81	+
82	Site Type Used Fixed Prohibited Available Util%
83	+
84	DSPs 3 0 0 220 1.36
85	DSP48E1 only 3
86	+

圖六

4. Timing Summary

總計從 ap_start~ap_done 花費 8400 cycle，合成時使用 Clock cycle: 6 ns，可以從 timing report 看到 setup slack: 1.261 ns，如圖七。

Setup	Hold
Worst Negative Slack (WNS): 1.261 ns	Worst Hold Slack (WHS): 0.143 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 169	Total Number of Endpoints: 169
All user specified timing constraints are met.	

圖七

圖八可以觀察到 max delay path 的 source 以及 destination，critical path 發生在 read back 的部分，slack: 1.261 ns。

```
533 Max Delay Paths
534 -----
535 Slack (MET) : 1.261ns (required time - arrival time)
536 Source: genblk1.coef_lite_reg[93][3]/C
537         (rising edge-triggered cell FDCE clocked by axis_clk {rise@0.000ns fall@3.000ns period=6.000ns})
538 Destination: genblk1.rdata_r_reg[19]/D
539         (rising edge-triggered cell FDCE clocked by axis_clk {rise@0.000ns fall@3.000ns period=6.000ns})
540 Path Group: axis_clk
541 Path Type: Setup (Max at Slow Process Corner)
542 Requirement: 6.000ns (axis_clk rise@6.000ns - axis_clk rise@0.000ns)
543 Data Path Delay: 4.603ns (logic 1.145ns (24.875%) route 3.458ns (75.125%))
544 Logic Levels: 4 (LUT6=4)
545 Clock Path Skew: -0.145ns (DCD - SCD + CPR)
546 Destination Clock Delay (DCD): 2.128ns = ( 8.128 - 6.000 )
547 Source Clock Delay (SCD): 2.456ns
548 Clock Pessimism Removal (CPR): 0.184ns
549 Clock Uncertainty: 0.035ns (((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
550 Total System Jitter (TSJ): 0.071ns
551 Total Input Jitter (TIJ): 0.000ns
552 Discrete Jitter (DJ): 0.000ns
553 Phase Error (PE): 0.000ns
```

圖八

5. Simulation Waveform

- Coefficient(Tap BRAM write)

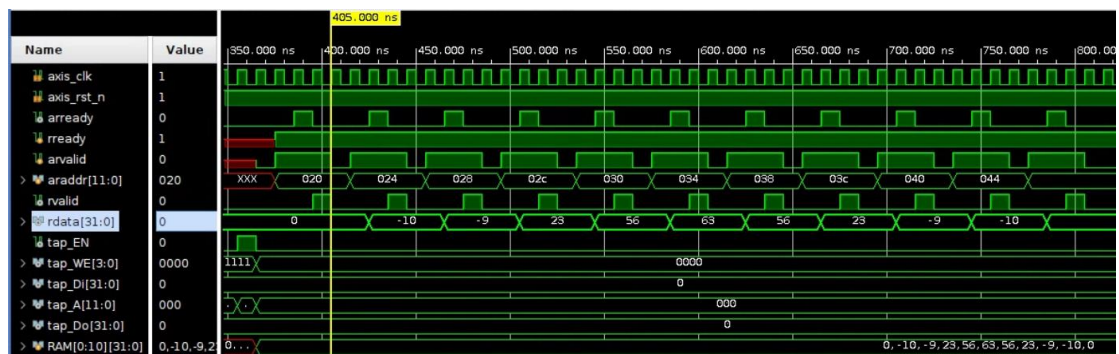
在 tap BRAM write 中，coefficient 由 AXI lite interface 輸入，直接寫入 Tap BRAM。可以從圖九觀察到，當 awready 與 awvalid 同時為 1 時，Tap BRAM 會收到要寫入的 address，這時當 wready 與 wvalid 同時為 1 且 BRAM 的 WE 為 4'b1111 時，在下一個 cycle 時 data 會寫入 BRAM(指定位置的值)。



圖九

- Coefficient Read back(Tap BRAM read)

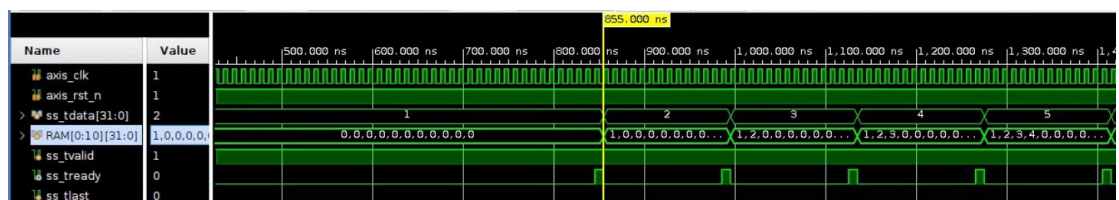
圖十可以看到從 tap BRAM 中將 coefficient 由 AXI interface 讀出。遵循 protocol，當 arvalid 與 arready 為 1 時，tap BRAM 會收到要讀出的 address，當 rvalid 為 1 時，為 coefficient 已經放入 rdata 上可讀出。



圖十

- Data in stream in

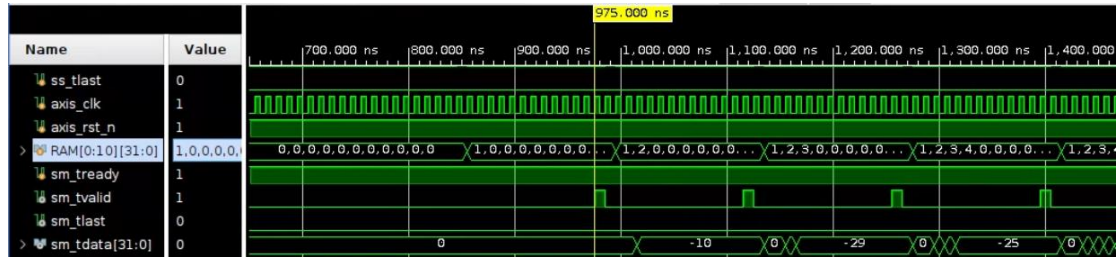
在 Data BRAM write 中，input data 由 AXI stream slave interface 輸入，直接寫入 Data BRAM。可以從圖十一觀察到，當 ss_tready 與 ss_tvalid 皆為 1 時且 BRAM 的 WE 為 4'b1111 時，在下一個 cycle 時 data 會寫入 BRAM，同時，testbench 會輸入下一筆 data。



圖十一

- Data out stream out

每當計算完 FIR filter 後，結果會由 AXI stream slave interface 輸出，輸出的 port 為 sm_tdata，可以由示波器觀察到。當 sm_data 上有該次計算結果，則可以將 sm_tvalid 設定為 1，此時 testbench 就會讀出結果，與 golden 去比對答案。



圖十二