



بسمه تعالی

تمرین سری اول طراحی کامپیوتری سیستمهای دیجیتال

موعد تحویل: ۹۵/۸/۲۱

دانشجویان تمام فایلهای مربوط به پاسخ تمرین (فایل Word و فایلهای مربوط به کد و شبیه سازی) در قالب یک فایل فشرده

با نام به فرمت Last Name_First Name_Student ID_HW1 آپلود نمایند.

- ۱- یک Encoder دو بیتی با اولویت برای پایه های پر ارزش (خروجی، شماره پر ارزش ترین بیت ورودی، که ۱ می باشد را نشان می دهد) به روشهای زیر طراحی کنید. خروجی Valid در صورتی ۱ می شود که حداقل یکی از ورودیها ۱ باشد.

| I_3 | I_2 | I_1 | I_0 | Valid | O_1 | O_0 |
|-------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | x | 1 | 0 | 1 |
| 0 | 1 | x | x | 1 | 1 | 0 |
| 1 | x | x | x | 1 | 1 | 1 |

- ۲- یک ALU توصیف کنید که با توجه به سه بیت ورودی کنترل عملیتهای زیر را روی ورودیهای A و B ۱۶ بیتی انجام دهد و نتیجه را به عنوان خروجی اعلام کند.

| Control | | | Operation |
|---------|---|---|-----------------------------|
| 0 | 0 | 0 | A+B |
| 0 | 0 | 1 | A-B |
| 0 | 1 | 0 | A>>1 |
| 0 | 1 | 1 | A<<1 |
| 1 | 0 | 0 | A AND B |
| 1 | 0 | 1 | A OR B |
| 1 | 1 | 0 | Rotational Right Shift of A |
| 1 | 1 | 1 | Rotational Left Shift of A |

- ۳- الف) سخت افزاری طراحی کنید که یک پالس متناوب از ورودی بگیرد و پالسی با فرکانس $\frac{1}{10}$ ورودی در خروجی بدهد. (مقسم فرکانس).

ب) با استفاده از نمونه های سخت افزار توصیف شده در قسمت الف) مقسم فرکانس 100 را پیاده سازی کنید.



بسمه تعالی

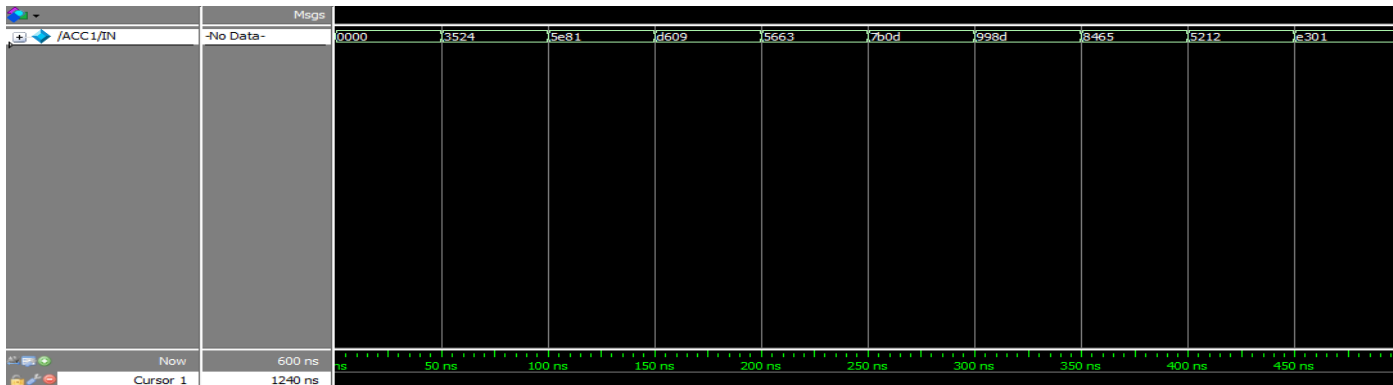
تمرین سری اول طراحی کامپیوتری سیستمهای دیجیتال

موعد تحویل: ۹۵/۸/۲۱

دانشجویان تمام فایلهای مربوط به پاسخ تمرین (فایل Word و فایلهای مربوط به کد و شبیه سازی) در قالب یک فایل فشرده

با نام به فرمت Last Name_First Name_Student ID_HW1 آپلود نمایند.

۴- دو کد زیر، سخت افزاری را توصیف می کنند که حاصل جمع ورودیهای IN را از زمان غیر فعال شدن Reset محاسبه می کند. عملکرد این دو کد را از طریق کامل کردن دیگرام Waveform زیر شرح دهید. آیا نتیجه کار این دو کد مشابه است؟



| Code 1 | Code 2 |
|--|--|
| <pre>module Code_1 (IN, Reset, Clk, Out); input [15:0] IN; input Reset; input Clk; output [31:0] Out; reg [31:0] Out; always @ (posedge Clk or negedge Reset) if (!Reset) Out<=0 else Out<=Out+IN; endmodule</pre> | <pre>module Code_2 (IN, Reset, Clk, Out); input [15:0] IN; input Reset; input Clk; output [31:0] Out; reg [31:0] R; always @ (posedge Clk or negedge Reset) if (!Reset) R<=0 else R<=Out; assign Out=R+IN; endmodule</pre> |



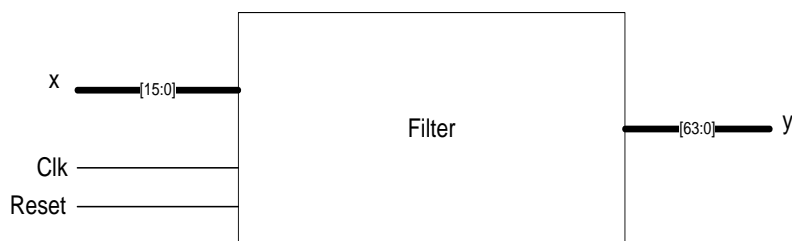
بسمه تعالی

تمرین سری اول طراحی کامپیوتری سیستمهای دیجیتال

موعد تحویل: ۹۵/۸/۲۱

دانشجویان تمام فایلهای مربوط به پاسخ تمرین (فایل Word و فایلهای مربوط به کد و شبیه سازی) در قالب یک فایل فشرده با نام به فرمت Last Name_First Name_Student ID_HW1 آپلود نمایند.

۵- ماژولی طراحی کنید که رابطه زیر را پیاده سازی کند. در این ماژول ورودی X ، ۱۶ بیتی و خروجی Y ، ۶۴ بیتی می باشد.



$$Y[n] = 2x[n] + 3x[n-1] + x[n-2]$$

که در آن $x[n]$ مقدار x در لبه بالارونده جاری، $x[n-1]$ مقدار x در لبه بالارونده قبلی و $x[n-2]$ مقدار x در دو لبه بالارونده قبل می باشد.

صفدرخانی