

W katalogu literatura odnosząca się do danego tematu. Dostęp do artykułów z bibliotek ACM/IEEE jest możliwy z komputerów podłączonych do sieci PWr (156.17...: ict-stud, akademiki), serwer proxy `w3cache.pwr.wroc.pl:8080` (z ograniczeniami; autoryzacja danymi do poczty studenckiej), lub poprzez tunele SOCKS v5 (trzeba mieć konto shell z dostępem przez ssh na serwerze): `ssh -D 9999 user@host`.

Procedura wyboru tematów:

- Proszę o zgłaszanie na email składu grup (imiona, nazwiska, numery indeksów) oraz listy trzech tematów, w kolejności preferencji;
- po przydzieleniu tematów odpowiem i podam numer tematu do realizacji;
- w przypadku znacznej popularności niektórych tematów zastrzegam sobie prawo do modyfikacji poszczególnych tematów, indywidualnie dla poszczególnych grup.

Proponowane tematy projektów:

1. Konwersja odwrotna z systemu RNS oparta o funkcję ukośną [6]

Cele projektu:

- analiza rozwiązania i przedstawienie właściwych RNS
- weryfikacja koncepcji poprzez implementację modularnych ścieżek danych w systemie Pari/gp
- implementacja i symulacja w/w ścieżek danych w języku Verilog RTL

2. Konwersja odwrotna z systemu RNS [1]

Cele projektu:

- analiza rozwiązania i przedstawienie właściwych RNS
- weryfikacja koncepcji poprzez implementację modularnych ścieżek danych w systemie Pari/gp
- implementacja i symulacja w/w ścieżek danych w języku Verilog RTL

3. Konwersja odwrotna z systemu RNS [5]

Cele projektu:

- analiza rozwiązania i przedstawienie właściwych RNS
- weryfikacja koncepcji poprzez implementację modularnych ścieżek danych w systemie Pari/gp
- implementacja i symulacja w/w ścieżek danych w języku Verilog RTL

4. Całkowitoliczbowa implementacja transformaty FFT [4]

Cele projektu:

- synteza filtru FIR dolnoprzepustowego o współczynnikach całkowitych
- implementacja filtru z wykorzystaniem systemu RNS we wskazanym procesorze
- porównanie z implementacją opartą o liczby w kodzie uzupełnionym

5. Implementacja fizyczna układów cyfrowych
 Cel projektu ogólny: synteza logiczna i fizyczna sumatora prefiksowego z wykorzystaniem narzędzi Yosys/Qflow
 Cele szczegółowe:
 - analiza literatury w zakresie narzędzia Yosys/Qflow
 - wybór architektury 6-bitowego sumatora prefiksowego i jest zapis w strukturalnym języku Verilog
 - implementacja testu wyczerpującego
 - synteza logiczna układu z wykorzystaniem Yosys
 - synteza fizyczna układu z wykorzystaniem Qflow
6. Mnożenie liczb stałoprzecinkowych wymiernych w procesorze RNS [2, 3]
 Cele projektu:
 - analiza i implementacja mnożenia liczb wymiernych w systemie RNS wg istniejącego schematu
 - implementacja schematu mnożenia w zadanym procesorze RNS
7. Sprzętowe dekodowania wideo na przykładzie HTML5, architektury Intel QuickSync i strumieni rozgłoszeniowych
 Cele projektu:
 - analiza architektury akceleracji VAAPI
 - analiza stosu dekodowania wideo HTML5 w przeglądarce Chromium
 - opracowanie koncepcji i API dekodowania wideo w postaci strumienia multicast w przeglądarce
 - weryfikacja koncepcji poprzez implementację

Literatura

- [1] A. Hiasat. A residue-to-binary converter for the extended four-moduli set $\{2^n - 1, 2^n + 1, 2^{2n} + 1, 2^{2n+p}\}$. *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, 25(7):2188–2192, 2017.
- [2] E. B. Olsen. Residue number arithmetic logic unit, July 14 2015. US Patent 9,081,608.
- [3] E. B. Olsen. System and method for improved fractional binary to fractional residue converter and multiplier, July 18 2017. US Patent 9,712,185.
- [4] S. Orintara, Y.-J. Chen, and T. Q. Nguyen. Integer fast fourier transform. *IEEE Transactions on Signal Processing*, 50(3):607–618, 2002.
- [5] P. S. Phalguna, D. V. Kamat, and P. V. A. Mohan. New reverse converters for the four-moduli set $\{2^n, 2^n - 1, 2^n + 1, 2^{n-1} - 1\}$ for n even. In *2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)*, pages 416–419, 2018.
- [6] M. Valueva, G. Valuev, N. Semyonova, P. Lyakhov, N. Chervyakov, D. Kaplan, and D. Bogaevskiy. Construction of residue number system using hardware efficient diagonal function. *Electronics*, 8(6):694, June 2019.