

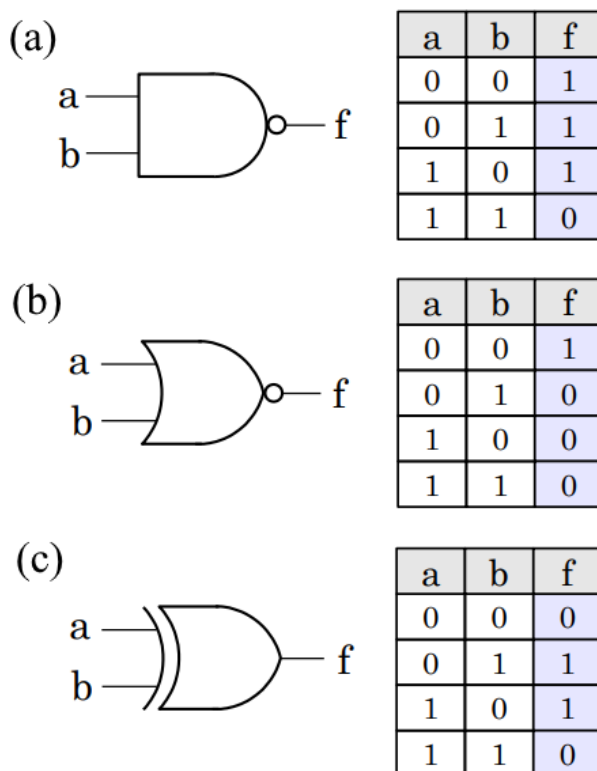
imię i nazwisko	data wykonania	prowadzący ćwiczenia
Krzysztof Czarnowus	24.04.2024 r. grupa 15 (środa, godz. 12.15)	dr Szymon Niedźwiecki
4. Podstawowe układy cyfrowe		

1. Wstęp teoretyczny

Podstawową różnicą pomiędzy układami cyfrowymi a dotychczas badanymi układami analogowymi jest to, że w tych pierwszych sygnały mogą przyjmować jedynie wartości dyskretne. Informacja przetwarzana przez taki układ jest zatem binarna¹.

Budowane są one z bramek realizujących podstawowe operacje logiczne zgodnie z zasadami algebry Boole'a: sumę, iloczyn, negację czy alternatywę wykluczającą². Bramki realizujące negację iloczynu (NAND) oraz negację sumy (NOR) nazywane są funkcjonalnie pełnymi, ponieważ za pomocą obu z nich można skonstruować układ realizujący dowolną funkcję logiczną³.

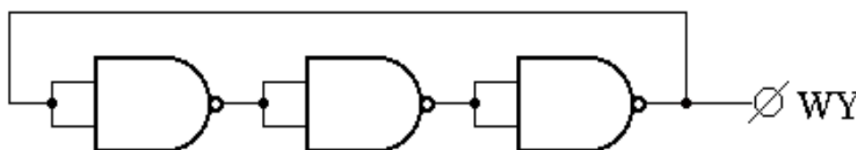
Tablice logiczne dla badanych w doświadczeniu bramek NAND, NOR oraz XOR przedstawiono na rysunku 1.



Rys. 1. Schematy oraz tablice prawdy dla podstawowych bramek logicznych realizujących funkcję (a) negacji iloczynu NAND, (b) negacji sumy NOR oraz (c) alternatywy wykluczającej XOR⁴.

Bramki logiczne tworzą tzw. rodziny, realizowane przez układy scalone, którego przykładem może być stosowany w ćwiczeniu układ TTL⁴. Stan niski jest w jego ramach realizowany przez napięcia z zakresu 0 – 0.8 V, podczas gdy stan wysoki 2.0 – 5.0 V.

Odpowiedź bramki na zmianę sygnału na wejściu nie jest natychmiastowa – zazwyczaj trwa określoną ilość nanosekund. Ponadto czas przełączania ze stanu wysokiego na niski i w drugą stronę nie zawsze będą sobie równe. W związku z tym jednym z najważniejszych parametrów bramek logicznych jest wartość średniego czasu propagacji, będącego średnią arytmetyczną z czasu odpowiedzi przy zmianie stanu wysokiego na niski oraz niskiego na wysoki.

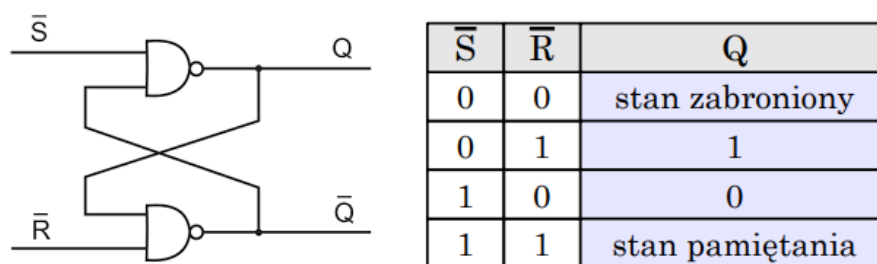


Rys. 2. Schemat generatora zbudowanego z trzech bramek NAND realizujących funkcję logicznej negacji⁵.

Jedną z metod wyznaczenia średniego czasu propagacji dla bramki NAND jest zbadanie okresu drgań generatora zbudowanego z trzech bramek realizujących funkcję negacji zgodnie ze schematem przedstawionym na rysunku 2. Otrzymana wartość powinna być sześciokrotnością poszukiwanego parametru.

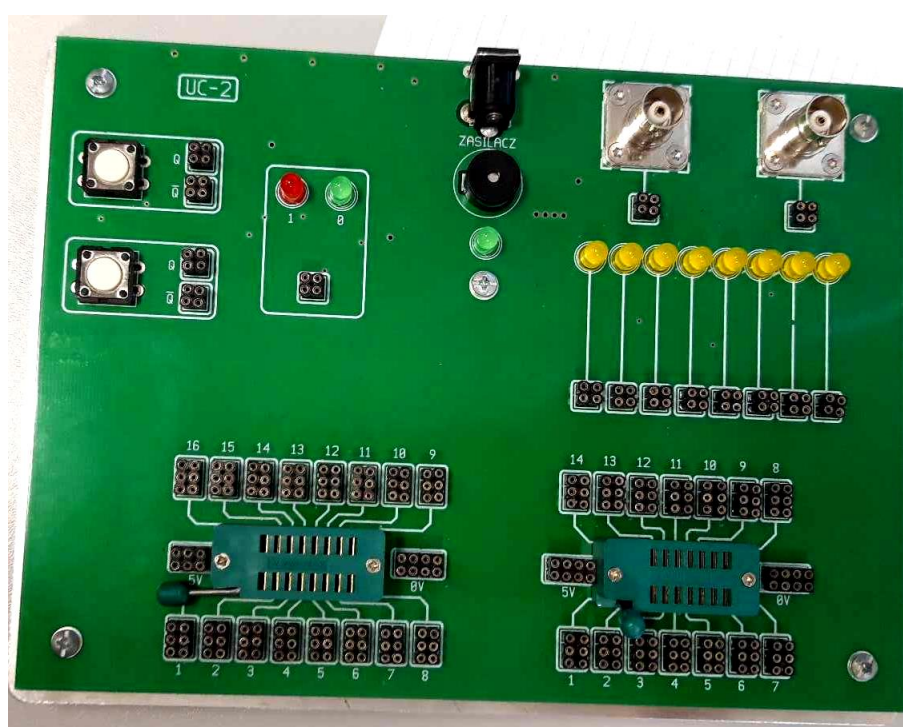
Podstawowym podziałem układów cyfrowych jest podział na układy kombinacyjne, w których stan wyjść jest jednoznacznie określony stanem wejść, jak w przypadku podstawowych bramek logicznych, a także układy sekwencyjne, w których istotne są również poprzednie stany układu.

Przykładem układu sekwencyjnego może być przerzutnik asynchroniczny R-S⁴. Jest on prostym układem, który można zbudować z zaledwie dwóch bramek NAND lub NOR. Posiada on dwa wejścia: ustawiające S oraz resetujące R, a także dwa wyjścia: zwykłe Q oraz zanegowane. Jest on zdolny do zapamiętywania stanu układu, kiedy na obu wejściach podawane jest logiczne zero. Sygnał napięciowy przesłany na wejście S ustawia stan przerzutnika na jedynkę, możliwą do wyzerowania przez przesłanie sygnału na wejście R. Sytuacja, w której na obu wejściach wysłany jest sygnał, jest stanem niedozwolonym. Schemat przerzutnika R-S oraz jego tablicę logiczną przedstawiono na rysunku 3.



Rys. 3. Schemat oraz tablica prawdy dla przerzutnika asynchronicznego R-S realizowanego za pomocą dwóch bramek NAND⁶.

2. Opis ćwiczeń oraz omówienie wyników

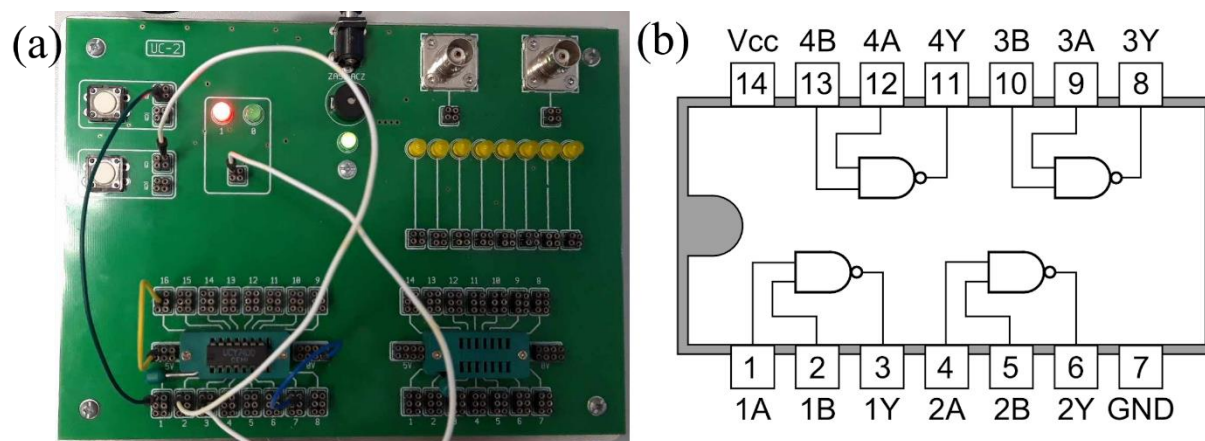


Rys. 4. Płytki UC-2 do badania układów TTL.

Na rysunku 4 przedstawiono zdjęcie płytki UC-2 używanej w wykonywanym ćwiczeniu. Widoczne w lewym górnym rogu impulsatory zbadano dwoma metodami: za pomocą obecnego tuż obok nich próbnika stanów logicznych oraz mierząc poziomą napięcie miernikiem uniwersalnym nr 1. Próbnik potwierdził poprawne działanie impulsatorów: przy braku wcisnięcia przycisku wyjścia Q wykazywały zera logiczne, a zanegowane Q jedynki logiczne; przy wciskaniu przycisku następowało odwrócenie stanów. Miernik uniwersalny pokazał natomiast 0,0 V dla braku sygnału oraz 5,0 V dla sygnału.

Na rysunku 5 przedstawiono schemat układu TTL realizującego bramki NAND (7400), a także odpowiednio połączoną płytkę realizującą tą bramkę. Za pomocą impulsatorów

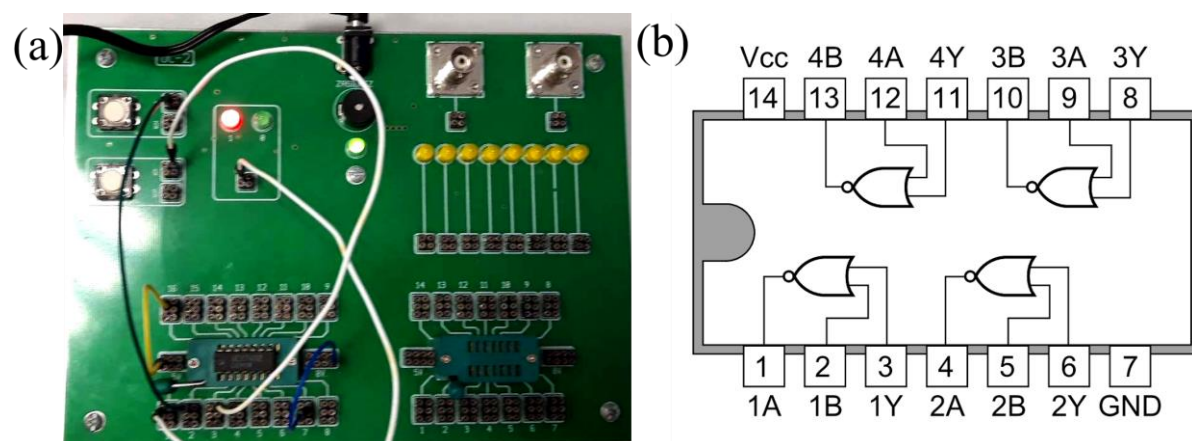
potwierdzono, że złożony układ spełnia odpowiednią tablicę logiczną z rysunku 1. Miernikiem sprawdzono, że zeru logicznemu na wyjściu odpowiada wartość 61,2 mV, podczas gdy jedynce 3,64 V. Układ zasilono napięciem równym 5 V.



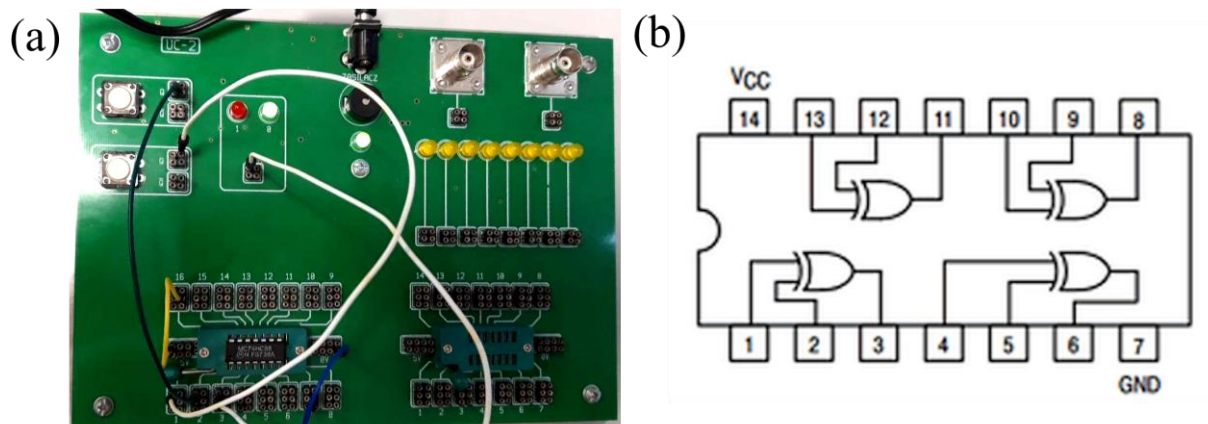
Rys. 5. (a) Płytką UC-2 z załączonym układem 7400 realizująca bramkę NAND wraz ze
(b) schematem użytego układu scalonego⁸.

Analogiczne czynności wykonano dla bramki NOR realizowanej przez układ 7402 oraz bramki XOR za pomocą układu 7486. Dla obu zbadano możliwe kombinacje sygnałów i za pomocą próbnika potwierdzono, że realizują one poprawnie oczekiwane funkcje. W bramce NOR zeru odpowiadało napięcie 55,3 mV, a jedynce 3,62 V, podczas gdy dla bramki XOR te wartości wyniosły odpowiednio 62,3 mV oraz 4,98 V.

Skonstruowaną bramkę NOR oraz schemat użytego w tym celu układu przedstawiono na rysunku 6, podczas gdy bramkę XOR na rysunku 7.



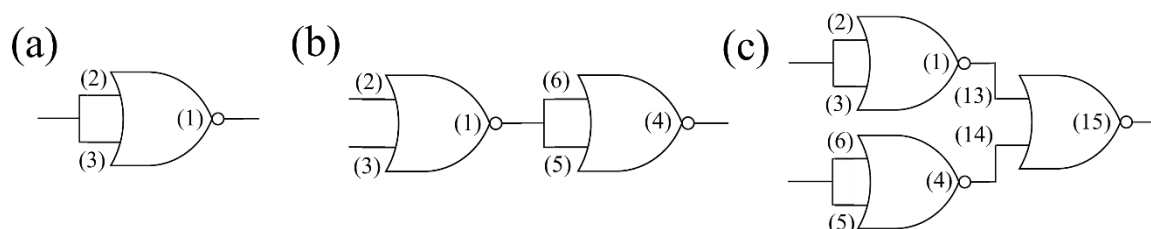
Rys. 6. (a) Płytką UC-2 z załączonym układem 7402 realizująca bramkę NOR wraz ze
(b) schematem użytego układu scalonego⁹.



Rys. 7. (a) Płytki UC-2 z załączonym układem 7486 realizująca bramkę XOR wraz ze
(b) schematem użytego układu scalonego¹⁰.

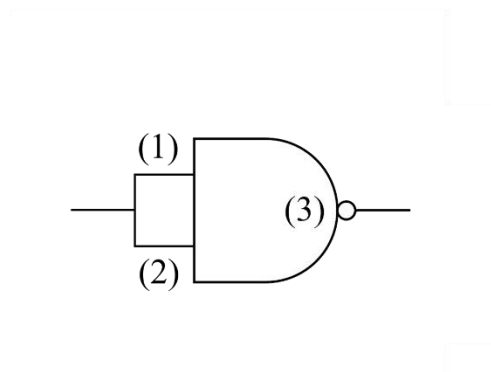
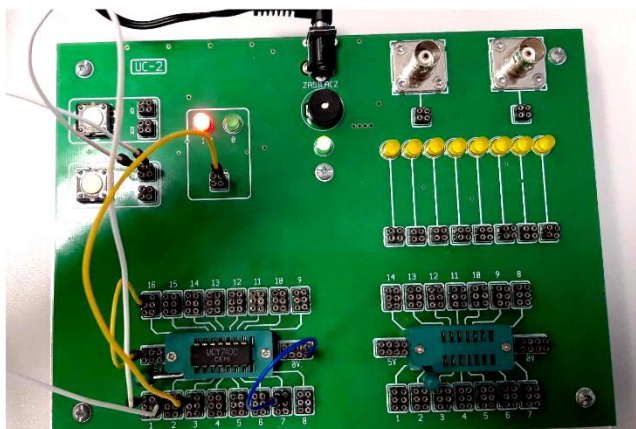
Używając układów scalonych realizujących funkcje NAND zbudowano układy realizujące funkcje negacji, sumy oraz iloczynu logicznego. Zdjęcia płytek oraz schematy wraz z odpowiednio podpisanymi wejściami płytki UC-2 przedstawiono na rysunku 9. Numerację wejść i wyjść z układu przepisano z samej płytki – nie jest ona tożsama z numeracją z przedstawionych wcześniej schematów ze względu na różną ich liczbę.

Identycznie funkcje zrealizowano za pomocą funkcyj NOR. Na rysunku 8. załączono jedynie schematy, bez zdjęć – stało się to z tego powodu, że po poprawnym skonstruowaniu układów i potwierdzeniu ich poprawnego działania, zapomniano o wykonaniu fotografii i realizowano dalsze ćwiczenia. Następnie po przypomnieniu sobie o konieczności załączenia zdjęć, powrócono do tej części ćwiczenia i skonstruowano ponownie układy, aby nadrobić niedopatrzenie. Przez pomyłkę zrobiono to jednak ponownie dla bramek NAND, myśląc, że to dla nich nie wykonano zdjęć, w wyniku czego otrzymano zdjęcia dwóch kompletów badanych funkcji zrealizowanych przy użyciu układu 7400 i ani jednego 7402.

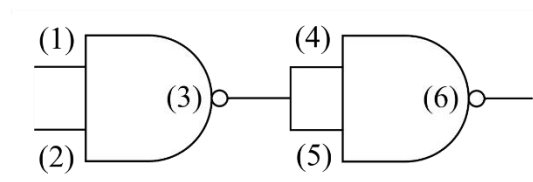
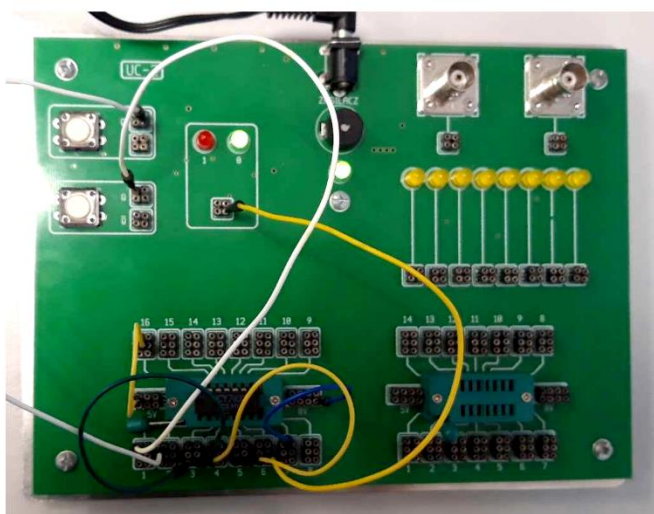


Rys. 8. Schematy realizacji funkcji (a) negacji, (b) sumy oraz (c) iloczynu logicznego z użyciem bramek NOR (7402) wraz z podpisanymi odpowiednimi wyjściami na stosowanych płytkach UC-2.

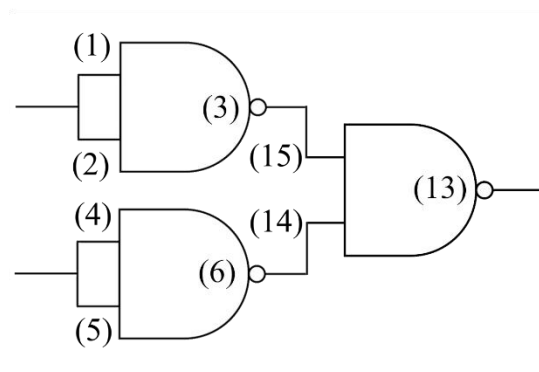
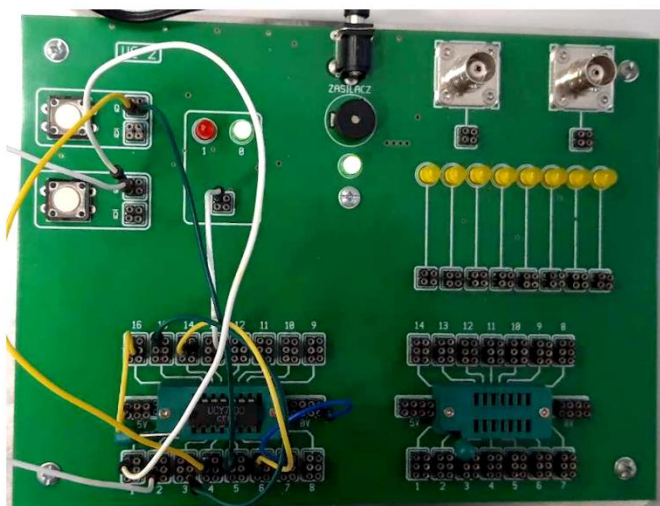
(a)



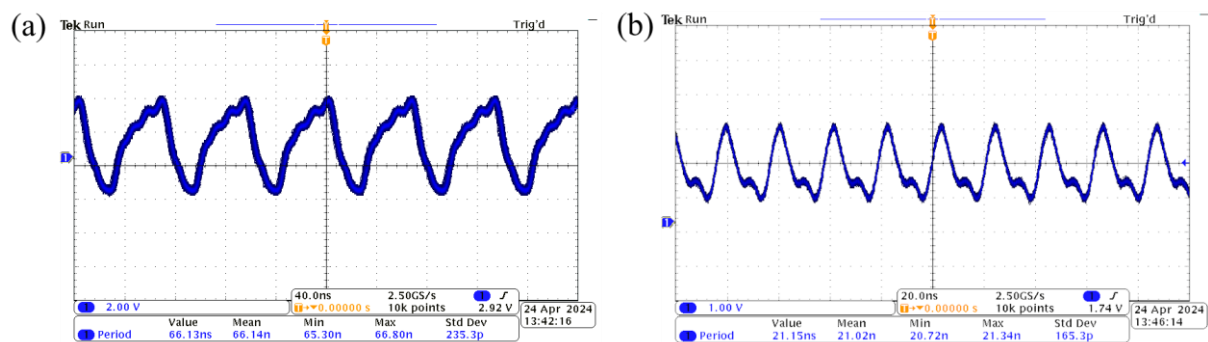
(b)



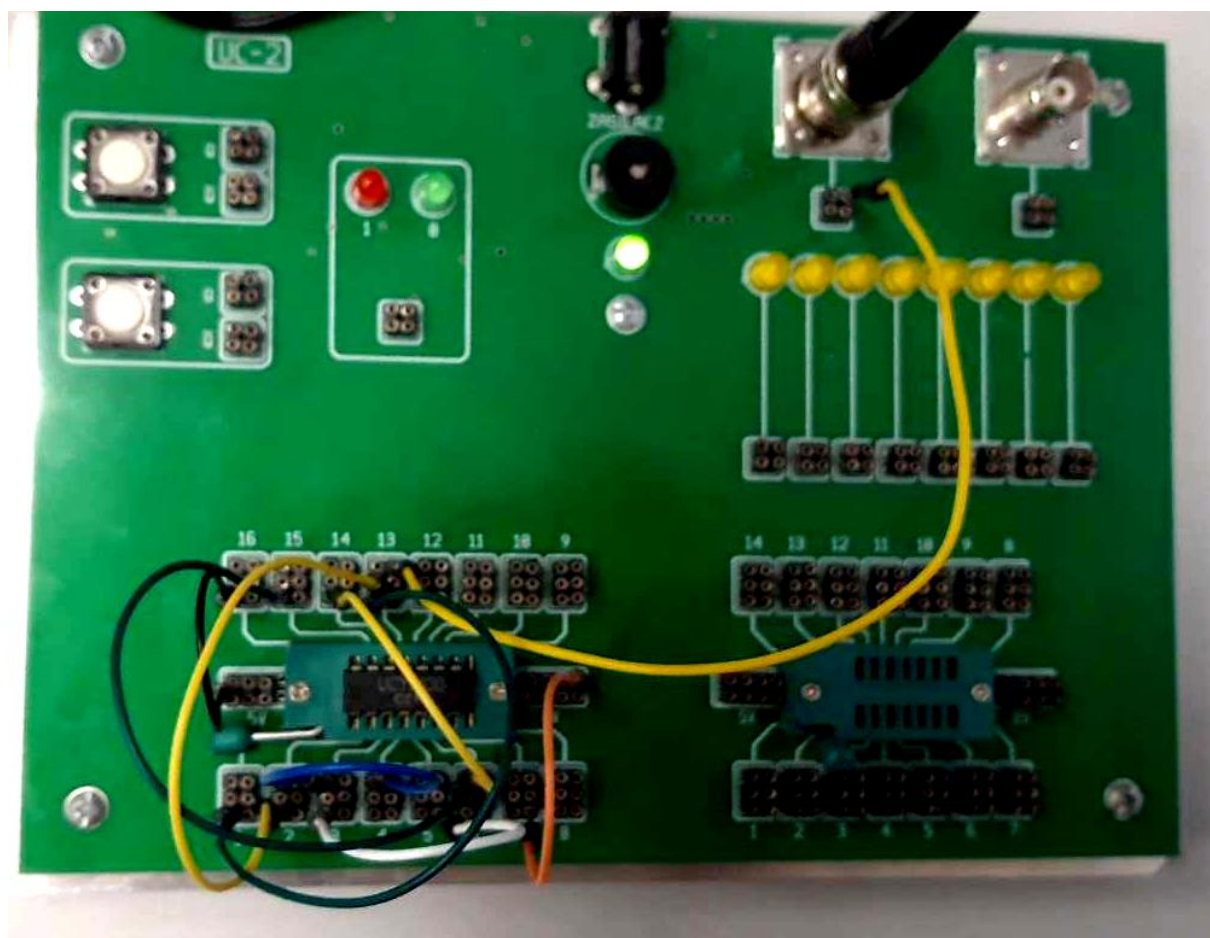
(c)



Rys. 9. Płytki UC-2 z układem NAND (7400) realizujące funkcje (a) negacji, (b) iloczynu oraz (c) sumy logicznej wraz ze schematami z podpisanymi użytymi wejściami układu scalonego.



Rys. 10. Obrazy z oscyloskopu zarejestrowane dla układu realizującego szeregowe cykliczne połączenie trzech bramek NAND dla zastosowania układów (a) 7400 oraz (b) 74S00.



Rys. 11. Płytki UC-2 z układem scalonym 7400 realizującą schemat z rysunku 2.

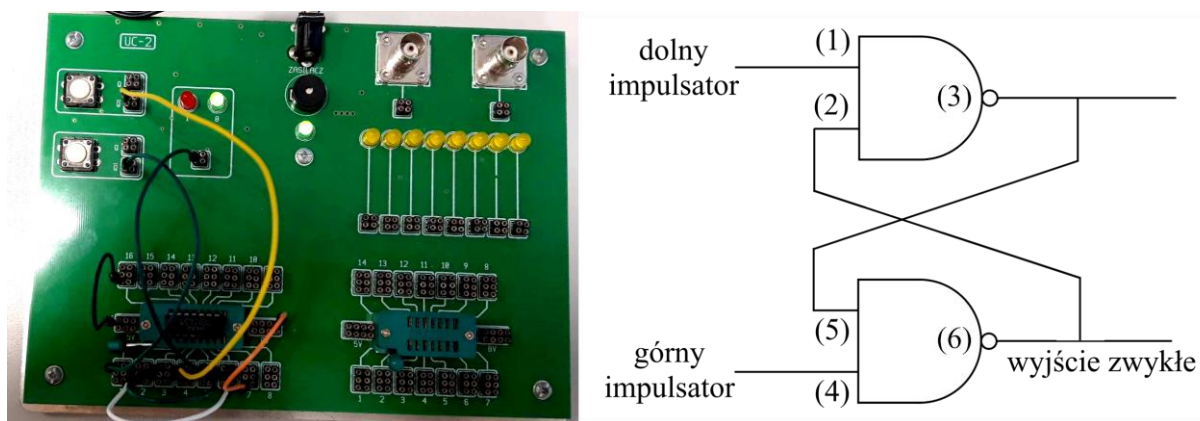
Aby wyznaczyć średni czas propagacji impulsu przez używane bramki NAND skonstruowano układ przedstawiony na rysunku 2. Wykorzystano dwa różne rodzaje układów scalonych – 7400 oraz 74S00. Okres drgań otrzymanych fal zmierzono za pomocą funkcji wbudowanych oscyloskopu. Na rysunku 10 przedstawiono obrazy z oscyloskopu dla obu realizacji, natomiast otrzymane wartości zestawiono w tabeli 1. Płytkę UC-2 z układem 7400 realizującą zadany schemat przedstawiono na rysunku 11.

Tabela 1. Zestawienie wartości otrzymanych podczas badania układu realizującego szeregowo cykliczne połączenie trzech bramek NAND dla dwóch różnych układów scalonych.

	układ 7400	układ 74S00
okres drgań [ns]	66,14	21,02
średni czas propagacji [ns]	10,69	3,50

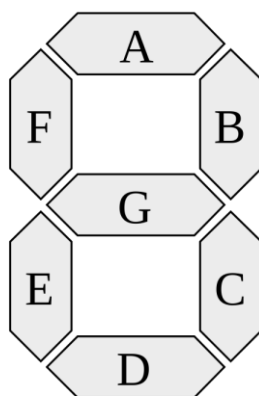
Można zauważyć, że bramki NAND realizowane w układzie 74S00 mają trzykrotnie mniejszy czas propagacji od tych realizowanych przez 7400 – są zatem znacznie lepsze jako takie, w których odpowiedź bramki na zmianę sygnału wejściowego jest dużo szybsza.

Skonstruowano również za pomocą bramek NAND przerzutnik asynchroniczny R-S. Zdjęcie płytki realizującej ten układ oraz schemat z zaznaczonymi wejściami przedstawiono na rysunku 12, podczas gdy nagranie przedstawiające jego działanie umieszczono w internecieⁱ.



Rys. 12. Zdjęcie płytki UC-2 realizującej przerzutnik asynchroniczny RS zbudowany za pomocą bramek NAND wraz ze schematem wykonania z zaznaczonymi odpowiednimi wyjściami układu scalonego 7400.

ⁱ <https://drive.google.com/file/d/1qZWZfZuzpGU1gwezFkep2VYmvCo35qT3>



Rys. 13. Podpis segmentów wskaźnika siedmiosegmentowego¹¹.

Zrealizowano również segment C wskaźnika siedmiosegmentowego, mającego wyświetlać liczby w systemie ósemkowym, przedstawionego na rysunku 13. W tym celu skonstruowano odpowiednią funkcję logiczną, analizując dla których z ośmiu realizowanych cyfr (0 – 7) segment powinien się świecić. Wyniki analizy przedstawiono w tabeli 2.

Tabela 2. Wartości logiczne, które układ segmentu C powinien spełniać dla określonych parametrów wejścia charakteryzujących dane liczby przedstawione w kodzie Graya.

liczba	liczba binarna	wartość funkcji logicznej
0	000	1
1	001	1
2	010	0
3	011	1
4	100	1
5	101	1
6	110	1
7	111	1

Najstarszemu bitowi zapisu binarnego przypisano liczbę A, środkowemu liczbę B, natomiast najmłodszemu liczbę C. Na tej podstawie skonstruowano mapę Karnaugh przedstawioną na rysunku 14.

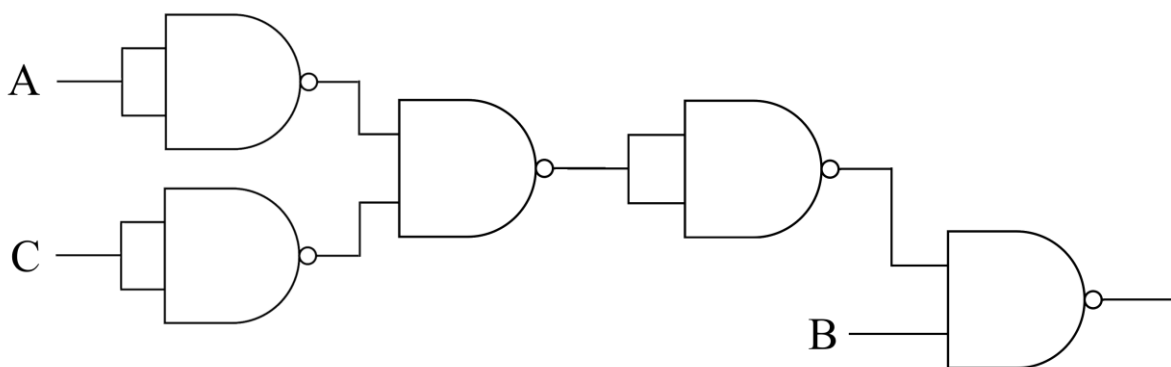
		BC			
		00	01	11	10
A	1	1	1	1	0
	0	1	1	1	1

Rys. 14. Mapa Karnaugh projektowanego układu wraz z zaznaczonymi pogrupowanymi jedynkami logicznymi.

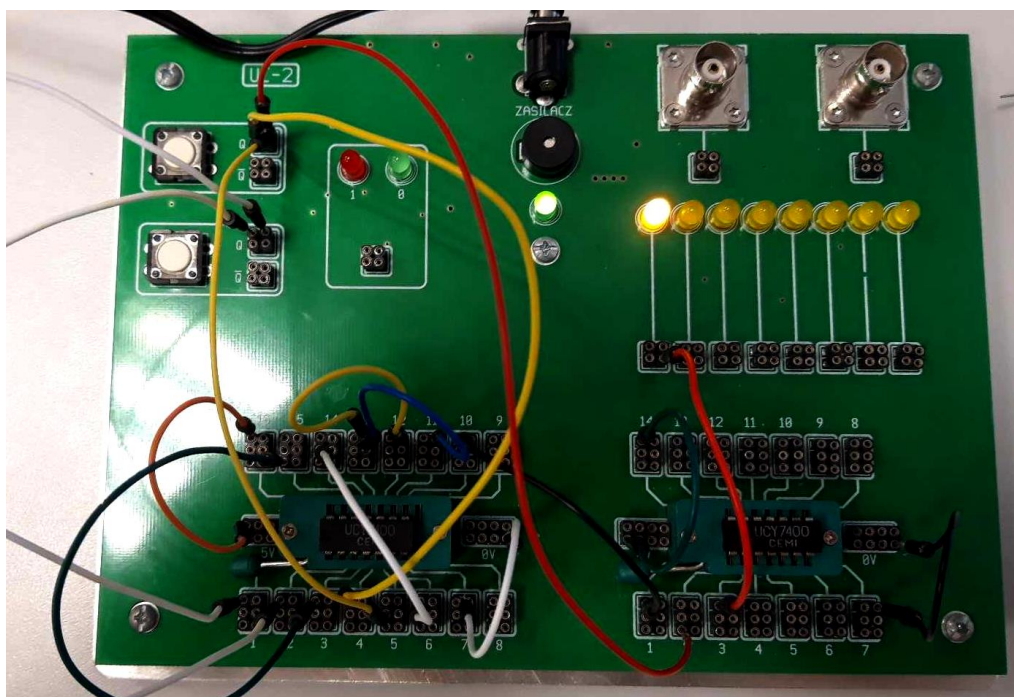
Skonstruowano funkcję opisującą badany układ i uproszczono ją:

$$F = \bar{B} + BC + AB = \bar{B} + B(C + A) = A + \bar{B} + C \quad (1)$$

Na rysunku 15 zilustrowano schemat układu realizującego daną funkcję zbudowanego na bramkach NAND, podczas gdy na rysunku 16 przedstawiono płytkę UC-2 realizującą go. Zdjęcia pokazujące sprawdzenie każdej możliwej kombinacji bitów załączono na końcu sprawozdania. Bitowi A odpowiada sygnał przesyłany przez biały kabel, bitowi B czerwony, natomiast bitowi C żółty. Potwierdzono poprawną realizację układu, obserwując, że sygnał na wyjściu zanika jedynie dla kombinacji wejść odpowiadającej liczbie 010.



Rys. 15. Schemat skonstruowanego układu realizującego funkcję logiczną odpowiadającą segmentowi C wskaźnika siedmiosegmentowego, gdzie A jest najstarszym bitem liczby, natomiast C najmłodszym.



Rys. 16. Płyta UC-2 realizująca za pomocą bramek NAND segment C wskaźnika siedmiosegmentowego z kombinacją sygnałów wejściowych odpowiadającą binarnemu zapisowi liczby 0.

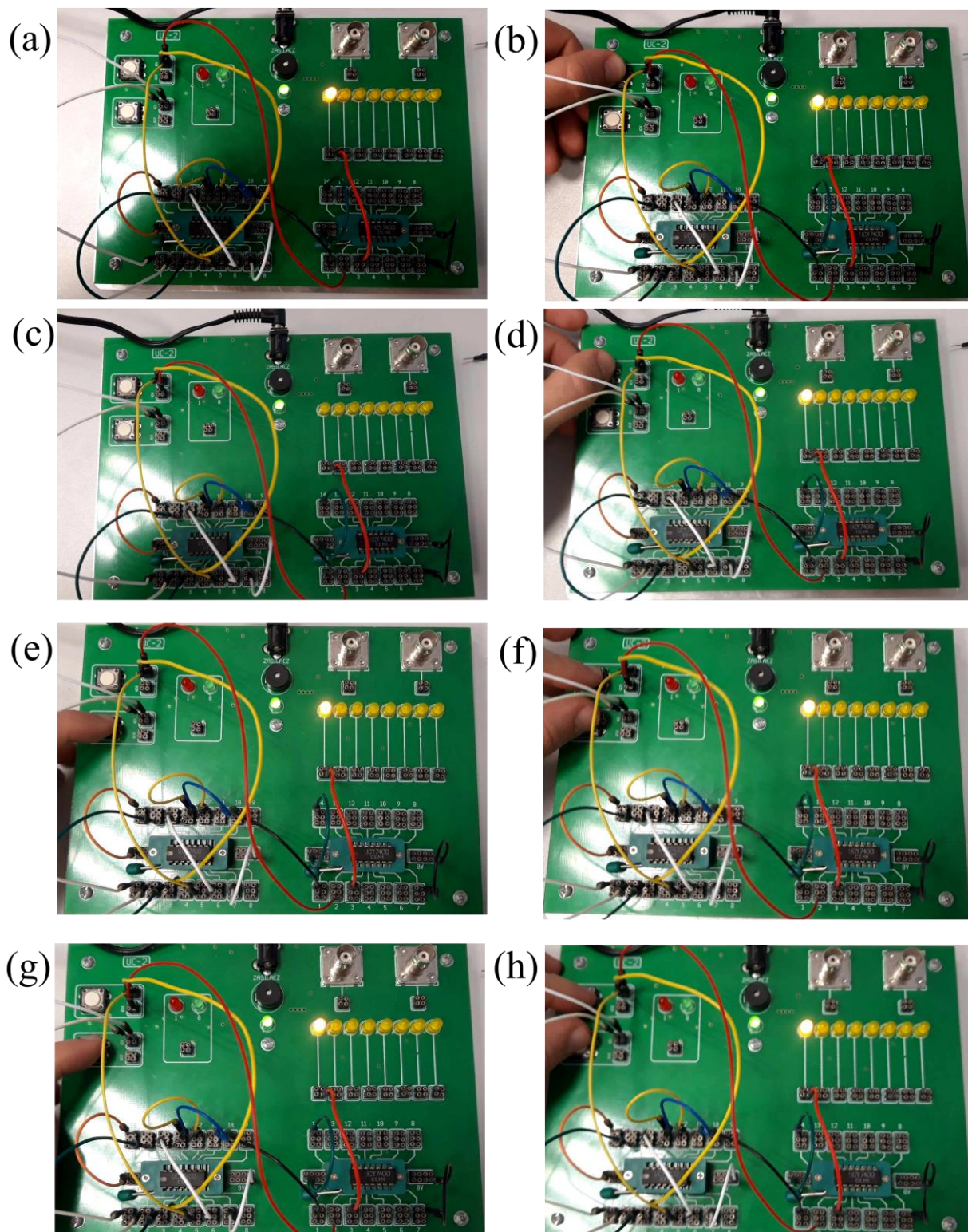
3. Podsumowanie

W trakcie wykonywania ćwiczenia zapoznano się z podstawowymi bramkami NAND, NOR oraz XOR, a także zbadano możliwości ich łączenia w większe układy. Potwierdzono spodziewane zakresy napięć dla logicznego zera (rzędu kilkudziesięciu miliwoltów) oraz logicznej jedynki (rzędu kilku woltów). Zbadano możliwości funkcjonalnie pełnych bramek NAND oraz NOR, konstruując za ich pomocą inne podstawowe funkcje logiczne, tj. negację, sumę oraz iloczyn. Zmierzono i porównano średni czas propagacji w bramkach NAND realizowanych w układach scalonych 7400 oraz 74S00, potwierdzając lepszy czas odpowiedzi w tym drugim. Stworzono przerzutnik asynchroniczny R-S i potwierdzono jego zdolność do pamiętania ostatniej konfiguracji sygnałów. Zrealizowano i przetestowano również układ realizujący segment C wskaźnika siedmiosegmentowego, potwierdzając jego poprawne wykonanie.

4. Źródła

- [1] https://www.mimuw.edu.pl/~mwk/pul/01_intro/index.html (data dostępu: 6.05.2024)
- [2] https://pl.wikipedia.org/wiki/Uk%C5%82ad_cyfrowy (data dostępu: 6.05.2024)
- [3] https://pl.wikipedia.org/wiki/Bramka_logiczna (data dostępu: 6.05.2024)
- [4] https://spe.if.uj.edu.pl/documents/144978191/147822261/T_07a.pdf/0e35aa24-8efa-4ad7-9f76-c9665291215d (data dostępu: 6.05.2024)
- [5] https://zefir24.if.uj.edu.pl/pracownia_el/InfStos_cw4.pdf (data dostępu: 6.05.2024)
- [6] <https://home.agh.edu.pl/~bawisnie/wp-content/uploads/INSTRUKCJA-Przerzutniki.pdf> (data dostępu: 6.05.2024)
- [7] https://pl.wikipedia.org/wiki/Wy%C5%9Bwietlacz_siedmiosegmentowy (data dostępu: 6.05.2024)
- [8] <https://pl.wikipedia.org/wiki/7400> (data dostępu: 6.05.2024)
- [9] https://pl.wikipedia.org/wiki/Plik:7402_Quad_2-input_NOR_Gates.PNG (data dostępu: 6.05.2024)
- [10] https://electronic-studio.com/7486-quad-2-input-exclusive-or-gate_1 (data dostępu: 6.05.2024)
- [11] https://pl.wikipedia.org/wiki/Wy%C5%9Bwietlacz_siedmiosegmentowy (data dostępu: 12.05.2024)

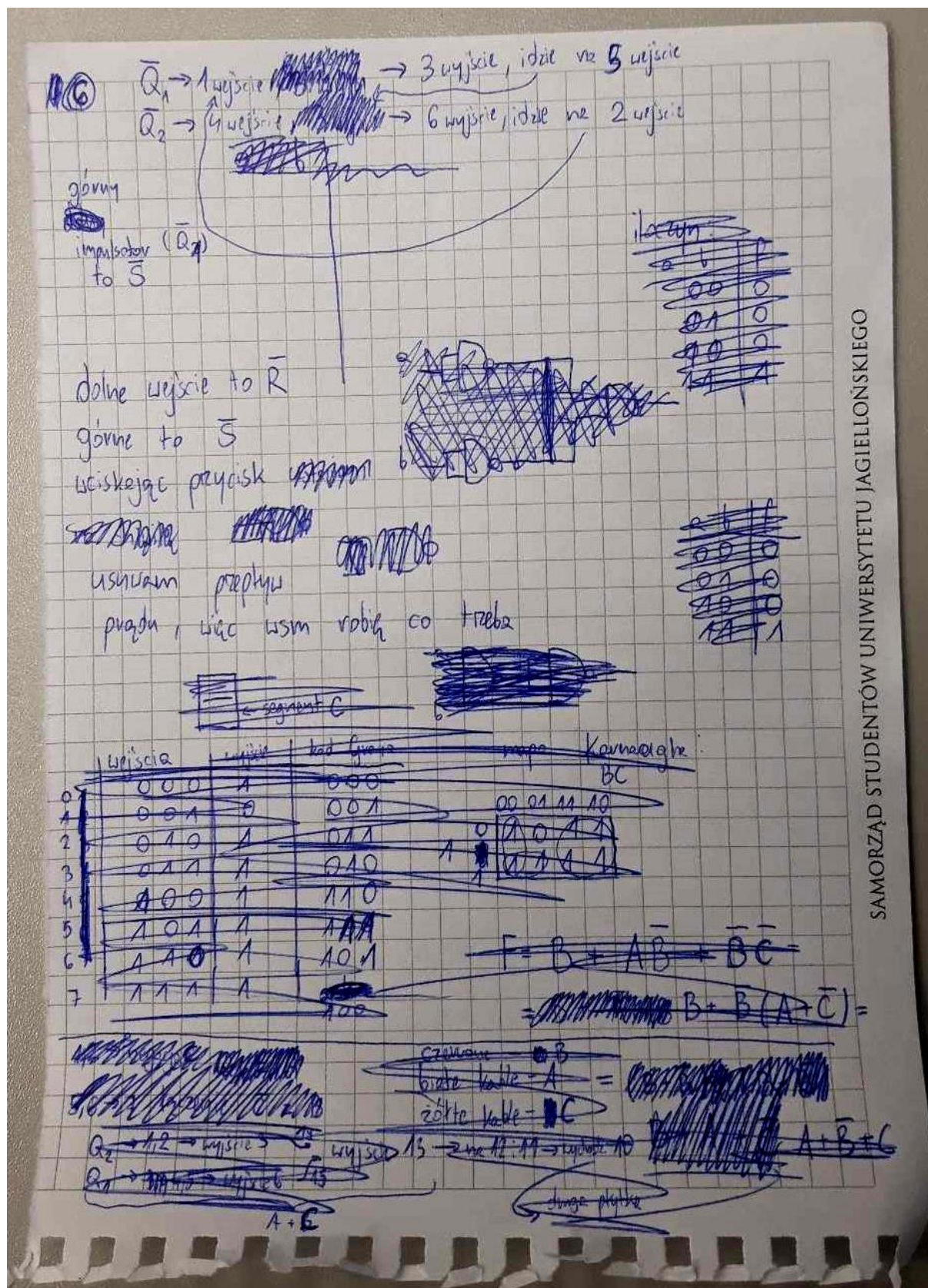
5. Skan notatek oraz niewykorzystane obrazy




Rys. S1. Płyta UC-2 realizująca za pomocą bramek NAND segment C wskaźnika siedmiosegmentowego z kombinacją sygnałów wejściowych odpowiadającą liczbie (a) 000, (b) 001, (c) 010, (d) 011, (e) 100, (f) 101, (g) 110, (h) 111.

- ① na sinus
impulsy: braki sygnału 0V, sygnał 5V
01 - sprawdzić wyjścia Q impulsatora głównego
02 - \bar{Q} dobrać
- ② na zdjęciach opisać który kabel co robi
do pierwszego wejścia po przebiegu
- miernik nr 1
płytkę UC-2
- NAND - tabela zgadza się
wyjście: jedynka to 3,64V
zero to ~~3,64V~~ 61,2mV
- NOR - tabela zgadza się
jeden to 3,62V
zero to 55,3mV
- XOR - tabela zgadza się
jeden to 4,98V
zero to 62,3mV
- ③ badanie NAND
- negacja $Q_1 \rightarrow$ wejście 1 \rightarrow wyjście 3
 $Q_1 \rightarrow$ wejście 2
- iloczyn $Q_1 \rightarrow$ wejście 1 \rightarrow wyjście 3 \rightarrow wejście 4 \rightarrow wyjście 6
 $Q_2 \rightarrow$ wejście 2 \rightarrow wyjście 5 \rightarrow wejście 5
- suma Q_1 na 1 i 2 \rightarrow 3 \rightarrow na 14 \rightarrow wyjście 13
 Q_2 na 4 i 5 \rightarrow 6 \rightarrow na 15
- badanie NOR
- negacja Q_1 idzie na 1 i 2, wyjście 3
- suma $Q_1 \rightarrow$ 1 \rightarrow 3 \rightarrow 4 \rightarrow wyjście 6
 $Q_2 \rightarrow$ 2 \rightarrow 5
- iloczyn Q_1 na 1 i 2 \rightarrow 3 \rightarrow na 15 \rightarrow wyjście 13
 Q_2 na 4 i 5 \rightarrow 6 \rightarrow na 14
- ④ 7400 - 66,14 ns
74500 - 21,02 ns

Rys. S2. Zdjęcie pierwszej strony notatek



Rys. S3. Zdjęcie drugiej strony notatek



**SAMORZĄD
STUDENTÓW**
WYDZIAŁU FIZYKI, ASTRONOMII
I INFORMATYKI STOSOWANEJ
UNIWERSYTETU JAGIELLOŃSKIEGO

	A	B	C	wyjście	kod Graya
0	0	0	0	1	000
1	0	0	1	1	001
2	0	1	0	0	011
3	0	1	1	1	010
4	1	0	0	1	110
5	1	0	1	1	111
6	1	1	0	1	101
7	1	1	1	1	100

kolor

Karnaugh:

	BC			
	00	01	11	10
A	1	1	1	1
0	1	1	1	0

$$F = \bar{B} + BC + AB = \bar{B} + B(C+A) = \bar{B} + C + A$$

czarny kabel - B
biały - A
żółty - C

1) biały → wejście 1/2 → wyjście 3 $\xrightarrow{\text{wejście 4}}$ wejście 13 → na wejście 12, 11
 żółty → wejście 4/5 → wyjście 6 $\xrightarrow{\text{wejście 15}}$

↓
wychodzi na 10
↓
na drugim czipie
razem z wejściem
czarnym
do 1/2
↓
wyjście 3

Rys. S4. Zdjęcie trzeciej strony notatek.