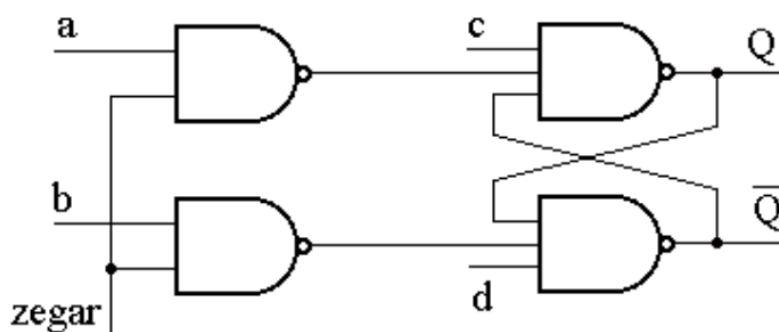


imię i nazwisko	data wykonania	prowadzący ćwiczenia
Krzysztof Czarnowus	15.05.2024 r. grupa 15 (środa, godz. 12.15)	dr Szymon Niedźwiecki
<b>5. Przerzutniki synchroniczne, rejestry, liczniki binarne, pamięć RAM</b>		

## 1. Wstęp teoretyczny

Przerzutniki synchroniczne charakteryzuje obecność wejścia synchronizującego, nazywanego również zegarowym<sup>1</sup>. Taki układ może zmienić stan jedynie pod wpływem odpowiedniego zachowania na dodatkowym wejściu – można je podzielić na wyzwalane poziomem oraz wyzwalane zboczem<sup>2</sup>. W tych pierwszych przerzutnik może zmieniać wartość na wyjściu w każdym momencie, w którym na wejściu zegarowym podana jest jedynka logiczna, w tych drugich natomiast przerzut następuje przy zmianie stanu – z niskiego na wysoki (zbocze dodatnie) bądź z wysokiego na niski (zbocze ujemne)<sup>3</sup>.

Najbardziej podstawowym z takich układów jest przerzutnik synchroniczny RS, którego jedna z możliwych konstrukcji przedstawiona jest na rysunku 1. Jest to przerzutnik wykorzystywany w wykonywanym ćwiczeniu, zawierający trzywejściowe bramki NAND, a więc posiadający w sumie pięć różnych wejść. Spodziewaną tablicę logiczną dla przerzutnika synchronicznego RS przedstawiono na rysunku 2.

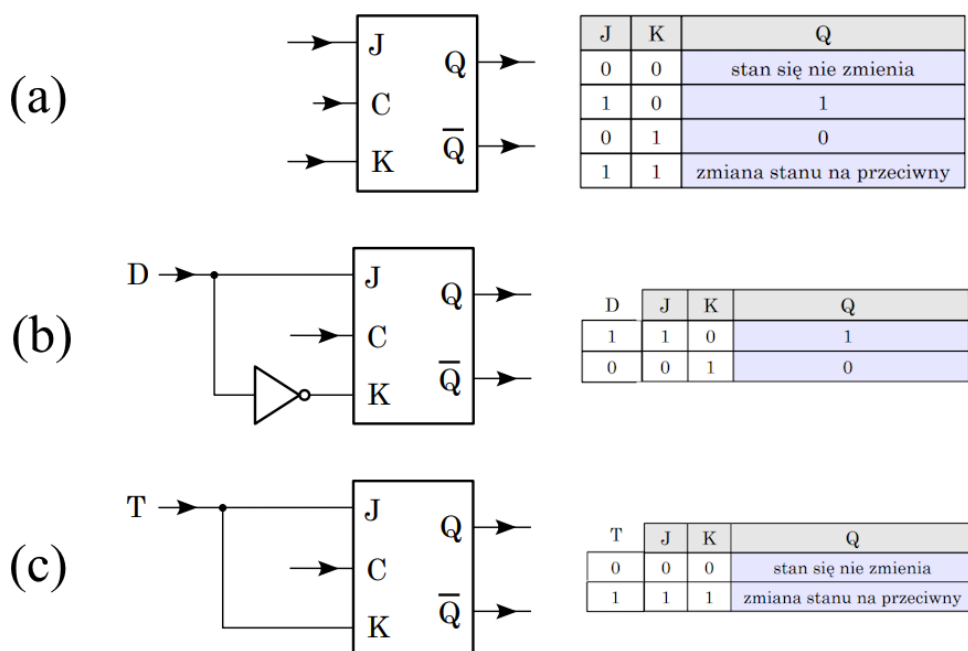


**Rys. 1.** Schemat stosowanego w ćwiczeniu przerzutnika synchronicznego RS złożonego z bramek NAND dwuwejściowych oraz trójwejściowych. Wejścia a oraz b są wejściami informacyjnymi, zegar jest wejściem zegarowym, natomiast wejścia c i d dodatkowymi wejściami sterującymi działaniem przerzutnika. Q jest wyjściem zwykłym,  $\bar{Q}$  wyjściem zanegowanym<sup>4</sup>.

R	S	Q
0	0	stan pamiętania
1	0	0
0	1	1
1	1	stan niedozwolony

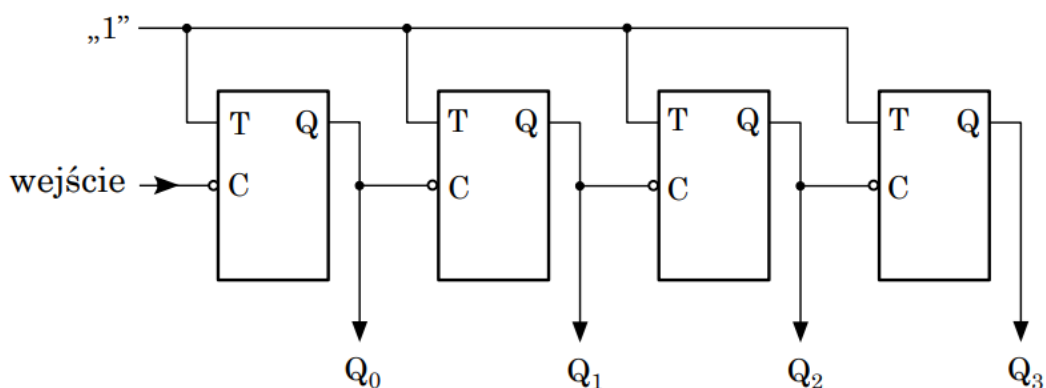
**Rys. 2.** Tablica logiczna dla przerzutnika synchronicznego RS o dwóch wejściach informacyjnych: ustawiającym (S) oraz resetującym (R) dla jedynki logicznej na wejściu zegarowym. W przypadku zera logicznego przerzutnik ustawiony jest na stan pamiętania ostatniej konfiguracji wejść<sup>2</sup>.

Innym istotnym rodzajem przerzutnika synchronicznego jest przerzutnik JK. Posiada on trzy wejścia – informacyjne J i K oraz wejście zegarowe. Odpowiednie połączenie ze sobą wejść informacyjnych prowadzi do otrzymania innych ważnych rodzajów przerzutników – przerzutnika D oraz przerzutnika T. Sposób wyzwalania przerzutu zależy od konkretnej konstrukcji wewnętrznej przerzutnika – mogą zatem być zarówno wyzwalane poziomem, jak i zboczem. Schematy tych układów oraz ich tablice logiczne przedstawiono na rysunku 3.

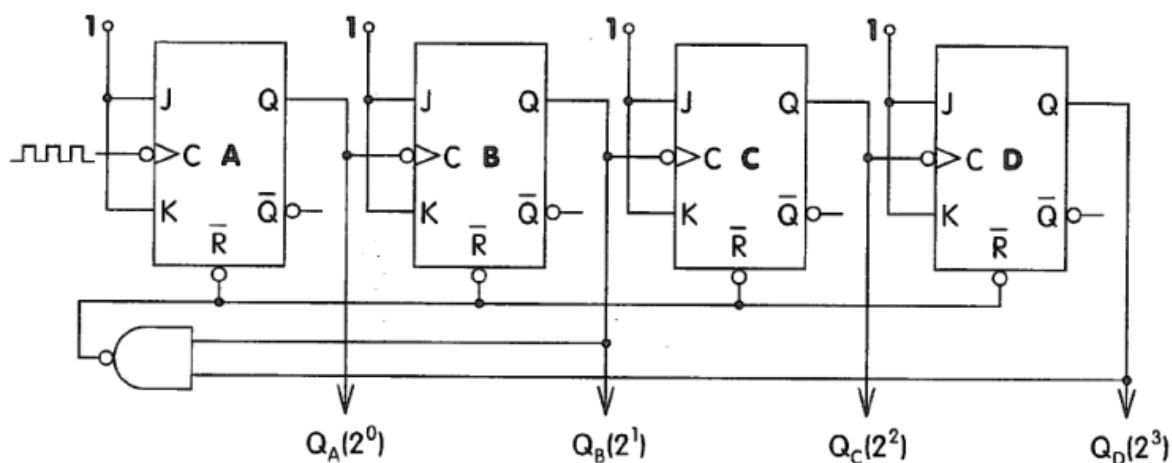


**Rys. 3.** Schematy oraz tablice logiczne (a) przerzutnika JK, (b) przerzutnika D oraz (c) przerzutnika T dla wejścia zegarowego C w stanie logicznej jedynki. W przypadku zera logicznego przerzutnik ustawiony jest na stan pamiętania ostatniej konfiguracji wejść<sup>2</sup>.

Za pomocą przerzutników T możliwe jest skonstruowanie liczników – układów cyfrowych służących do zliczania impulsów elektrycznych i podawania tej wartości zakodowanej binarnie. Przykładowy licznik modulo 16 tworzy się łącząc ze sobą cztery przerzutniki T w sposób przedstawiony na rysunku 4, natomiast możliwe jest również odliczanie do innej wartości – schemat licznika modulo 10 przedstawiono na rysunku 5.



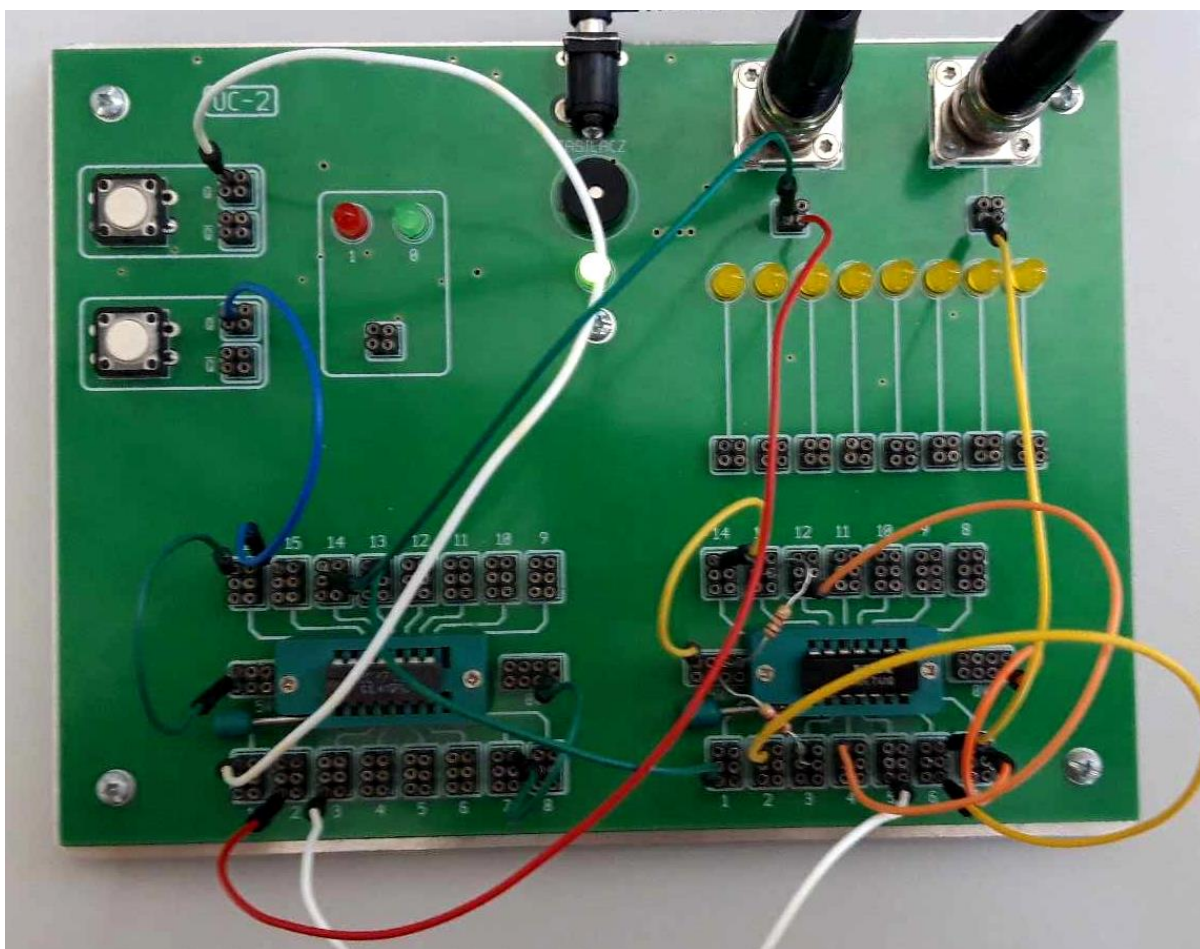
**Rys. 4.** Schemat licznika modulo 16 złożonego z czterech przerzutników T. Na wejście podany jest sygnał, który będzie zliczany  $Q_0 - Q_4$  to są kolejne bity reprezentacji binarnej wyniku, podczas gdy na wszystkie wejścia T podana jest jedynka logiczna<sup>2</sup>.



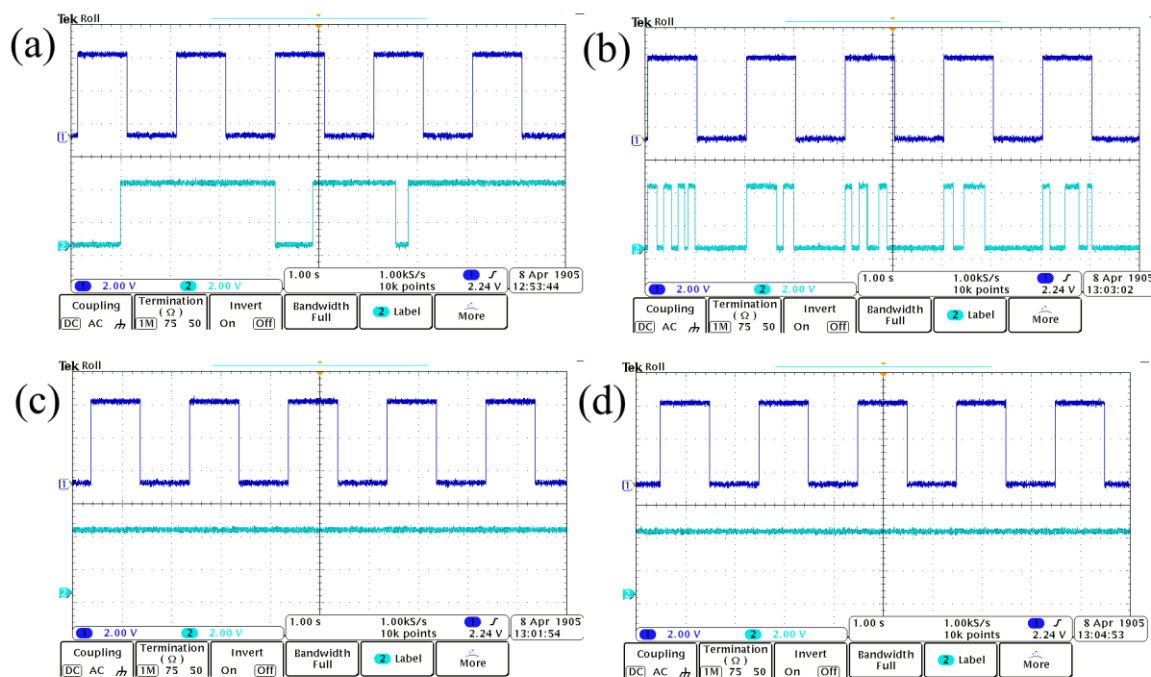
**Rys. 5.** Schemat licznika modulo 10. Jest analogiczny do licznika modulo 16, jednak wyjścia odpowiadające binarnej reprezentacji dziesiątki (1010) połączone są z bramką NAND, która wysyła sygnał resetujący wszystkie przerzutniki. W ten sposób po osiągnięciu wartości 1010 licznik jest zerowany. Taki układ realizowany jest przez układ scalony 7493<sup>5</sup>.

## 2. Opis ćwiczeń oraz omówienie wyników

Za pomocą układów scalonych 7400 oraz 7410 zbudowano przerzutnik synchroniczny RS o pięciu wejściach z rysunku pierwszego. Na wejście zegarowe przekazano sygnał prostokątny z generatora funkcyjnego o częstotliwości 0.5 Hz, sygnały na wejściach informacyjnych a i b podano z impulsatorów, a sygnały na wejściach sterujących c i d połączone ze stałymi wartościami logicznymi, badając każdą ich możliwą konfigurację. Na rysunku 6 przedstawiono płytkę UC-2 z poprawnie działającym przerzutnikiem synchronicznym RS – takim, w którym na wejścia c oraz d podana została logiczna jedynka. Na rysunku 7 przedstawiono obrazy z oscyloskopu z zestawionym sygnałem zegarowym oraz sygnałem wyjściowym dla każdej z czterech konfiguracji, ich tablice logiczne natomiast przedstawiono w tabeli 1.



**Rys. 6.** Płytkę UC-2 z dwoma układami scalonymi 7400 oraz 7410 realizującą schemat pięciowejściowego przerzutnika synchronicznego RS.



**Rys. 7.** Zestawienie sygnału zegarowego (ciemnoniebieski) oraz wyjściowego (jasnoniebieski) dla wejść c i d o wartościach logicznych odpowiednio: (a) 1 i 1, (b) 1 i 0, (c) 0 i 1 oraz (d) 0 i 0.

Poprawne zamierzone działanie przerzutnika zaobserwowano dla wejść c i d zwartych za pomocą opornika do logicznej jedynki. Kiedy wejście d podłączono do 0, przerzutnik działał tylko dla sygnału zegarowego równego jedynce – w przeciwnym razie układ przestawał pamiętać konfigurację i sygnał wyjściowy zanikał. Wyzerowanie wejścia c sprawiło natomiast, że układ cały czas utrzymywał się w stanie logicznej jedynki, niezależnie od stanu innych wejść, w tym wejścia d.

**Tabela 1.** Tablice logiczne skonstruowanego przerzutnika dla wszystkich możliwych konfiguracji.

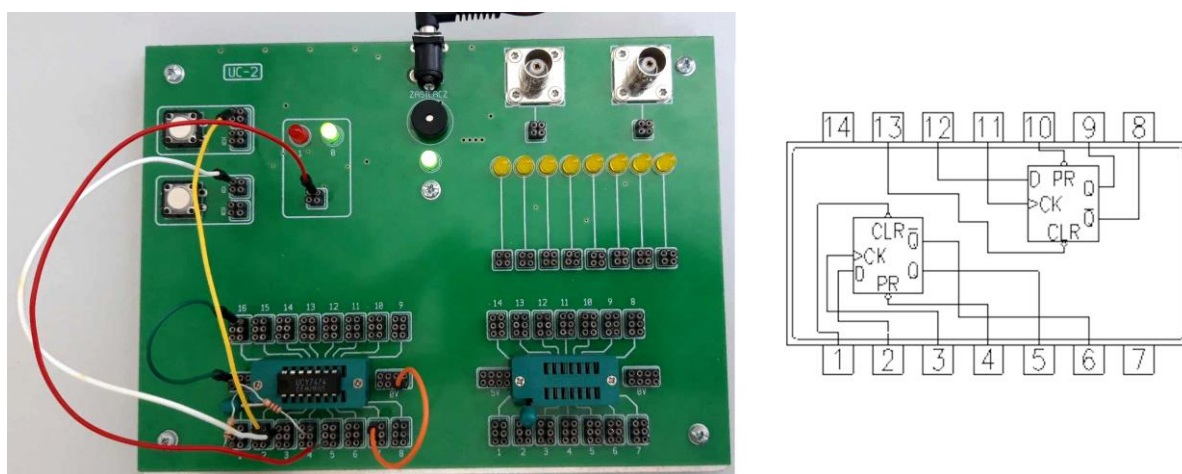
c = 1 oraz d = 1				c = 1 oraz d = 0			
a	b	CLK	wyjście	a	b	CLK	wyjście
0	0	0	pamiętanie	0	0	0	0
0	1	0	pamiętanie	0	1	0	0
1	0	0	pamiętanie	1	0	0	0
1	1	0	pamiętanie	1	1	0	0
0	0	1	pamiętanie	0	0	1	pamiętanie
0	1	1	1	0	1	1	1
1	0	1	0	1	0	1	0
1	1	1	zabroniony	1	1	1	zabroniony

**Tabela 1. c.d.** Tablice logiczne skonstruowanego przerzutnika dla wszystkich możliwych konfiguracji.

c = 0 oraz d = 1				c = 0 oraz d = 0			
a	b	CLK	wyjscie	a	b	CLK	wyjscie
0	0	0	1	0	0	0	1
0	1	0	1	0	1	0	1
1	0	0	1	1	0	0	1
1	1	0	1	1	1	0	1
0	0	1	1	0	0	1	1
0	1	1	1	0	1	1	1
1	0	1	1	1	0	1	1
1	1	1	1	1	1	1	1

Przerzutnik działa poprawnie tylko wtedy, kiedy na wejściach c i d podana jest logiczna jedynka; kiedy na wejściu c jest fałsz, układ zawsze zwraca sygnał odpowiadający prawdzie logicznej. Podając więc na te dwa wejścia odpowiedni sygnał możliwe jest zatem sterowanie działaniem przerzutnika i wyłączanie jego właściwości zapamiętywania ostatniej konfiguracji.

W następnej części ćwiczenia zbadano przerzutnik D jednozbozowy korzystając z układu scalonego 7474. Jego schemat wewnętrzny oraz realizację na płytce UC-2 przedstawiono na rysunku 8, podczas gdy nagranie pokazujące działanie umieszczono w internecie<sup>6</sup>. Zaobserwowano, że jest to przerzutnik wyzwalany zboczem dodatnim – stan wyjść jest więc zmieniany w zależności od stanu wejść jedynie w momencie zmiany stanu na wejściu zegarowym z niskiego na wysoki.



**Rys. 8.** Płytkę UC-2 realizującą przerzutnik D jednozbozowy za pomocą układu scalonego 7474 wraz z jego schematem<sup>7</sup>. Wejścia D są wejściami danych, wejście CK wejściem zegarowym, Q wyjściem, natomiast CLR oraz PR to specjalne wejścia sterujące.



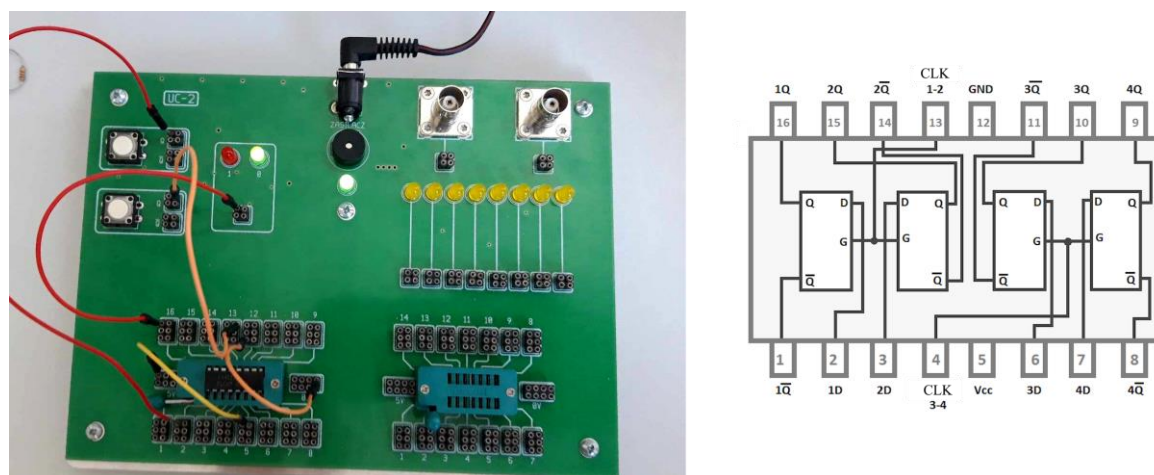
Wejścia CLR oraz PR spinano na stałe z różnymi wartościami logicznymi, aby zbadać ich wpływ na działanie przerzutnika. Okazało się, że realizuje on tablicę logiczną przedstawioną na rysunku 3b jedynie dla konfiguracji, w której na oba wejścia CLR i PR podana jest jedynka logiczna. W tabeli 2 przedstawiono pozostałe możliwości.

**Tabela 2.** Wartości na wyjściu przerzutnika D w zależności od wejść CLR oraz PR.

CLR	PR	wyjście
0	0	1
0	1	0
1	0	1
1	1	poprawne działanie przerzutnika D

Wejście CLR jest wejściem zerującym przerzutnik niezależnie od wejścia informacyjnego oraz zegarowego, podczas gdy wejście PR jest ustawiające – sprawia, że na wyjściu pojawia się jedynka logiczna niezależnie od wszystkich pozostałych możliwości. Domyślna wartość dla obu wynosi 1 – wówczas przerzutnik D jednozbozowy zachowuje się zgodnie z przedstawionymi wcześniej oczekiwaniami.

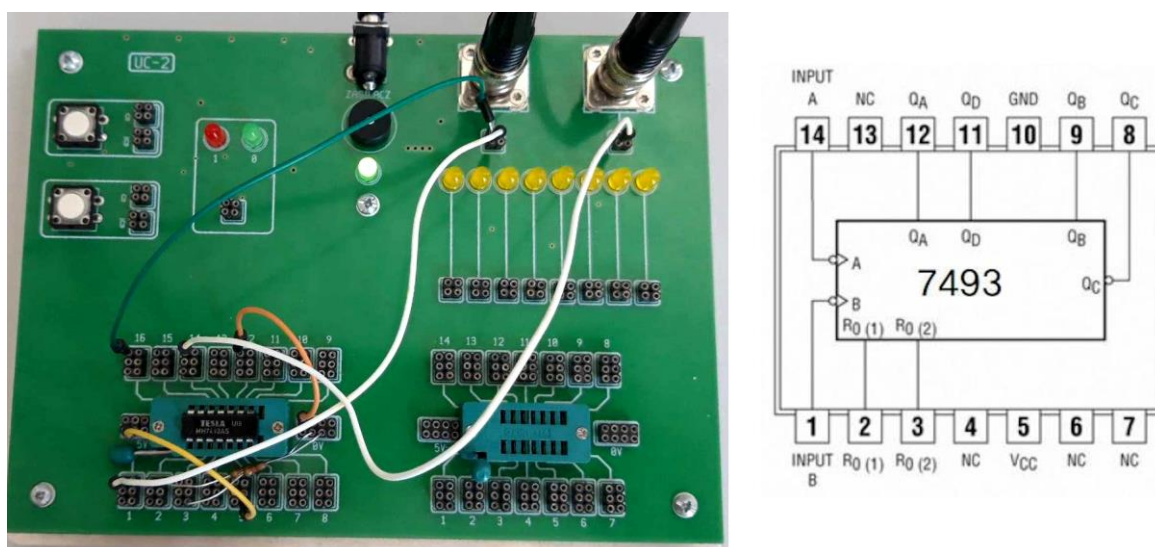
Kolejnym badanym układem jest przerzutnik D-latch. Zdjęcie płytki realizującej go za pomocą układu scalonego 7475 wraz z jego schematem przedstawiono na rysunku 9, podczas gdy nagranie pokazujące jego działanie umieszczono w internecie<sup>8</sup>.



**Rys. 9.** Płytką UC-2 realizująca przerzutnik D jednozbozowy za pomocą układu scalonego 7475 wraz z jego schematem<sup>9</sup>. Wejścia D to wejścia danych, CLK wejścia zegarowe, natomiast Q jest wyjściem.

Zaobserwowano, że jest to przerzutnik wyzwalany poziomem – stan wyjścia może się zmienić w zależności od stanu wejścia informacyjnego w każdym momencie, w którym na wejściu zegarowym podana jest logiczna jedynka. Potwierdzono poprawność tabeli logicznej przedstawionej na rysunku 3b.

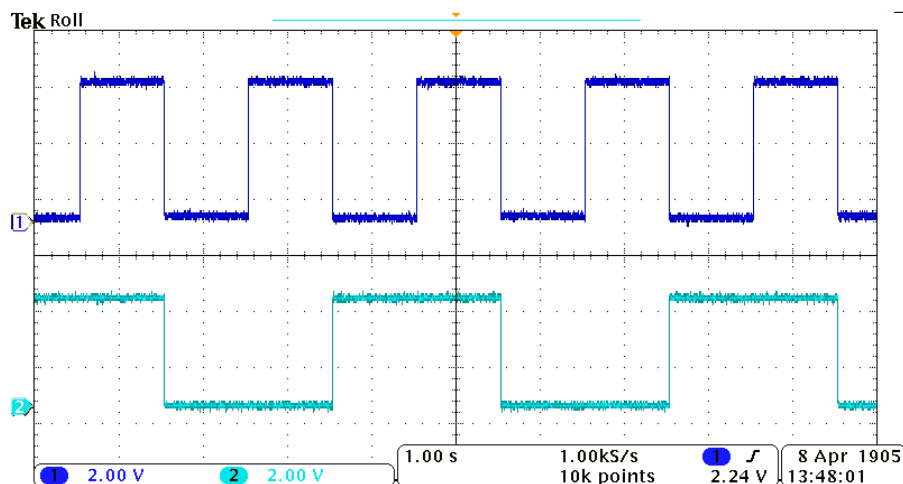
W następnej części ćwiczenia za pomocą układu scalonego 7493 realizującego przerzutnik JK zbudowano przerzutnik T. Charakteryzuje się on tym, że jako wyzwalany zboczem ujemnym po przepuszczeniu przez niego fali prostokątnej, na wyjściu otrzyma się sygnał o dwukrotnie mniejszej częstotliwości. Schemat układu 7493 oraz płytkę UC-2 realizującą układ zmniejszający częstotliwość przedstawiono na rysunku 10.



**Rys. 10.** Płytkę UC-2 realizującą przerzutnik T oraz schemat układu scalonego 7493. A to wejście zegarowe, R<sub>0</sub> wejścia resetujące, natomiast Q<sub>A</sub> wyjście. W tym układzie wszystkie wejścia informacyjne są stale ustawione na logiczną jedynkę.

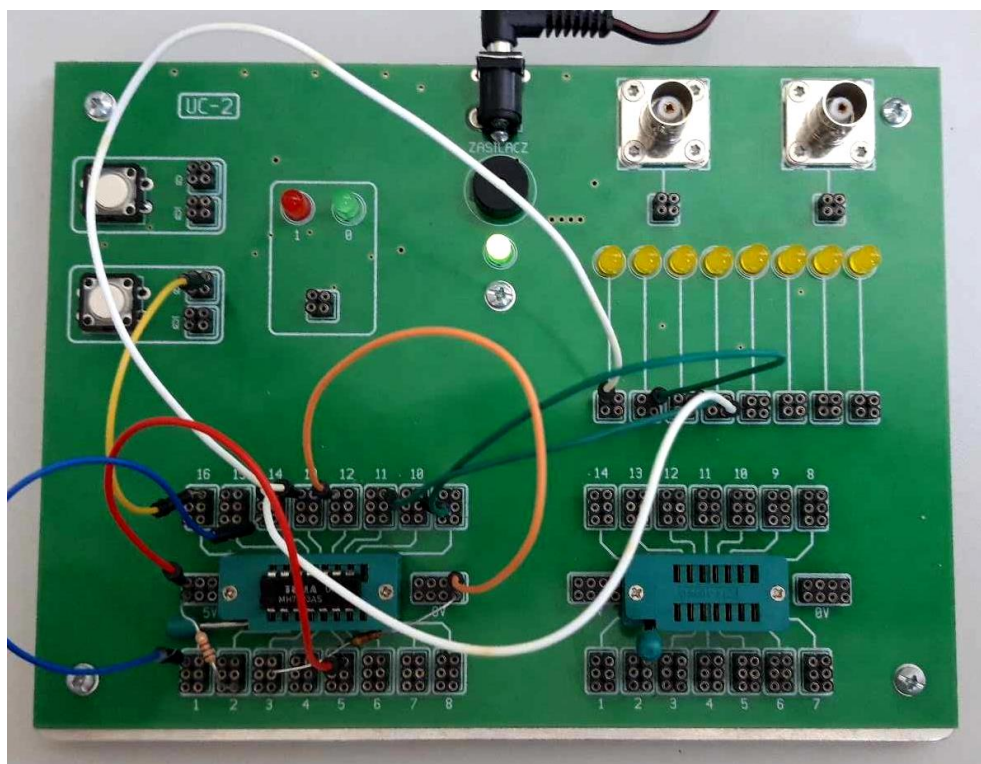
Ustawienie wejść informacyjnych na logiczną jedynkę i puszczenie na wejście zegarowe sygnału prostokątnego o amplitudzie wynoszącej 5 V oraz offsecie ustawionym na 2,5 V (aby sygnał zmieniał się od 0 do 5V) sprawia, że przerzutnik zmienia stan przy każdym zboczu opadającym, efektywnie dwukrotnie redukując częstotliwość. Wejścia resetujące zostały w tym wypadku spięte z zerem logicznym. Obraz z oscyloskopu zestawiający ze sobą sygnał wejściowy oraz wyjściowy z układu przedstawiono na rysunku 11.



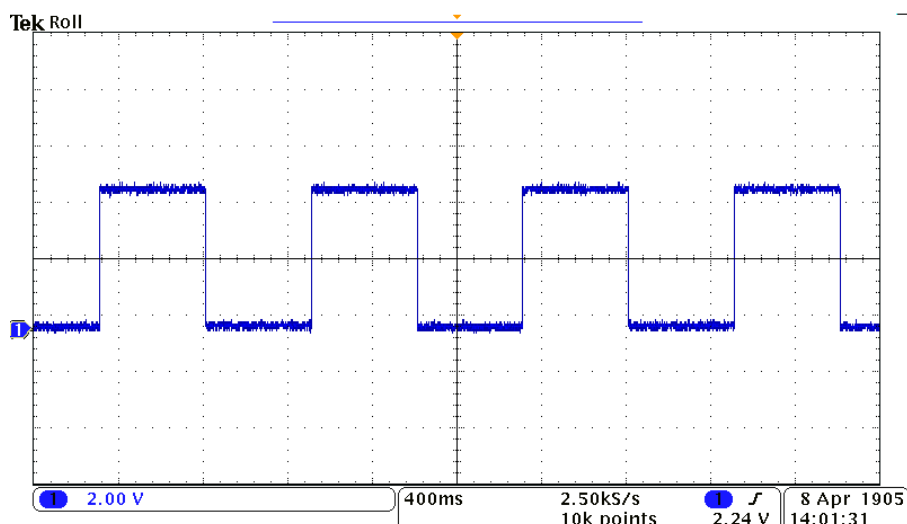


**Rys. 11.** Zestawienie sygnału wejściowego (ciemnoniebieski) oraz wyjściowego (jasnoniebieski) ze skonstruowanego z przerzutnika T układu.

Połączenie w układzie 7493 wejścia zegarowego B z wyjściowym sygnałem  $Q_A$  sprawi, że układ zacznie realizować schemat przedstawiony na rysunku 4, a więc licznik modulo 16, w którym sygnały na kolejnych wyjściach reprezentować będą kolejne bity binarnego zapisu zliczonej ilości sygnałów. Płytkę realizującą taki licznik przedstawiono na rysunku 12, podczas gdy film ilustrujący jego działanie zliczające sygnały otrzymane z generatora funkcyjnego i przedstawione na rysunku 12 umieszczono w internecie<sup>10</sup>.

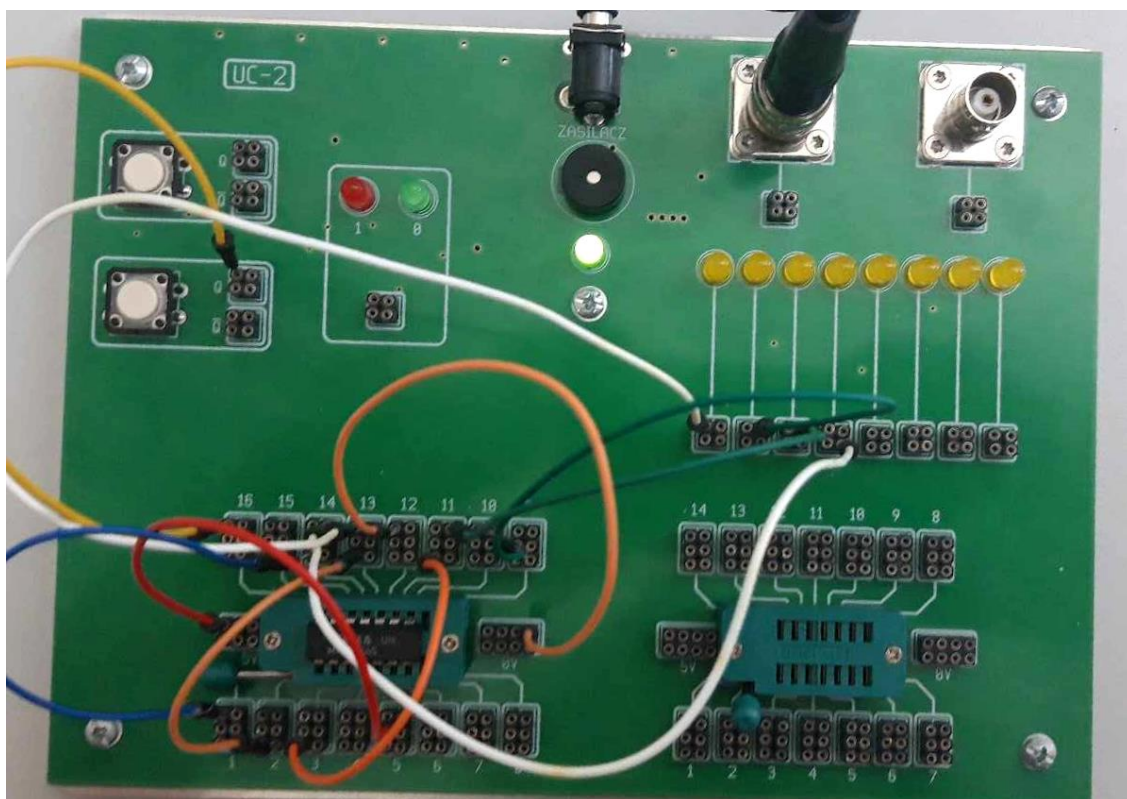


**Rys. 11.** Płytką UC-2 realizująca licznik modulo 16 za pomocą układu scalonego 7493.



**Rys. 12.** Zarejestrowany na oscyloskopie obraz sygnału wejściowego puszczanego na wejście zegarowe liczników modulo 16 oraz modulo 10 badanych w doświadczeniu.

Po drobnej modyfikacji układu i połączeniu wyjść  $Q_D$  oraz  $Q_B$  z wejściami resetującymi otrzymano zobrazony na rysunku 5 licznik modulo 10. Zdjęcie płytki UC-2 realizującej go przedstawiono na rysunku 13, podczas gdy nagranie działania licznika pod wpływem impulsów pochodzących z generatora umieszczono w internecie<sup>11</sup>.



**Rys. 11.** Płytką UC-2 realizująca licznik modulo 10 za pomocą układu scalonego 7493.

### 3. Podsumowanie

W wykonanym ćwiczeniu zbadano podstawowe przerzutniki synchroniczne oraz ich możliwe zastosowania. Poznano konstrukcję przerzutnika RS pięciowejsiowego, umożliwiającego sterowanie za pomocą dodatkowych wejść jego działaniem niezależnie od sygnałów informacyjnych oraz zegarowego. Rozróżniono również przerzutniki wyzwalane zboczem od tych wyzwalanych sygnałem, badając zarówno ten wyzwalany zboczem dodatnim (D jednozbozowy), jak i zboczem ujemnym (JK). Zbadano możliwości płynące z obecności wejść zerującego oraz ustawiającego w przerzutniku D jednozbozowym.


Pokazano ponadto wiele różnych zastosowań przerzutników JK realizowanych przez układ scalony 7493. Za jego pomocą zbudowano układ redukujący dwukrotnie częstotliwość prostokątnej fali wejściowej, ale również zbudowano liczniki – modulo 16 oraz modulo 10, pokazując, że maksymalna wartość nie musi być potęgą dwójki; możliwe byłoby skonstruowanie również innych liczników, podając w inny sposób sygnał na wejście resetujące.

## 4. Źródła

- [1] <https://esezam.okno.pw.edu.pl/mod/book/view.php?id=38&chapterid=788> (data dostępu: 17.05.2024)
- [2] [https://spe.if.uj.edu.pl/documents/144978191/147822261/T\\_07a.pdf/0e35aa24-8efa-4ad7-9f76-c9665291215d](https://spe.if.uj.edu.pl/documents/144978191/147822261/T_07a.pdf/0e35aa24-8efa-4ad7-9f76-c9665291215d) (data dostępu: 17.05.2024)
- [3] [https://eduinf.waw.pl/inf/alg/002\\_struct/0033.php](https://eduinf.waw.pl/inf/alg/002_struct/0033.php) (data dostępu: 17.05.2024)
- [4] [https://zefir24.if.uj.edu.pl/pracownia\\_el/InfStos\\_cw5.pdf](https://zefir24.if.uj.edu.pl/pracownia_el/InfStos_cw5.pdf) (data dostępu: 17.05.2024)
- [5] [https://zstio-elektronika.pl/pliki\\_t\\_elektronik/TE\\_O2-02-Liczniki\\_asynchroniczne.pdf](https://zstio-elektronika.pl/pliki_t_elektronik/TE_O2-02-Liczniki_asynchroniczne.pdf) (data dostępu: 17.05.2024)
- [6] [https://drive.google.com/file/d/1B5XApFT9\\_smPU2x61zUaTCI04CAMiuBh](https://drive.google.com/file/d/1B5XApFT9_smPU2x61zUaTCI04CAMiuBh)
- [7] <https://www.futurlec.com/74/IC7474.shtml> (data dostępu: 21.05.2024)
- [8] [https://drive.google.com/file/d/1KJqE\\_6ghU1syDbWENoexflcReL9HdtxK](https://drive.google.com/file/d/1KJqE_6ghU1syDbWENoexflcReL9HdtxK)
- [9] <https://www.etechnog.com/2022/02/ic-7473-7474-7475-7476-pinout-diagram.html> (data dostępu: 2.05.2024)
- [10] <https://drive.google.com/file/d/1Ettl89FqCRLhv5a17Lo4eeYO-FKuEfYL>
- [11] <https://drive.google.com/file/d/1z0fjPG1lDpP9DVrzYMIWb2Rpyq2LkEo6>



## 5. Skan notatek



①  $a_1$  - impulsator  
 $a_2$  -  $+5V, 10V$  - wyjście impulsów  
 $1k\Omega$  - rezystor  
 zegar - na CLK w Hz

sprawdzić:  
 - oscyloskopie  
 zegar + output

① zegar z generatora,  $f = 500 \text{ kHz}$

1.1 - przekaźnik zbudowany, c.d. podpięte do  $5V$ , u górnego zegar

1.2 - kiedy d jest podpięte do 0;  $a = 1$  przy CLK=0 nie ma stanu pamiętania, tylko zerowanie sygnału; przy CLK=1 wyjście odpowiada wejściu a, nie ma ugi przekaźnika, niezerujemy na b

~~1.3 - kiedy c=0, d=1, cały czas jest 1, niezależnie od a i b~~

1.4 - kiedy c i d są do 0V, cały czas 1, bez względu na a i b

② D - górny impulsator  
 CLK - dolny impulsator  
 - wyzwalający zboczem

dla CLR=1 RR=1 - git idzie dalej  
 CLR=1, RR=0 - non stop 1  
 CLR=0, PR=0 - non stop 1  
 dla CLR=0, PR=1 - non stop 0

③ D - górny imp  
 CLK - dolny imp  
 - wyzwalający poziomem

④  $Q_A$  - wyjście  
~~A - sygnał~~ A, B - sygnały resety do 0  
 B - sygnał  $\square$

⑤ fala z generatora -  
 5V. z oscyloskopu

⑥ ~~[scribbled out]~~

~~[scribbled out]~~

Rys. S1. Skan zeszytu laboratoryjnego.