1. Omówić budowę i zasady działania bloku DCM *(Digital Clock Menager)* na podstawie IPCore ClockWizard od AMD
2. Omówić różnice w sposobie działania między licznikiem binarnym a dzielnikiem częstotliwości
3. Omówić kodowanie w kodzie ASCII, skupiając się na kodowaniu, zastosowaniu praktycznym
4. Czym jest i do czego stosuje się rejestr przesuwny
5. Porównać technologię procesorów wbudowanych *(softwareowych)* na podstawie:
   1. PicoBlaze – infrastruktura 8bitowa
   2. MicroBlaza – insfrastruktura 32bitowa
   3. NIOS – insfrastruktura 16 bitowa, NIOS II – insfrastruktura 32 bitowa
   4. LEON – infrastruktura 32 bitowa

**Zadanie 1 – omówienie zasady bloku DCM**

DMC inaczej nazwane jako generator wewnętrznych sygnałów zegarowych jest bardzo istotnym elementem struktury płytek FPGA, z racji na odległość i opory półprzewodników używanych w budowie bramek logicznym stanowiących serce całej infrastruktury, mimo traktowania wszystkich podzespołów tym samym zegarem, nie są one taktowane jednocześnie.

Zastosowanie bloków DCM pozwala zniwelować wpływ niedoskonałości infrasruktury płytek FPGA. Pozwalają one głównie na skompensowanie różnicy faz sygnałów zegarowych w fizycznie różnych miejscach na płytce krzemowej. Bloki DCM można zastosować również do syntetyzowania oraz modyfikacji już istniejących sygnałów zegarowych.

W projektach w których zastosowano taktowane wysokimi częstotliwościami zegary, może okazać się koniecznym zastoswanie przesunięcia fazy (phase shifter) który to może być sterowany dynamicznie.

Ważnym elementem budowy bloków DCM jest zastosowanie wyjścia zerującego które w razie konieczności, przywraca ich konfigurację domyślną, wyjścia statusu, oraz wyjście LOCKED które sygnalizuje synchronizację DLL (bloku generującego wielofazowe sygnały taktujące) z sygnałem podawanym na wejście CLKIN

W mało zaawansowanych projektach FPGA, korzystanie z rozbudowanych bloków DCM nie jest konieczne, a jego wykorzystanie można sprowadzić do wykorzystania jako syntezera albo programowalnego dzielnika częstotliwości.

Bloki DCM umieszone są na rogach przestrzeni półprzewodnikowej daltego też projektant może określić które z nich użyje do realizacji programowanych zadań w celu ograniczenia opóźnień wynikających z odległości na płytce krzemowej.

**Zadanie 2 – omówienie działania licznika binarnego i dzielnika częstotliwości**

W skrócie, różnicy nie ma, ale należy to poważnie rozbudować.

Licznik binarny to układ elektroniczny przeznaczony do zliczania impulsów, ma wejście szeregowe na które podaje się impulsy i wyjście równoległe na którym znajduje się słowo reprezentujące liczbę zliczonych impulsów. Liczniki dzielimy na synchroniczne i asynchroniczne, jeżeli stan licznika zmienia stan w momencie otrzymania impulsu, jest to licznik synchroniczny. Jeżeli zmiana stanu licznika wywołana jest z opóźnieniem na przykład spowodowanym opóźnieniem bramek, licznik jest licznikiem asynchronicznym.

Dzielnik częstotliwości to układ redukujący częstotliwość wejściowego sygnału zegarowego przez generowanie sygnały wyjściowego o niższej częstotliwości.

Gdy licznik binarny otrzymuje impulsy zegarowe, każdy impuls zwiększa wartość licznika a jego stan się zmienia o jeden bit,