

Instituto Tecnológico de Costa Rica

Área Académica de Ingeniería en Computadores
(Computer Engineering Academic Area)

**Programa de Licenciatura en Ingeniería en
Computadores**
(Licentiate Degree Program in Computer Engineering)

Curso: CE-5303 Introducción a los Sistemas Embebidos
(Course: CE-5303 Embedded Systems Introduction)



Especificación Proyecto II
(Project II specification)

Profesor:
(Professor)

Ing.Jeferson González Gómez, M.Sc

Fecha de entrega: 19 de Octubre de 2018
(Due Date)

Proyecto 2. Diseño de SoC mínimo para reloj despertador

1. Objetivo

Mediante el desarrollo de este proyecto el estudiante aplicará los conceptos de diseño a nivel de sistema (System Level Design) mediante el modelado de estructura e implementación de un sistema en chip (SoC), que servirá como unidad de procesamiento de un sistema embebido simple tipo reloj despertador con alarma programable.

Al finalizar este proyecto, el estudiante habrá puesto en práctica una metodología moderna de diseño de sistemas embebidos, así como aplicado programación de bajo nivel *Bare Metal*.

Atributos relacionados: Herramientas de Ingeniería (HI), Diseño (DI).

2. Descripción general

Las metodologías de diseño de sistemas embebidos modernos han favorecido el crecimiento acelerado de toda clase de sistemas embebidos inteligentes, basados en microcontroladores especializados y sistemas en chip, en los que el diseño a nivel de sistema ha sido clave en este desarrollo.

Para este proyecto se deberán aplicar los conceptos de las metodologías modernas de diseño e implementación de sistemas a la medida, así como los diferentes tipos de modelado de sistemas, para el desarrollo de un SoC, simple y a la medida, para un reloj despertador con alarma programable.

Dado el grado de especialidad del sistema a diseñar, no se contará con un sistema operativo. Esto hace que se deba recurrir al modelo de programación *Bare Metal*, de más bajo nivel, en el que el programador tiene acceso completo al hardware, utilizando un set limitado de bibliotecas y herramientas de software para el manejo del hardware (Hardware Abstraction Layer - HAL). En algunos casos, sin embargo, el hardware deberá manejarse directamente.

La herramienta de diseño a utilizar será *Qsys* de Altera. El núcleo de procesamiento del SoC será el procesador NIOS II, también de Altera. Para la implementación, se utilizará la plataforma Altera DE-SoC1.

3. Especificación

Para este proyecto se deberá diseñar un sistema en chip a la medida (recursos limitados a la aplicación como tal), para un reloj despertador con alarma programable. Para tal fin, cada grupo deberá desarrollar tanto el diseño del sistema en hardware, así como la programación a bajo nivel y interfaz con el usuario.

A continuación se describe a mayor detalle los componentes del sistema.

Sistema en Chip - Hardware

Desde el punto de vista de hardware, el sistema será diseñado e integrado completamente, mediante la herramienta Qsys, y los módulos de hardware de propiedad intelectual (IP) disponibles. Adicionalmente, cualquier otro diseño propio de hardware puede incluirse. A continuación se describen los requerimientos desde el punto de vista de hardware.

- El sistema debe controlar y mostrar la hora, por medio de display de 7 segmentos.
- El sistema deberá permitir la configuración de la hora actual por medio de los botones de la tarjeta DE-SoC1.
- El sistema deberá permitir la configuración de la alarma con los botones de la tarjeta, así como mostrar la misma en el display 7 segmentos.
- El sistema deberá contar con un módulo temporizador (timer).
- Todo el control del sistema deberá realizarse por medio del CPU NIOS II.
- El sistema deberá contar con una memoria en chip para el programa y los datos. La selección de 1 o 2 memorias deberá ser justificada.
- Todo componente dentro del sistema en chip deberá ser usado eficientemente y no se permitirán componentes que no tengan una funcionalidad justificada.
- La alarma deberá mostrarse de manera diferenciada en el hardware (combinación de leds, por ejemplo).

Programación y software

Para el desarrollo del reloj despertador se deberán cumplir los siguientes requerimientos de software:

- El sistema deberá utilizar la técnica de interrupción, para la generación de la alarma y control del tiempo.
- Para el manejo y programación de dispositivos (excepto la interrupción) se deberá trabajar con punteros directamente, evitando usar los métodos previstos en el HAL.
- El tamaño del código (relacionado con las funciones que use) debe ser el menor posible, para no sobrecargar la memoria a utilizar.
- El mapa de memoria a utilizar deberá ser lo más eficiente posible. Este deberá mostrarse en la documentación.

4. Entregables

Como entregables en este proyecto se evaluará lo siguiente:

- Presentación funcional completa (60 %). Se evaluará según rúbrica correspondiente.
- Paper (máximo 4 páginas) 20 %

- Abstract - 1 %
- Introducción - 4 %
- Sistema desarrollado - 5 %
- Resultados - 4 %
- Conclusiones - 4 %
- Referencias - 2 %
- Documentación de diseño (20 %)
- Documento de diseño de software: Deberá contar con toda la documentación del desarrollo de software en el sistema: descripción de métodos, bibliotecas, API, etc. Incluir requisitos de software del sistema (extraídos de especificación y profesor) y lista de chequeo de cumplimiento de los mismos. (5 %)
- Metodología de diseño de sistema: Deberá detallar la metodología de diseño utilizada en el proyecto que involucre el análisis del problema, investigación respectiva, propuestas de diseño, comparación y evaluación de propuestas. (10 %)
- Herramientas de ingeniería: Deberá detallar el uso de las principales herramientas involucradas en el proyecto, así como todo modelo, ecuación, script, y herramienta en general que el grupo haya creado o modificado para solucionar el problema planteado. (5 %)