

**Progetto di Reti Logiche AA 2019-2020**  
**Proff. Fornaciari, Palermo, Salice**

**REGOLE per lo svolgimento del progetto**  
**(Aggiornamento al 20 Novembre 2019)**

Compito dello studente è quello di descrivere in VHDL e sintetizzare il componente HW che implementa la specifica richiesta, interfacciandosi con una memoria dove sono memorizzati i dati e dove andrà scritto il risultato finale. Allo studente verrà fornito un Test Bench **di esempio** (che include la memoria) per validare il corretto funzionamento del modulo implementato.

- Il progetto può essere svolto in gruppi composti da un massimo di 2 studenti che debbono avere il medesimo docente di riferimento.
- Il progetto è una attività autonoma che non coinvolge in nessun modo il corpo docente a meno di chiarimenti sulla specifica di progetto.
- Nel caso il testo di specifica risulti incompleto, è compito del gruppo di lavoro contattare i docenti motivando accuratamente la ragione della incompletezza.
- Strumento di sintesi da usare è XILINX VIVADO WEBPACK e la FPGA target può essere qualunque. NOTA: Si suggerisce l'uso della FPGA xc7a200tfg484-1
- Il progetto deve funzionare con un periodo di clock di almeno 100 ns;

**Criteri di valutazione**

- Un componente descritto e simulabile correttamente in pre-sintesi viene valutato fino ad un massimo di 24.
- Un componente anche sintetizzabile e correttamente simulabile in post-sintesi può ottenere una valutazione superiore a 24 (fino a 30 per un progetto fatto in coppia, fino a 30L per un progetto svolto da un singolo studente).
- Il voto finale, in entrambi i casi, terrà conto dei test superati dal componente, dal codice VHDL e dalla relazione presentata (incluse le scelte progettuali).
- Lo studente deve allegare al progetto anche la documentazione. Quest'ultima deve includere: 1) specifiche di progetto 2) scelte progettuali 3) risultati dei test fatti e le ragioni di tali test - motivare le scelte - 4) risultati della sintesi. La qualità della relazione concorre alla definizione del voto complessivo.
- ATTENZIONE: **non è possibile rifiutare il voto finale**. Questo è dovuto alla tipologia del progetto che è considerato, da regolamento didattico, una "PROVA FINALE".

**Criteri di Consegna**

- La specifica del progetto resta invariata per tutto l'anno accademico. La consegna del progetto **può essere fatta solo una volta** nell'arco dell'anno accademico con la possibilità di una ed unica risottomissione in caso di insufficienza (si legga la nota successiva).
- **NOTA:** nel caso che la prima consegna risulti insufficiente ( $9 < x < 18$ ) viene consentita, **a parere insindacabile del docente**, una successiva consegna; la valutazione, in questo frangente, non potrà superare in nessun caso 21/30. Non sono previste eccezioni e/o compensazioni. **Ai progetti la cui valutazione è inferiore ai 10/30 non verrà offerta la possibilità di riconsegna.**

- **ATTENZIONE:** in caso di bocciatura (valutazione che si ottiene in due casi: progetti la cui valutazione è inizialmente inferiore ai 10/30, progetti risultati insufficiente dopo la seconda consegna) il candidato verrà rimandato all'anno accademico successivo.
- **ATTENZIONE:** Nel caso il candidato non riesca a superare positivamente la valutazione del progetto entro l'ultima consegna, dovrà sostenere la "PROVA FINALE" con il progetto dell'anno accademico successivo.

### **Modalità di consegna:**

Le date previste per le tre sessioni sono:

- I consegna entro 1 Febbraio 2020, Per potersi laureare a Marzo
- II consegna entro 1 Aprile 2020,
- III consegna entro 15 Maggio 2020,
- IV consegna entro 15 Giugno 2020, Per potersi laureare a Luglio
- V consegna entro 15 Luglio 2020,
- VI consegna entro 1 Settembre 2020, Per potersi laureare a Settembre/Ottobre
- VII consegna 15 Settembre 2020

Per la consegna dei progetti verrà predisposta una cartella su BeeP per ogni sessione d'esame. All'interno di questa cartella ogni studente o gruppo di studenti **dovrà caricare esattamente due file:**

- un solo file con il codice VHDL - Il file caricato dovrà essere nominato codicePersona.vhd (esempio 10499233.vhd). **IMPORTANTE:** gli studenti che lavorano in gruppo dovranno caricare un file solo, usando il codice persona di entrambi i due studenti (codicePersona1\_codicePersona2.vhd). La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.
- un solo file PDF con la documentazione - In questo caso il nome del file caricato dovrà essere codicePersona.pdf, o codicePersona1\_codicePersona2.pdf con lo stesso ordine usato per il file VHDL di cui sopra.
- **IMPORTANTE:** gli studenti che hanno lavorato in gruppo dovranno assicurarsi di specificare in modo chiaro la composizione del gruppo (max 2 persone) nella documentazione oltre che nel nome di file. La mancata specifica della composizione del gruppo farà riconoscere il voto solo allo studente il cui codice persona corrisponde a quello dei file caricati.
- La cartella di consegna verrà chiusa automaticamente dal sistema allo scadere della data prevista. Il progetto verrà considerato consegnato se alla scadenza saranno presenti i due file descritti sopra, con le caratteristiche specificate. La correzione del progetto non è immediata e richiede la verifica tramite diversi test prima della sua valutazione definitiva.
- **IMPORTANTE:** qualora i file caricati non rispettassero tali caratteristiche, il progetto verrà considerato non consegnato.
- **Si utilizzerà un software di analisi per identificare eventuali copie del codice dei progetti che include anche le altre due sezioni ed ogni consegna fatta nelle sessioni precedenti.**

### **Schema della Relazione**

Qui di seguito vengono riportate delle indicazioni sui punti fondamentali che devono essere trattati all'interno della relazione. Si presti attenzione al fatto che la relazione deve essere

sintetica, completa e chiara; lo scopo è quello di permettere di comprendere come il progetto è stato svolto.

Una nota: immaginate sia il report per un progetto di lavoro, una attività per un vostro cliente e chiedetevi “cosa gli serve per capire cosa ho fatto? Cosa serve dire per chiarire che ho rispettato la specifica? Cosa serve dichiarare per spiegare che il progetto fa quello che deve?”  
...

1. Introduzione: L'obiettivo non è la "copia" della specifica ma una elaborazione, con un piccolo esempio e, se è possibile, un disegno che spieghi cosa succede;
2. Architettura: L'obiettivo è quello di riportare un schema funzionale (lo schema in moduli... un bel disegno chiaro... i segnali i bus, il/i clock, reset... );
  - a. Modulo 1 (la descrizione – sotto paragrafo - di ogni modulo e la scelta implementativa - per esempio, il modulo ... è una collezione di process che implementano la macchina a stati e la parte di registri, .... La macchina a stati, il cui schema in termini di diagramma degli stati, ha 8 stati. Il primo rappresenta .... e svolge le operazioni di ... il secondo... ecc ecc)
  - b. Modulo 2
  - c. ...
3. Risultati sperimentali:
  - a. sintesi (Report di sintesi. Si riportino solo le informazioni utili e significative. Il “copia e incolla di tutto” non è né utile né chiaro né significativo)
4. simulazioni
  - a. test bench 1 (cosa fa e perchè lo fa e cosa verifica; per esempio, controlla una condizione limite)
  - b. test bench 2 (...)
5. conclusioni (mezza pagina max)