

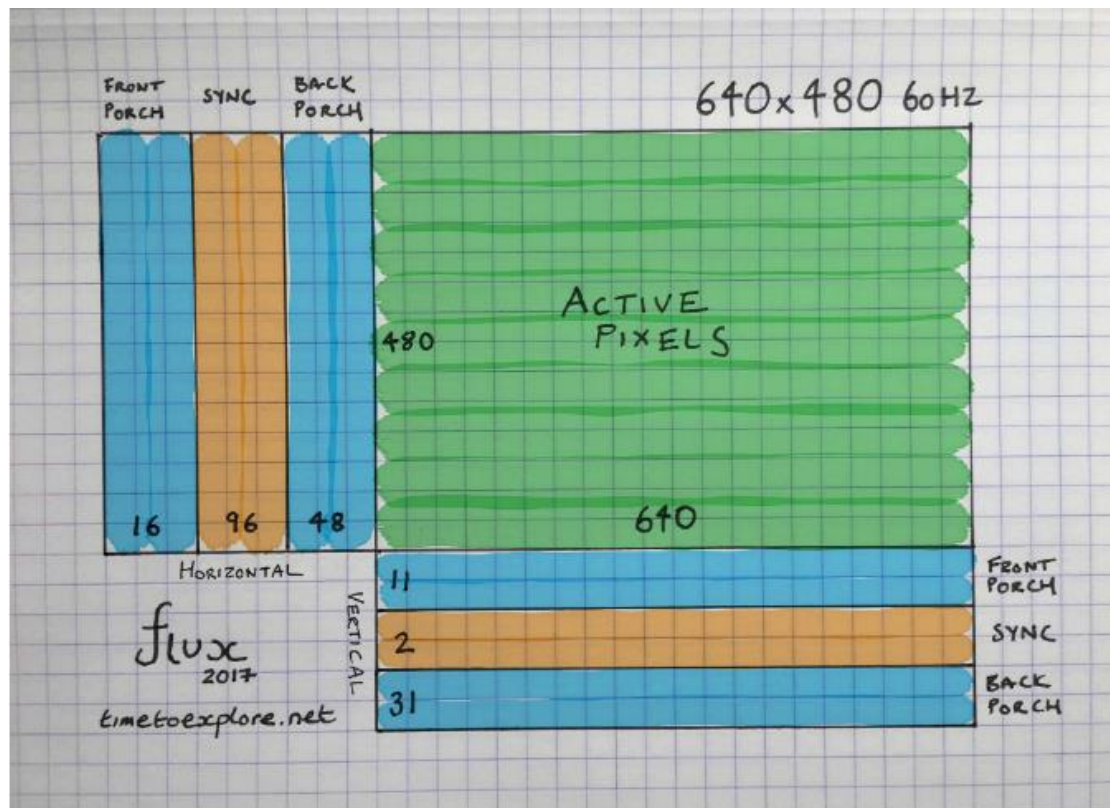
ZedBoard Training Lab4 – VGA IP On Board Design

A、使用軟體：Vivado 2017.2

B、練習內容：設計一個解析度為 640*480 的 VGA 規格輸出到螢幕上。並可以透過板子上的開關、按鈕等改變顯示的圖像。

C、VGA 規格：VGA 的輸出主要可以分成五項，Red 通道、Green 通道、Blue 通道、水平同步訊號(Horizontal Synchronization)以及垂直同步訊號(Vertical Synchronization)。

1、輸出方式：以水平同步訊號與垂直同步訊號做為畫面顯示的依據，利用兩個同步訊號以及 VGA 規定的時序，只要在正確的時序上給定要輸出的像素值，便可以在預期的位置上顯示我們要的像素值。



2、水平同步與垂直同步對應像素輸出時序圖。

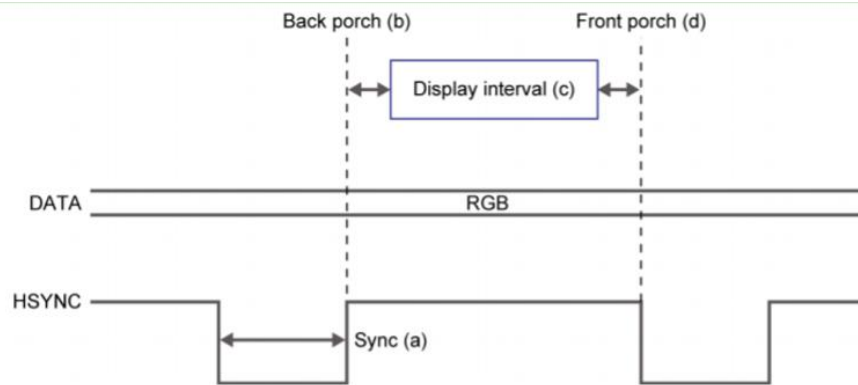


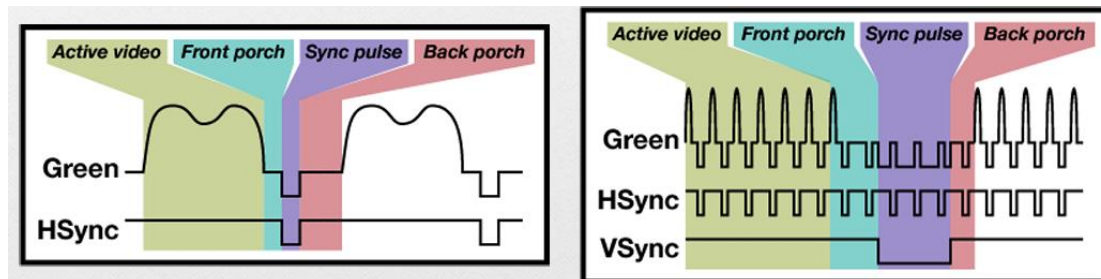
Figure 3-14 VGA horizontal timing specification

Table 3-8 VGA Horizontal Timing Specification

VGA mode		Horizontal Timing Spec				
Configuration	Resolution(HxV)	a(pixel clock cycle)	b(pixel clock cycle)	c(pixel clock cycle)	d(pixel clock cycle)	Pixel clock(MHz)
VGA(60Hz)	640x480	96	48	640	16	25

Table 3-9 VGA Vertical Timing Specification

VGA mode		Vertical Timing Spec				
Configuration	Resolution(HxV)	a(lines)	b(lines)	c(lines)	d(lines)	Pixel clock(MHz)
VGA(60Hz)	640x480	2	33	480	10	25



3、VGA Signal 640 x 480 @ 60 Hz Industry standard timing：

General timing

Screen refresh rate	60 Hz
Vertical refresh	31.46875 kHz
Pixel freq.	25.175 MHz

Horizontal timing (line)

Polarity of horizontal sync pulse is negative.

Scanline part	Pixels	Time [μs]
Visible area	640	25.422045680238
Front porch	16	0.63555114200596
Sync pulse	96	3.8133068520357
Back porch	48	1.9066534260179
Whole line	800	31.777557100298

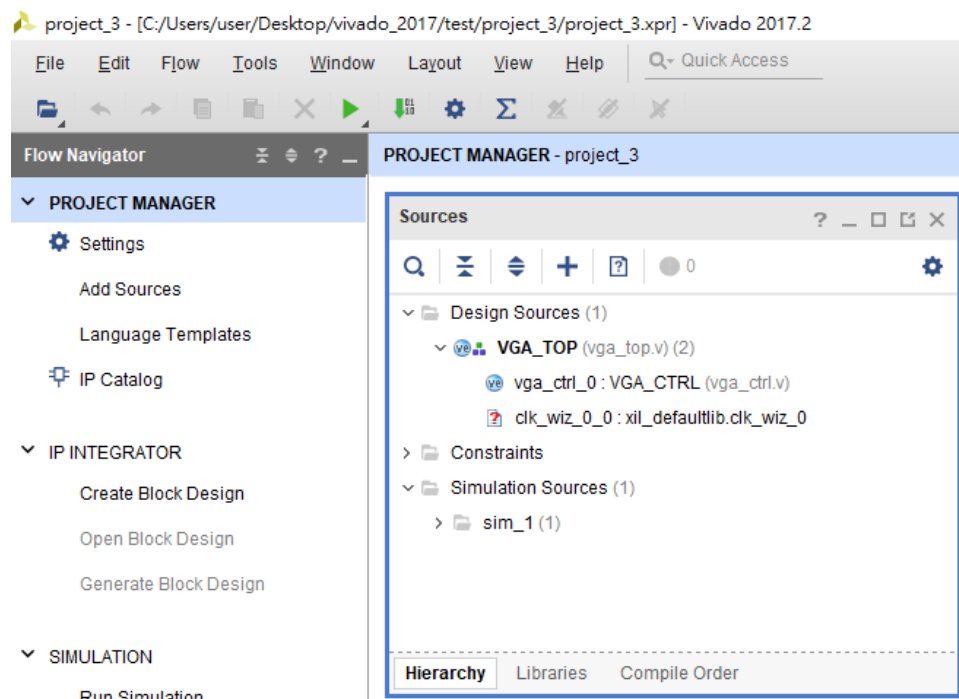
Vertical timing (frame)

Polarity of vertical sync pulse is negative.

Frame part	Lines	Time [ms]
Visible area	480	15.253227408143
Front porch	10	0.31777557100298
Sync pulse	2	0.063555114200596
Back porch	33	1.0486593843098
Whole frame	525	16.683217477656

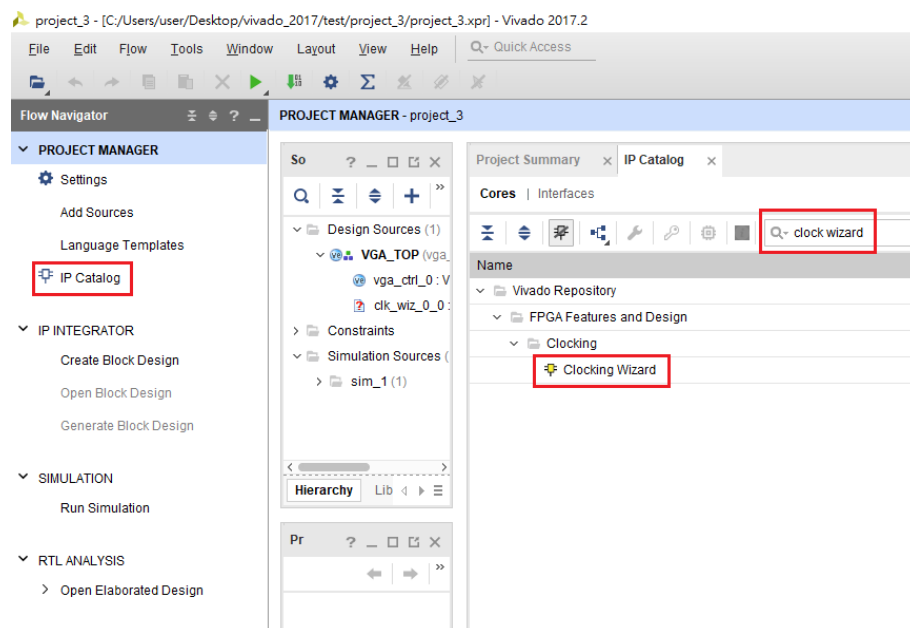
D、Vivado 軟體開發教學：

1、開啟 Vivado，將 Lab4 資料夾內的 vga_ctrl.v 以及 vga_top.v 以 Add Sources 的方式加入到 Design Sources 內。

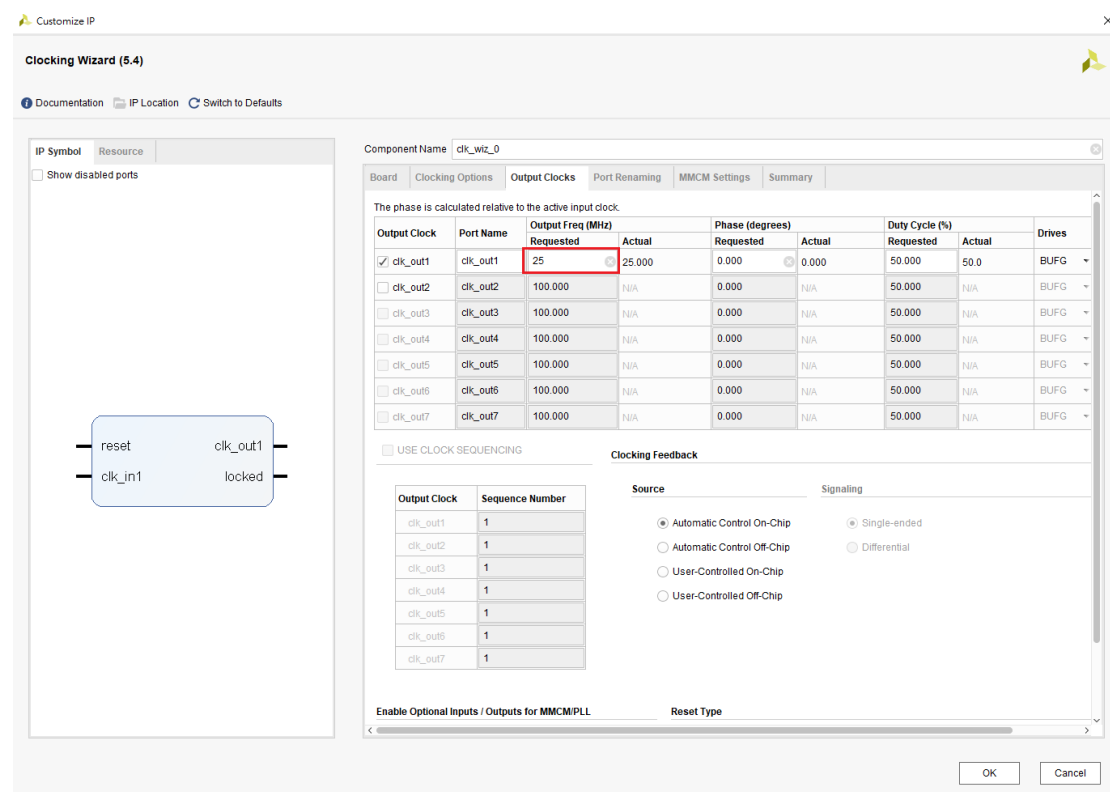


2、加入完成後會看到缺少 clk_wiz 的 module，為什麼會需要這個 module 呢，原因是 VGA 640 x 480 @ 60 Hz 的 clock 速度為 25MHz，而板子上的 clock 預設為 100MHz，因此使用 clk_wiz 來做除頻，將 100MHz 的輸入降低為 25MHz，

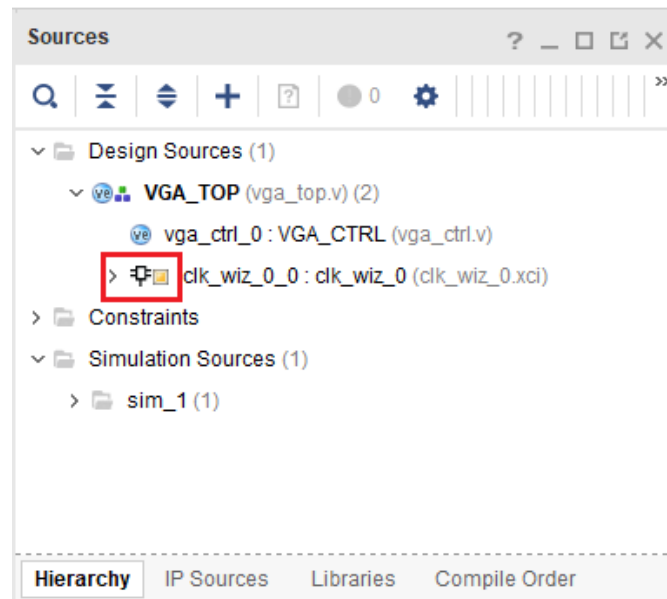
當然使用前面教過的 Timing Constraints 來直接設定 clock 速度也是可以的。
點開左側的 IP Catalog，在搜尋列打上 clock wizard，之後雙擊下方 Clocking Wizard IP。



點開後會出現如下的畫面，點開 Output Clocks 的分頁，將 clk_out1 的頻率改為 25MHz，之後按下 OK。然後會跑出 Generate Output Products 的視窗，直接點 Generate 即可。



3、此時再去查看 Design Sources 時可以看到原本還是?的 clk_wiz 已經成功加入我們的 TOP Design 中，這代表 Vivado IP 除了透過 Block Design 拉進去設計中之外，其實也可以在撰寫 verilog 時就將其引入。

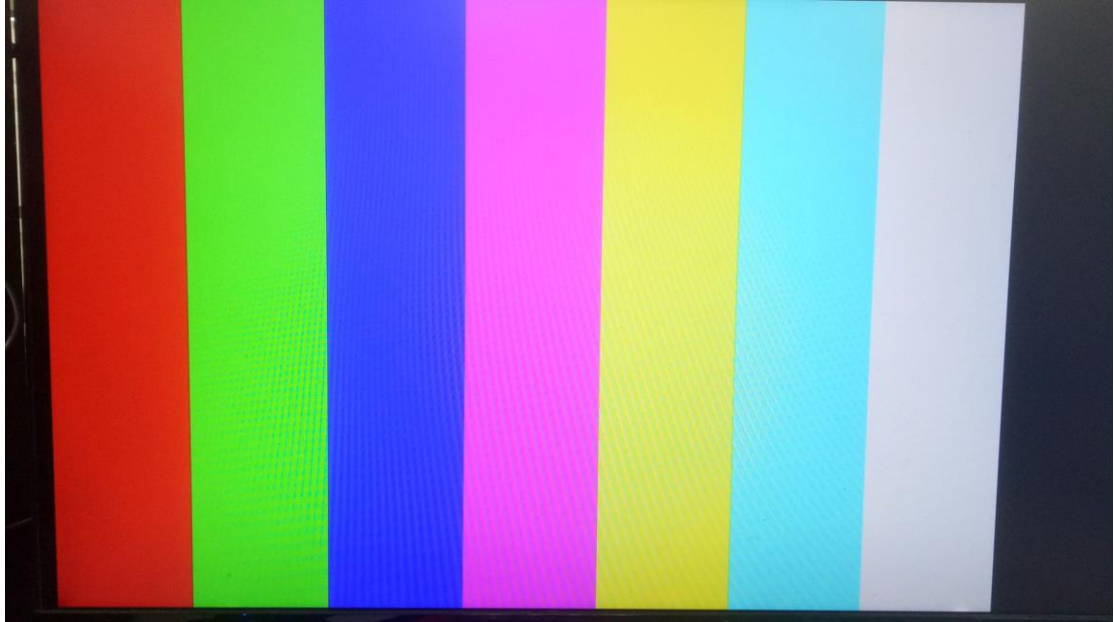


4、Run Synthesis，完成後 Open Synthesized Design，開啟 IO/Planning 將 VGA Verilog code 上的輸出訊號對應到板子上的 VGA 接腳。注意 RGB 的 Zynq Pin 的 Bit 大小是由低至高，例如 V20 對應到的就是 RED[0]的訊號，U20 對應到 RED[1]…。

Table 8 - VGA Connections

VGA Pin	Signal	Description	Zynq Pin
1	RED	Red video	V20, U20, V19, V18
2	GREEN	Green video	AB22, AA22, AB21, AA21
3	BLUE	Blue video	Y21, Y20, AB20, AB19
4	ID2/RES	formerly Monitor ID bit 2	NC
5	GND	Ground (HSync)	NC
6	RED RTN	Red return	NC
7	GREEN RTN	Green return	NC
8	BLUE RTN	Blue return	NC
9	KEY/PWR	formerly key	NC
10	GND	Ground (VSync)	NC
11	ID0/RES	formerly Monitor ID bit 0	NC
12	ID1/SDA	formerly Monitor ID bit 1	NC
13	HSync	Horizontal sync	AA19
14	VSync	Vertical sync	Y19
15	ID3/SCL	formerly Monitor ID bit 3	NC

5、都設定完成後，點擊 Generate Bitstream 產生 .bit 檔，之後 Open Hardware Manager 選擇 Open Target 後 Program Device 將 VGA 硬體燒入到板子上，成功結果會如下顯示。



E、練習題

設計一個可透過 switch 切換畫面的 VGA IP。

1、輸出/輸入介面：

信號名稱	輸出/入	位元寬度	說明
clk	input	1	時脈信號，VGA640 x 480 @ 60 Hz 為 25MHz
reset_n	input	1	系統重置信號
cmd	input	3	指令輸入信號，控制要顯示畫面
vga_r	output	3	VGA 輸出之 Red 通道
vga_g	output	3	VGA 輸出之 Green 通道
vga_b	output	3	VGA 輸出之 Blue 通道
led	output	3	顯示目前 cmd 值為多少

2、控制指令定義：

cmd 編號	控制指令說明
0	畫面全白
1	畫面全紅
2	畫面全綠
3	畫面全藍
4	畫面分割為 4 行，依序為紅藍綠白
5	畫面分割為 4 列，依序為紅藍綠白
6	畫面分割為 4*4，黑白相間的棋盤

當 cmd 為 6，畫面顯示如下：

