

FPGA を用いた画像再構成システム構築に向けた試作

小向康夫・吉田久展

慶應義塾大学理工学部実験教育支援センター

komuzo@adst.keio.ac.jp

hisanobu.yoshida@adst.keio.ac.jp

1.はじめに

慶應義塾大学理工学部電子工学科では、『映像化システム』というテーマで CT(Computed Tomography) 技術の基礎を学習する実験をおこなっている。実験システムは自動ステージ、デジタルマルチメータ、半導体レーザ、PC 等で構成されているが、新たに画像再構成のデータ処理高速化を目的として FPGA (Field-Programmable gate array)を用いたシステムを検討し、その実現のため基礎研修をおこなった。本報告では FPGA 評価用ボードに関する研修内容について報告する。

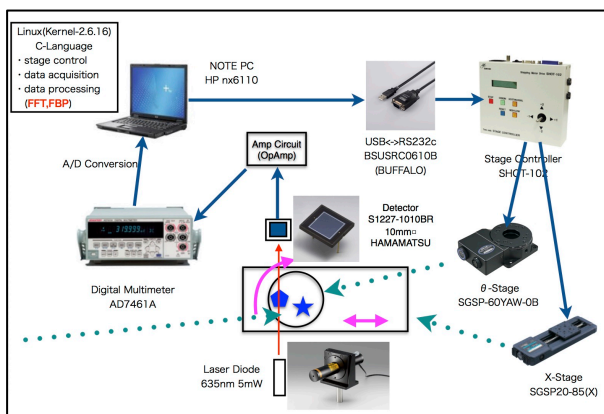


図1 『映像化システム』実験装置構成

2.FPGA を用いた CT システム

図1に現在の CT システムの構成を示す。PC (OS: Linux)を中心とした構成となっており、以下のような動作で測定及び評価を行っている。

- 2つの自動ステージ(X、 θ)を組み合わせにより、被測定物の移動及び回転をおこなう。
- 被測定物は波長 635nm のレーザで照射される。レーザ光はビームエキスパンダーで高さ方向全体を照射できるように広げてあり、照射光量の調整ができるようスリットが設置されている。(この調整により

形状を再現率や高さ方向の情報量に関する調整が可能となる)

- 移動及び回転毎にフォトディテクタ (S1227: 浜松ホトニクス製) により非透過光 (Band Pass Filter により波長を選択) の光量を測定し、そのデータをデジタルマルチメータ (AD7461A: アドバンテスト社製) で読み取り、PC に記録する。
- 記録したデータを Matrix 化して集積し、画像再構成のプログラムで、投影データ及び CT 像を作成する。

現行のシステムでは、PC を軸として制御・測定・評価がおこなわれている。PC と測定機器との接続にはドライバソフトが必要であり、機器の更新や OS の変更はシステム全体の整合性を考えると容易ではない状況にある。そこで、データ取得及び画像再構成の部分を FPGA をもちいたシステムに変更し、データ処理の高速化及びシステム変更の自由度の向上を実現する装置構成への変更を試みた。

3.システム構築のための研修

FPGA は Xilinx 社や Lattice 社、Atmel 社等から発売されているが、今回は Altera 社の FPGA を選択した。これは、FPGA 内に CPU を形成することや、さらに高度な処理をおこなうために OS を搭載することも可能で、技術情報量が多いことが選択の決め手となった。



図2 FPGA 評価用ボード DE1 (Terasic 社製)

研修の手始めとして、Terasic 社の評価用ボード DE1 (図2)を使用してハードウェア記述言語 Verilog による FPGA プログラミングを学習した。学習にはテキストとして技術評論社から出版されている『FPGA ボードで学ぶ組み込みシステム開発入門[Altera 編]』を使用し、プログラミング、シミュレーション、FPGA への書き込みには Altera 社が提供するソフトウェア『Qurtus II Web Edition ver 11.0sp1』を使用した(図3)。使用するソフトウェアのバージョンは、DE1 と後述する AD コンバータ付き評価用ボードで使用されている FPGA がそれぞれ、cyclone II と cyclone I であるため、どちらにも対応可能なものを選択している。DE1 を使用した研修では、簡単な制御から NIOS II による CPU 内蔵についての学習をおこなった。

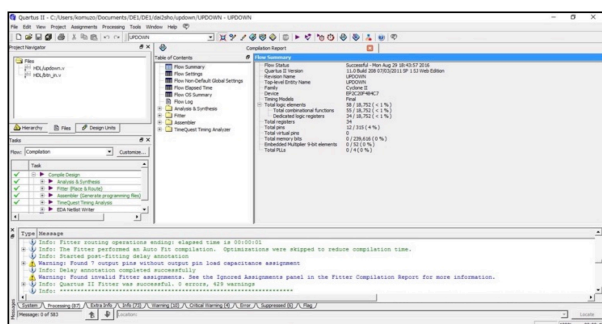


図3 FPGA 制御用ソフトウェア

次に、Analog Devices 社の AD コンバータ評価用ボード (EVAL-CED1Z+EVAL-AD7767-2EDZ)を使用したデータ取得を試みた(図4)。この評価用ボードはアナログデータを高ダイナミックレンジ(109db)、高分解能(24bit)で AD 変換可能で、かつ FPGA で制御可能な構成となっている。測定では、FPGA 上に CPU を形成し、C 言語による制御プログラムを動作させ、アナログデータを取得し、csv ファイルとして保存することを確認した。

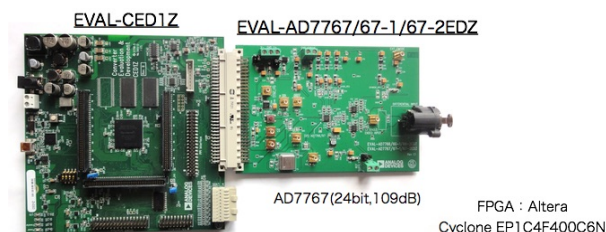


図4 AD 変換ボード+評価用ボード

最後に FPGA へ FFT の実装を試みたが、こちらについては、単独動作の確認にとどまり、他の機能との

連携について検証が十分におこなえていない状況となっている。

4. 今後に向けて

今回は CT 技術に関する実験のデータ取得とその処理の部分について FPGA を利用したシステムへの変更を検討したが、FPGA にはシリアル通信の制御機能も付加できることから、自動ステージの制御も含めたシステムの構築が可能であると考えられる。今後は図5に示すようなシステムの構築に向けて進めていきたいと考えている。

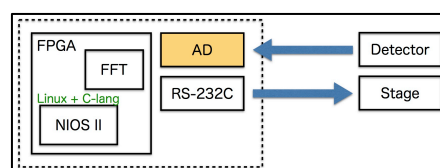


図5 新たな CT システム

5. まとめ

CT 像取得システムのデータ処理の高速化を目的として FPGA を用いた新たなシステムを検討し、その準備として、評価用ボードを使用した基礎学習をおこなった。Terasic 社の FPGA 評価用ボードではハードウェア記述言語である Verilog を使用した制御を学習し、Analog Devices 社の AD コンバータ付き評価用ボードではデータ取得に関する制御を学習した。また FPGA 上に FFT モジュールを構築し、画像再構成を高速に処理するための準備をおこなった。今後も継続してシステム構築を行っていく予定である。

6. 謝辞

本研修は技術系職員研修委員会から補助を頂きおこなうことができました。厚く御礼申し上げます。