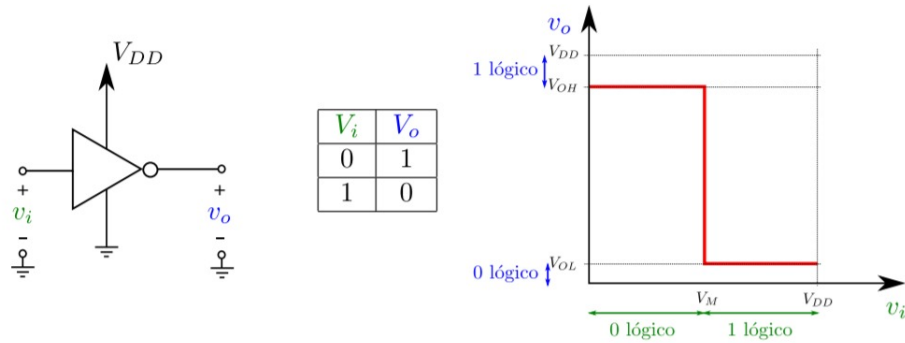


TEMA 5: ELECTRÓNICA DIGITAL

1 Inversor lógico ideal

Se representa por este símbolo:



- V_{IH} es el valor mínimo de tensión de entrada asociado a un 1 lógico \Rightarrow Si $v_i \in [V_{IH}, V_{DD}]$, la entrada se considera un 1 lógico. En el inversor ideal, $V_{IH} = V_M$.
- V_{IL} es el valor máximo de tensión de entrada asociado a un 0 lógico \Rightarrow Si $v_i \in [0, V_{IL}]$ la entrada se considera un 0 lógico. En el inversor ideal $V_{IL} = V_M$.
- V_{OH} es el valor mínimo de tensión de salida asociado a un 1 lógico \Rightarrow Si $v_o \in [V_{OH}, V_{DD}]$, la salida se considera un 1 lógico.
- V_{OL} es el valor máximo de tensión de salida asociado a un 0 lógico \Rightarrow Si $v_o \in [0, V_{OL}]$ la salida se considera un 0 lógico.

Ruido

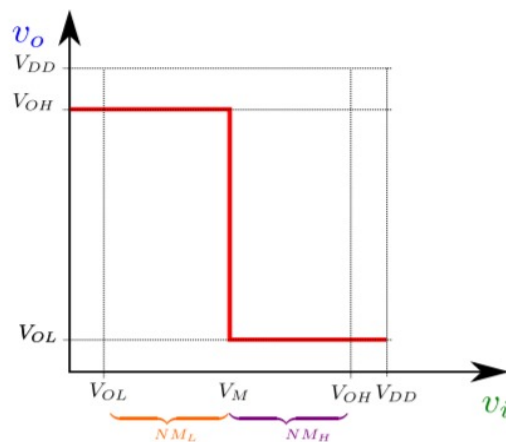
Para cuantificar la inmunidad al ruido de un circuito lógico se usan los márgenes de ruido. En el caso del inversor ideal, se definen de la siguiente manera:

- Margen de ruido en estado bajo:

$$NM_L = V_M - V_{OL}$$

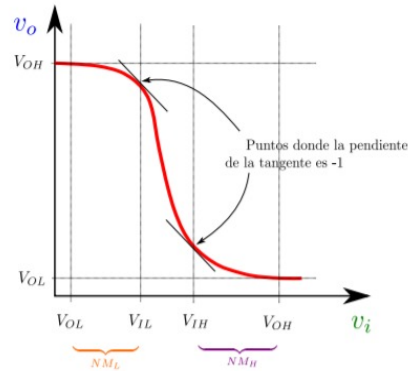
- Margen de ruido en estado alto:

$$NM_H = V_{OH} - V_M$$



2 Inversor lógico real

- V_{IL} es el primer valor de entrada para el que la tangente a la característica de transferencia tiene pendiente -1 . Derivada segunda negativa.
- V_{IH} es el segundo valor de entrada para el que la tangente a la característica de transferencia tiene pendiente -1 . Derivada segunda positiva.



Ruido

- Margen de ruido en estado bajo: $NM_L = V_{IL} - V_{OL}$
- Margen de ruido en estado alto: $NM_H = V_{OH} - V_{IH}$

Características dinámicas

- El **tiempo de bajada o fall time** (t_f) es el tiempo necesario para que la amplitud de un pulso disminuya desde el 90% hasta el 10% de su valor.
- El **tiempo de subida o rise time** (t_r) es el tiempo necesario para que la amplitud de un pulso crezca desde el 10% hasta el 90% de su valor.
- El **tiempo de propagación de estado alto a estado bajo** (t_{PHL}) es el tiempo transcurrido entre la transición de estado bajo a alto en la entrada y el momento en el que la salida disminuye hasta el 50% del valor de su amplitud.
- El **tiempo de propagación de estado bajo a estado alto** (t_{PLH}) es el tiempo transcurrido entre la transición de estado alto a bajo en la entrada y el momento en el que la salida aumenta hasta el 50% del valor de su amplitud.
- El **tiempo de propagación o retardo** (t_p) tiene en cuenta el retraso en los cambios de la salida respecto a los cambios de la entrada. Se usa para comparar la velocidad entre circuitos lógicos \implies cuanto menor sea su valor, más rápida es la puerta y a mayor frecuencia podrá operar.

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

Potencia consumida por una puerta

- **Potencia estática:** es la que se consume cuando no hay actividad en el circuito, esto es, la salida tiene un valor dado, no hay transición entre estados. Su valor depende de la corriente que circula por el circuito y del potencial suministrado por la fuente de alimentación.
- **Potencia dinámica:** es la que se consume cuando el circuito lógico está realizando una operación. Su valor depende de la frecuencia a la que se trabaje, de las características capacitivas del circuito y de su alimentación.

- Minimización de la disipación de potencia:
 - Ventajas de tipo funcional: fuentes menos costosas, mayor autonomía, menor coste en refrigeración.
 - Cuanto más reducido sea el consumo por puerta, más puertas se podrán integrar en un mismo circuito manteniendo constante la capacidad de disipación de calor del mismo \implies Menor área de Silicio por puerta lógica.
- Producto retardo-potencia:
 - Cuando uno de ellos aumenta el otro disminuye.
 - Parámetro que resume las características más relevantes de una determinada tecnología.
 - Interesan valores tan pequeños como sea posible.

Debido a la energía máxima que una puerta lógica puede absorber o consumir se impone un límite al número máximo de entradas o salidas que puede tener.

Fan-in

- El Fan-in es el número máximo de puertas que se pueden conectar a la entrada sin estropear el funcionamiento de la puerta.
- Si se excede este valor la puerta lógica producirá una salida en un estado indeterminado o incorrecto.

Fan-out

- El Fan-out es el número máximo de puertas que se pueden conectar a la salida de la puerta.
- El Fan-out depende de la cantidad de corriente que una puerta es capaz de suministrar o consumir al estar conectada a otras puertas.
- Un Fan-out mayor que el recomendado puede producir aumento de la temperatura del dispositivo, aumento de los tiempos de subida y bajada, aumento del retardo, etc...

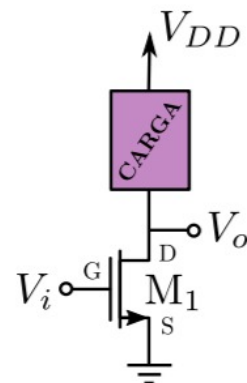
3 Inversor NMOS

Se cumple siempre que:

- $V_i = V_{GS}$
- $V_o = V_{DS}$

La carga puede ser:

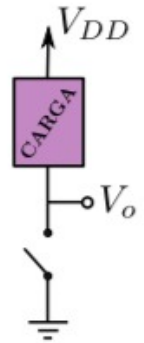
- Una resistencia.
- Un NMOS con la puerta y el drenador cortocircuitados.
- Un PMOS \implies lógica CMOS.



El inversor NMOS como interruptor

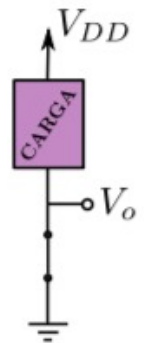
Análisis Abierto

- Si $V_i = 0$ lógico $\Rightarrow V_{GS} < V_T \Rightarrow I_D \simeq 0$
- $V_o = 1$ lógico
- **Interruptor Abierto**



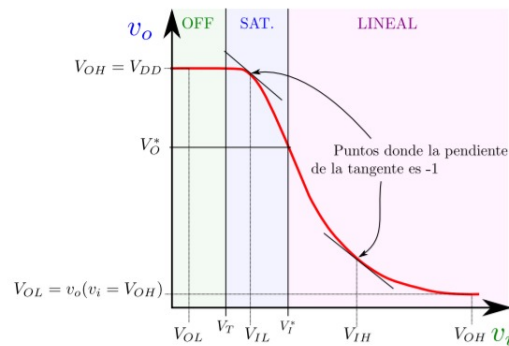
Análisis Cerrado

- Si $V_i = 1$ lógico $\Rightarrow V_{GS} > V_T \Rightarrow I_D \neq 0$
- $V_o = 0$ lógico
- Dos posibilidades: $V_{DS} < V_{GS} - V_T$ (Lineal)
o $V_{DS} > V_{GS} - V_T$ (Saturación)
- **Interruptor Cerrado**

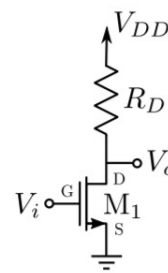


3.1 El inversor NMOS con resistencia como carga

Característica de Transferencia



Circuito



- Si $V_i = V_{GS} < V_T \Rightarrow \text{NMOS OFF} \Rightarrow I_D = \frac{V_{DD} - V_o}{R_D} = 0 \Rightarrow V_o = V_{DD} = V_{OH}$.
- Si $V_i = V_{GS} > V_T$ hay dos posibilidades:
 - **NMOS Saturación:** al principio, $V_i = V_{GS} > V_T$ (solo un poco) $\Rightarrow \text{NMOS ON} \Rightarrow V_o = V_{DS} > V_{GS} - V_T = V_i - V_T \Rightarrow \text{NMOS en Saturación}$.

$$I_D = \frac{k}{2}(V_{GS} - V_T)^2 = \frac{V_{DD} - V_o}{R_D} \Rightarrow \text{despejar } V_o$$

- **NMOS Lineal:** sigue aumentando $V_i \implies V_o$ disminuye hasta que $V_o = V_{DS} = V_{GS} - V_T = V_i - V_T \implies$ el transistor pasa a la región lineal donde $V_o = V_{DS} < v_{GS} - V_T = V_i - V_T$.

$$I_D = \frac{k}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] = \frac{V_{DD} - V_o}{R_D} \implies \text{despejar } V_o$$

Puntos de interés:

- Paso de saturación a lineal. Ocurre cuando $V_{DS} = V_o = V_{GS} - V_T = V_i - V_T$. Llamo a V_o en el que se produce la transición V_o^* y a V_i en el que se produce la transición V_i^*

$$V_o^* = V_{DD} - R_D I_D = V_{DD} - \frac{k R_D}{2} (V_i^* - V_T)^2$$

$$V_o^* = V_i^* - V_T$$

$$V_o^* = \frac{-1 + \sqrt{1 + 2k R_D V_{DD}}}{k R_D}$$

- En la región lineal, calculo V_{OL} como V_o en el que $V_i = V_{OH} = V_{DD}$
 - Podemos elegir el valor de V_{OL} seleccionando adecuadamente el valor de R_D .

Características

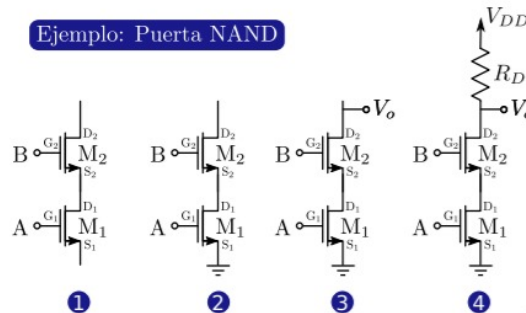
- V_{OH} es el máximo posible \implies buen margen de ruido en estado alto.
- Eligiendo R_D grande puede conseguirse V_{OL} muy pequeño \implies buen margen de ruido en estado bajo.
- Con R_D grandes: se tienen potencias disipadas pequeñas pero causa problemas de integración.

3.1.1 Construir una puerta lógica

Pasos:

Escribimos $\overline{V_o}$ y lo simplificamos.

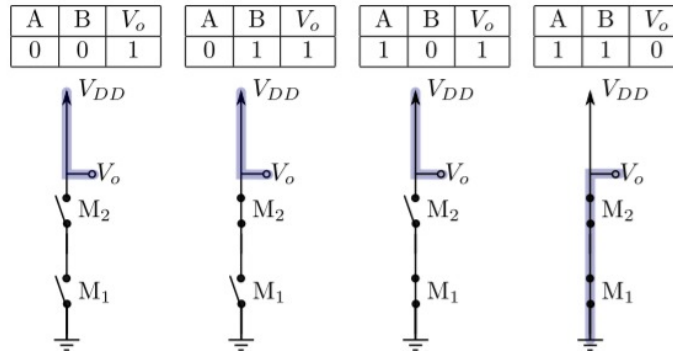
1. Creamos la red NMOS teniendo en cuenta que:
 - Las variables que se multipliquen alimentan transistores en paralelo.
 - Las variables que se sumen alimentan transistores en paralelo.
2. Colocamos la referencia del circuito en la fuente del transistor que se encuentra más abajo en la red.
3. Colocamos la salida en el drenador del transistor que esté más arriba en la red.
4. Conectamos la carga y la alimentación a la salida.



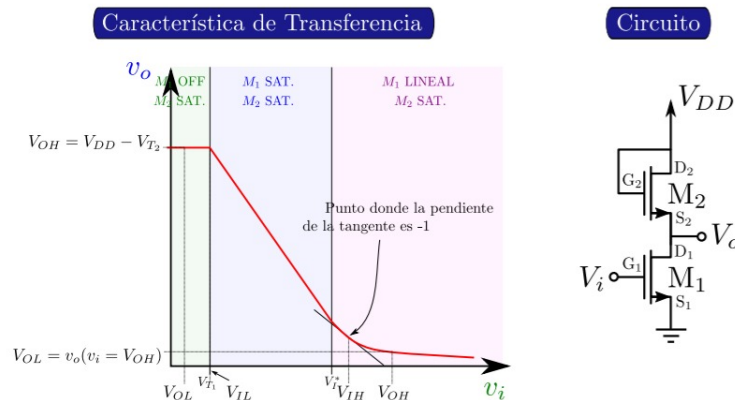
3.1.2 Comprobar funcionamiento de una puerta lógica

- Dada una combinación de entradas, tratamos los transistores como interruptores cuyo funcionamiento basamos en el análisis presentado antes.
- Para los transistores NMOS:
 - Si la entrada es un 1 lógico el interruptor está cerrado. NMOS en Lineal.
 - Si la entrada es un 0 lógico el interruptor está abierto. NMOS en Corte.
- La resistencia de carga siempre se comporta como un interruptor cerrado, deja pasar la corriente.
- Si hay un camino desde la salida hasta tierra, el valor de la salida es un 0 lógico.
- Si no hay camino desde la salida hasta la tierra pero hay un camino que la conecta con la alimentación, el valor de la salida es un 1 lógico.
- Si no hay conexión de la salida ni con la referencia ni con la alimentación, se produce una indeterminación en la salida.

Ejemplo: Puerta NAND



3.2 El inversor NMOS con transistor NMOS como carga



Ecuaciones generales

- $V_{DD} = V_{DS1} + V_{DS2}$
- Transistores en serie $\implies I_{D1} = I_{D2}$

Transistor M_1

- Funciona como inversor
- $V_{DS_1} = V_o \implies V_{DS_2} = V_{DD} - V_o$
- $V_{GS_1} = V_i$

Transistor M_2

- Actúa como carga
- $V_{GS_2} = V_{DS_2} \implies V_{DS_2} > V_{GS_2} - V_{T_2}$
- Si M_2 conduce, siempre lo hace en saturación:

$$I_{D_2} = \frac{k_2}{2}(V_{GS_2} - V_{T_2})^2 = \frac{k_2}{2}(V_{DD} - V_o - V_{T_2})^2$$

Análisis del circuito

- Si $V_i < V_{T_1} \implies M_1 \text{ OFF} \implies I_{D_1} = I_{D_2} = 0 \implies I_{D_2} = \frac{k_2}{2}(V_{DD} - V_o - V_{T_2})^2 = 0 \implies V_o = V_{DD} - V_{T_2} = V_{OH}$
- Si $V_i > V_{T_1}$ (solo un poco mayor) $\implies M_1 \text{ ON (en saturación):}$

$$I_{D_1} = \frac{k_1}{2}(V_i - V_{T_1})^2$$

$$I_{D_1} = I_{D_2}$$

$$\frac{k_1}{2}(V_i - V_{T_1})^2 = \frac{k_2}{2}(V_{DD} - V_o - V_{T_2})^2$$

- Si sigo aumentando $V_i \implies V_o$ disminuye $\implies M_1$ pasa a lineal:

$$I_{D_1} = \frac{k_1}{2}[2(V_i - V_{T_1})V_o - V_o^2]$$

$$I_{D_1} = I_{D_2}$$

$$\frac{k_1}{2}[2(V_i - V_{T_1})V_o - V_o^2] = \frac{k_2}{2}(V_{DD} - V_o - V_{T_2})^2$$

Características

- Ventaja: ocupa menos espacio.
- Desventaja: V_{OH} es menor.

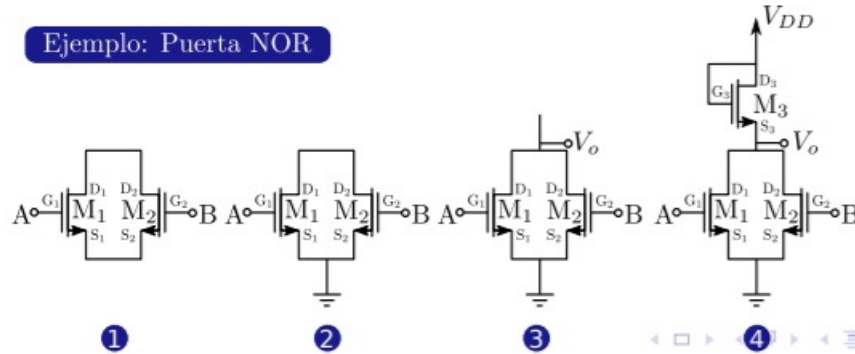
3.2.1 Construir una puerta lógica

Pasos:

Escribimos $\overline{V_o}$ y lo simplificamos

1. Creamos la red NMOS teniendo en cuenta que:
 - La base es un inversor \implies la función a la salida está invertida.
 - Se necesita un transistor NMOS por cada variable.
 - Las variables se multiplican \implies transistores en serie.
 - Las variables se suman \implies transistores en paralelo.
2. Colocamos la referencia del circuito en la fuente del transistor que se encuentre más abajo en la red.
3. Colocamos la salida en el drenador del transistor que esté más arriba en la red.
4. Conectamos la carga y la alimentación a la salida.

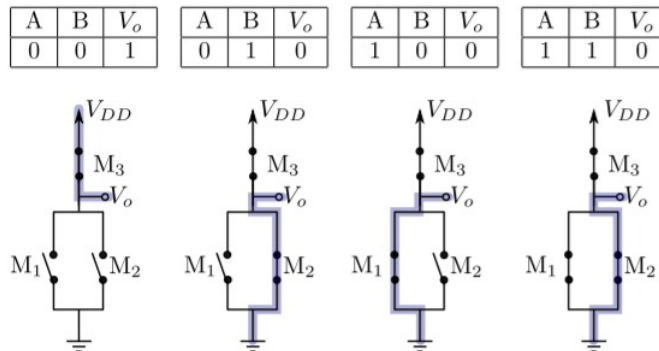
Ejemplo: Puerta NOR



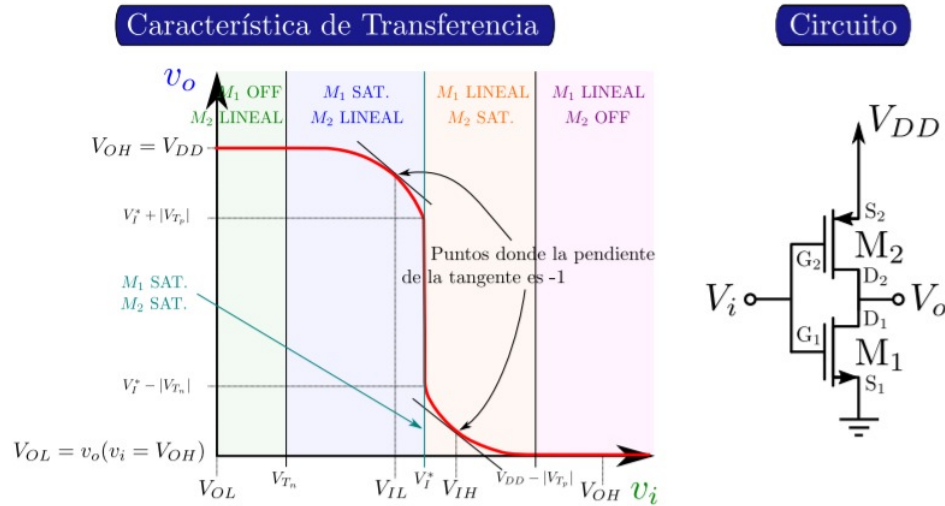
3.2.2 Comprobar funcionamiento de una puerta lógica

- Tratamos los transistores como interruptores.
 - Entrada es un 1 lógico \implies interruptor **cerrado**.
 - Entrada es un 0 lógico \implies interruptor **abierto**.
- El transistor NMOS de carga se comporta siempre como un interruptor cerrado.
- Si hay un camino desde la salida hasta tierra, el valor de la salida es un 0 lógico.
- Si no hay camino desde la salida hasta tierra pero hay un camino que la conecta con la alimentación, el valor de la salida es un 1 lógico.
- Si no hay conexión de la salida ni con la referencia ni con la alimentación, se produce una indeterminación en la salida.

Ejemplo: Puerta NOR



3.3 El inversor NMOS con transistor PMOS como carga: el inversor CMOS



Características:

- Consumo de potencia más reducido.
- La potencia estática es prácticamente nula, ya que cuando el transistor NMOS conduce, el PMOS está en corte y viceversa.
- El número de transistores es mayor porque por cada entrada se necesitan dos transistores.

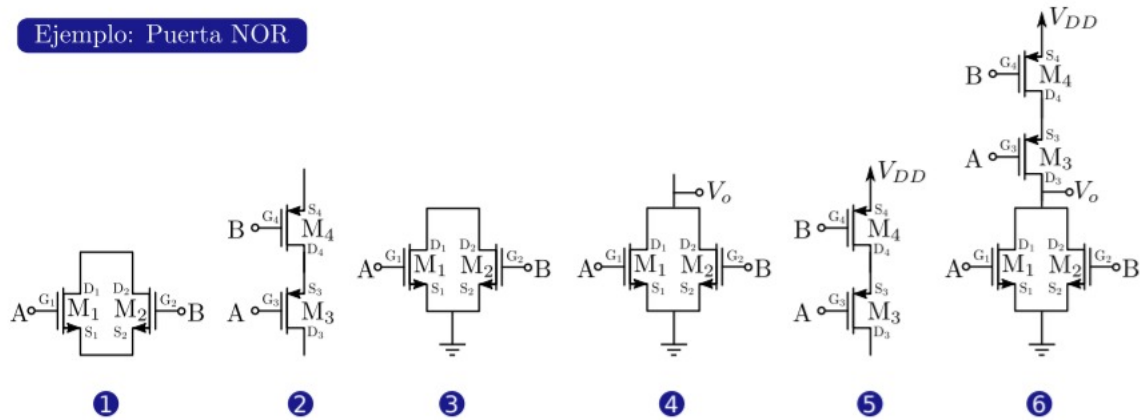
3.3.1 Construir una puerta lógica

Pasos:

Escribimos $\overline{V_o}$ y lo simplificamos.

- Creamos la red NMOS teniendo en cuenta que:
 - La base es un inversor \implies la salida estará invertida.
 - Las variables se multiplican \implies transistores tipo N en serie.
 - Las variables se suman \implies transistores tipo N en paralelo.
- Creamos la red PMOS teniendo en cuenta que:
 - Las variables se multiplican \implies transistores tipo P en paralelo.
 - Las variables se suman \implies transistores tipo P en serie.
- Colocamos la referencia del circuito en la fuente del transistor tipo N que se encuentre más abajo en la red.
- Colocamos la salida en el drenador del transistor tipo N que esté más arriba en la red NMOS.
- Colocamos la alimentación en la fuente del transistor tipo P que esté más arriba en la red PMOS.
- Conectamos la carga (red PMOS) cortocircuitando la salida con el drenador de la red PMOS que se encuentre más abajo.

Ejemplo: Puerta NOR



3.3.2 Comprobar funcionamiento de una puerta lógica

- Tratamos los transistores como interruptores
- Transistores NMOS:
 - Si la entrada es un 1 lógico, el interruptor está cerrado. NMOS en lineal.
 - Si la entrada es un 0 lógico el interruptor está abierto. NMOS en corte.
- Transistores PMOS:
 - Si la entrada es un 1 lógico, el interruptor está abierto. PMOS en corte.
 - Si la entrada es un 0 lógico el interruptor está cerrado. PMOS en lineal.
- Si hay un camino desde la salida hasta la tierra, el valor de la salida es un 0 lógico.
- Si no hay camino desde la salida hasta tierra pero hay un camino que la conecta con la alimentación, el valor de la salida es un 1 lógico.
- Si no hay conexión de la salida ni con la referencia ni con la alimentación, se produce una indeterminación en la salida.

Ejemplo: Puerta NOR

