

이 찬 웅

경기도 성남시 분당구
1990 년생



지원분야 Digital ASIC

특장점 요약

- Algorithm 개발, RTL Coding, STA 진행 경험
- Pre/Post verification, chip validation 경험
- 업무 적용가능 어학능력(해외 엔지니어 협업, 논문 Oral session 발표)

주직무영역

- Algorithm 개발 및 High-level language 를 이용한 검증
- RTL 설계, Pre-silicon validation (RTL pre,post simulation), synthesis, STA
- FPGA emulation 검증

부직무영역

- CP test setup support
- Post-silicon validation (Chip validation)

Language

- Verilog, Python, C, Shell, TCL

Tools

- RTL : NCSIM, Verdi
- Synthesis : Design Compiler
- STA : Primetime
- FPGA : Vivado, Xilinx ISE, Quatus

경력&프로젝트(총 경력 5 년 5 개월)

(주)파두(FADU) (1 년 7 개월)

2019.8 ~ 2021.02

SoC Team 선임연구원

(주)파두 : Enterprise SSD Controller 개발

서울시 강남구 소재. 매출액: 2 억, 직원수: 150 명

[참여 프로젝트]

- 프로젝트명: Everest [2019.3~]

- ☐ 개요: SSD Controller (12nm 공정), Enterprise SSD Controller

- ☐ 담당업무:

- ☒ Digital 설계 검증

- Chip top, RISCv Core module Pre-Validation (RTL sim, Pre sim, Post sim)

- Chip top, RISCv Core module Post-Validation (Chip Validation)

- FPGA Emulation & Verification

- ☐ 주요성과(개인적 성과 등):

- ☒ Digital Top 과 RISCv Core 의 설계 검증을 전담

- ☒ Product sample validation 단계에서 관련 test 장비(temperature, humidity Chamber, PDU 등) control 과 validation test FW 를 Script 를 이용해서 자동화

(주)라운텍 (3 년 10 개월)

2015.10 ~ 2019.06

Digital Design Team 전임연구원

(주)라운텍 : LCoS Micro Display

성남시 분당구 소재. 매출액 : 150 억, 직원수: 45 명

Background

- LCoS (Liquid crystal on silicon)
 - CMOS silicon 위에 LC를 올리는 방식으로 DLP와 LCD의 장점을 결합한 display
- Micro Display
 - 아주 작은 panel size와 높은 resolution을 가지는 display, ex) 0.55" FHD size display

[참여 프로젝트]

프로젝트명	프로젝트 설명	수행년도	주요 업무
RDC200	LCoS Controller	2015~2016	Sub module RTL, FPGA 설계 및 검증
RB100	Force sensor	2016	Analog circuit FPGA emulation
RDP550F	0.55" FHD LCoS Panel	2016	Sub module RTL, FPGA 설계 및 검증, Mass production test set- up
RDP361H	0.36" HD LCoS Panel	2017	Sub module RTL, FPGA 설계 및 검증
RDP700Q	0.7" QHD LCoS Panel	2017	Sub module RTL 설계 및 검증
RDP701SX	0.7" SXGA uOLED Panel	2017	Synthesis, STA
RDP551F	0.55" FHD LCoS Panel	2018	Sub module RTL, FPGA 설계 및 검증, Mass production test set- up
RDP502H	0.5" HD LCoS Panel	2018	Top RTL 설계 및 검증 Mass production test set- up
RDP370F	0.37" FHD LCoS Panel	2018	Sub module RTL, FPGA 설계 및 검증, Synthesis, STA
RDC200A	LCoS Controller	2018	Sub module RTL, FPGA 설계 및 검증
RDP800HF	0.8" Half-FHD OLEDoS (1920 x 540)	2019	Sub module RTL, FPGA 설계 및 검증

[주요프로젝트]

● 프로젝트명: RDC200 [2014.11~2017.06]

- 개요: LCoS Display controller (55nm 공정), Micro Display System Controller, AR,VR system target
- 담당업무:
 - ✓ Bitmap renderer 설계
 - Image resolution : 160x96
 - Color : 256 color image (332 RGB)
 - Magnification : x2, x3, x4 with modified EPX scaling
 - Alpha blend : 9 level ; 12.5% unit, 2 special alpha ; clear white, clear black makes white(0xff) or black(0x00) transparent
 - Side by Side 3D support
 - ✓ Font renderer 설계
 - text box : 32x8 characters
 - Color : font 16 colors, background 16 color total 32 colors
 - Magnification : x2, x3, x4, x5, x6, x7, x8. separate x,y magnification
 - Alpha blend : 9 level ; 12.5% unit ; clear white, clear black makes white(0xff) or black(0x00) transparent
 - Side by Side 3D support
- 주요성과(개인적 성과 등):
 - ✓ Image scale up algorithm 연구,개발
 - ✓ 개발한 algorithm 의 RTL design implementation, function verification, Synthesis, STA, EQ check

● 프로젝트명: RDC200A [2018.6~]

- 개요: LCoS Display controller (55nm 공정)
- 담당업무:
 - ✓ Bitmap renderer 설계
 - ✓ Font renderer 설계
- 주요성과(개인적 성과 등):
 - ✓ 3:1 Lossless image compression algorithm 연구,개발
 - ✓ 개발한 algorithm 의 RTL design implementation, function verification, Synthesis,

STA, EQ check

● **프로젝트명: RDP700Q** [2016.12~2017.10]

- 개요: LCoS 0.7" QHD display panel (110nm 공정)
- 담당업무:
 - ✓ Up Scaler 설계
 - Bilinear Algorithm
 - x1 ~ x8 up scaling
 - up scale X, Y separately
 - ✓ Memory BISR module 설계
 - Memory self test and repair
 - Detour defected address
- 주요성과(개인적 성과 등):
 - ✓ Scaling algorithm 연구, 개발
 - ✓ Scaling algorithm 의 RTL design implementation, function verification, Synthesis, STA, EQ check
 - ✓ Memory BISR module RTL design implementation, function verification, Synthesis, STA, EQ check

● **프로젝트명: RDP502H** [2018.6~]

- 개요: LCoS 0.5" HD display panel (110nm 공정)
- 담당업무:
 - ✓ Digital Chip Top 설계
 - ✓ CP setup support
- 주요성과(개인적 성과 등):
 - ✓ Digital Top 전담 설계, verification
 - ✓ CP test vector 최적화, CP test support

학력사항

청주대학교 충북

2009.03 ~ 2015.08

전자공학과 학부 졸업(학사)

- 마이크로 프로세서 동호회 스마프 활동
- 8BIT CISC, RISC Digital 회로 설계 실습 과목 수료

광영고등학교 서울

2006.03 ~ 2009.02

*병역: 2010.12.21 ~2012.9.24 육군 병장 만기제대

논문

- 논문 제목 : Multi-Layer and Multi-function OSD for Microdisplay Systems
 - 논문 개요 : Microdisplay에서 on screen display의 효용성과 구현방법 소개
 - 관련 프로젝트 : RDC200A (라온텍)
 - 학회: IMID 2018
 - 저자: **Chanung Lee**, Wook Hong, and Joon Goo Lee
- 1Research & Development Group of RAONTECH, Seongnam-si, Korea

어학능력

- **영어 회화 : 일상 회화 가능, Oral session 발표 및 Q&A 진행, 인도네시아 엔지니어와 영어로 협업**
- 영어 읽기,쓰기 : algorithm 연구 자료 search, 영문 논문 작성
- TOEIC 760 (2015.02)

교육/연수사항/수상내역

- 디지털 RTL[A-to-Z] 설계전문 엔지니어 양성 과정 [ETRI, 2015.06~2015.08]
 - 조장, 우수 교육생 수상
 - 진행 프로젝트
 - ◆ IR communication module
 - ◆ WIFI FFT module
- Timing & Low power를 고려한 Verilog 회로설계 (중급) [ETRI, 2016.10]
- Design Compiler 사용법 및 활용 예 [ETRI, 2018.10]

자격증

- 응급처치법 강사 자격증 (적십자)

자기소개서

- 배우고 익히니 즐겁지 아니한가 - 공자

저는 최근 열풍이라는 조기 coding 학습의 선구자입니다. 초등학교 시절부터 우스개로 민속놀이라고 불리는 스타크래프트를 하면서 조기 coding 학습을 하였습니다. 당시 저는 스타크래프트를 할 때 게임을 즐기는것 보다는 user custom map 을 만드는 걸 즐겼는데, 여기에서 사용되는 Trigger 라는 개념은 프로그래밍 언어의 condition 과 거의 유사한 기능이었습니다. 그땐 초등학생인지라 프로그래밍에 대한 베이스도 전혀 없고, 영어 능력도 전무하였지만 누군가 인터넷에 번역해준 자료들과 게시판을 통하여 얻은 자료들을 가지고 하나하나 스스로 실습하며 나중에는 복잡하고 재미있는 맵을 만들어 친구들과 함께 즐겼습니다. 놀랍게도 대학에서 프로그래밍을 배울 때에 프로그래밍과 스타크래프트 map editing 의 유사성을 발견하고 정말 수월하게 프로그래밍을 배우는 뜻밖의 수확이 있었습니다. 또 한번은 전에 회사에서 license 문제로 인해 Cadence 사의 설계 Tool 에서 Synopsys 의 설계 Tool 로 부득이하게 변경하게 된 경우가 있었는데, 새로운 Tool 에 도전해보고싶었던 제가 적극적으로 나서서 Tool 설치부터 환경 setup, makefile script 작성에 기여하고 새로운 Synopsys 기반 Tool 의 사용에 있어서도 동료들이 큰 어려움 없이 적응하도록 많은 도움을 주었습니다. 이처럼 저는 낯설거나 새로운것을 배우고 응용하는것을 좋아하고 학습한것을 남들과 나누는것에도 관심이 많습니다. 그런 방법들을 보다 전문적으로 학습하기위해 대학교에서 교직이수도 수료하였고 그런 방법론에도 신경을 쓰기 때문에 학습할 때 이해하고 익히는 시간 또한 짧은편 입니다.

- 협력할 때에야 비로소 위대한 것이 탄생한다. - 생텍쥐베리

현대 사회와 같이 Project 의 복잡도가 개인의 영역을 넘어선 사회에서 co-work 은 필수라고 생각합니다. co-work 을 원활히 하기 위해서는 communication 의 기술이 필요하다고 생각하고, 그에 관심이 많습니다. 보다 나은 Communication 을 위해서 대학교 시절 교직이수를 하여 학습과 전달, 소통에 대해서 배우기도 하였고 평소에도 심리학과 철학 오픈 강좌를 찾아서 수강하기도 하고있습니다. 그렇게 습득한 지식들을 사람들과 communication 시에 적용하여 사람들을 보다 더 이해하고 전달하고자 하는 것을 오해없이 전달하기위해 노력하고 있습니다. 이런 저의 특성은 실제로 일을 할 때에도 도움이 많이 됩니다. 라온텍에 재직하던 시절에 제가

담당하던 Digital 설계의 대표자로 프로젝트에서 CP test 를 담당했던 프로젝트가 있었습니다. CP test 를 하기 위해 analog, test 엔지니어 등 여러 분야의 담당자들과의 소통이 필요했는데, 부서간의 Sync-up meeting 과 문서화를 주도하여 성공적으로 communication 하며 효율적인 CP test plan 을 수립하여 이 plan 을 토대로 다음 project 에서는 제가 담당하기 전 CP test 대비 시간을 약 50%가량 단축할 수 있었습니다.

- Geek들은 자신들의 관심분야를 너무 사랑해서 그 분야의 세세한 부분까지도 신경을 씁니다. – 마리사 메이어 (야후 전 CEO)

저는 Geek 기질이 있습니다. 그리고 제 일에 대해서 Geek 이 되고 싶습니다. 저는 평소에도 제가 좋아하는 것들에 대해서 세세한 부분까지도 깊게 파는 것을 좋아합니다. 한 번은 회사에서 RTL 코드를 짜다가 standard cell 의 multiplier 와 RTL code 로 직접 최적화하여 만든 multiplier 중 무엇이 area 와 power 면에서 더 나은가 궁금해서 실제로 단일 multiplier 를 설계하여 비교해본 적도 있고, RTL 설계시 제가 맡은 module 의 설계를 바꿔보며 합성과 STA 를 해보기도 하며 사소한 것부터 여러 방면으로 접근하며 시도해봅니다. 명작은 이런 작은 차이에서부터 비롯된다고 생각합니다. 저는 Geek 성향을 가지고 제가 맡은 임무에 대해서 긍정적인 집착을 가지고 일을 합니다.