

# CSE-COA-LAB-001

## 计算机组成与结构实验

---

马叶晟<sup>1 2</sup>

5140209064

2016 年 4 月 6 日

---

<sup>1</sup>email: [kimi.ysma@gmail.com](mailto:kimi.ysma@gmail.com)

<sup>2</sup>上海交通大学，计算机科学与工程系.

# 1 实验介绍

## 1.1 实验名称

FPFA基础实验: switch, pushButton, led.

## 1.2 实验目的

1. 掌握Xilinx逻辑设计工具ISE的设计流程
2. 初步掌握VerilogHDL硬件描述语言进行简单的逻辑设计
3. 掌握UCF约束文件的用法和作用
4. 熟悉Xilinx Spartan 3E实验开发板

## 1.3 实验范围

本次实验将覆盖以下范围:

1. ISE 13.4的使用
2. 使用VerilogHDL进行逻辑设计
3. 编辑UCF
4. iMPACT的使用
5. Xilinx Spartan 3E实验开发板的使用

## 2 实验内容

因为这是第一次实验的报告, 因此我对于整个项目创建的过程会有一些简单的描述. 这些操作ISE的过程在之后的实验过程中也是十分有用的.

### 2.1 ISE实验项目的创建

首先打开ISE新建工程, 有以下几点需要注意:

- 选择开发板. 选项family为Spartan 3E, device为XC3S500E.
- 选择综合工具以及仿真工具. Synthesis tool为XST, simulator为ISim.
- 选择开发语言. 在计算机组成实验中, 开发语言为Verilog HDL.

### 2.2 Verilog代码的实现

如果我们在之前new source的时候就添加了端口的话, 就可以直接使用已经生成的module了. 端口的声明可以使用input, output或inout, 这是端口的类型. 对于一个具体的变量的类型, 我们较为常用的类型有reg, wire和integer. 这里, 硬件编程语言和我们上学期学的数电知识是密切相关的. 具体来说, wire类型满足组合逻辑, 需要用assign来赋值, 它的值由等号右边的值来驱动; 对于reg类型而言, 它满足的是时序逻辑, 必须在always块中赋值, 并由always块的参数来触发. 具体到这个实验, 用到的只是简单的wire类型, 因此用assign语句就可以了. 具体的Verilog代码实现见附录1.

### 2.3 添加UCF用户约束文件

根据Spartan 3E FPGA开发版的打印电路板上的信息, 我们能够很直观地得到相应器件的管脚约束信息. 将我们设计好的管脚约束文件输入到led.ucf. 这样我们就完成了所有代码部分.

### 2.4 综合编译

在完成了Verilog文件和ucf文件, 之后的工作就是调用ISE工具链来生成可以由FPGA实验班运行的.bit文件. 这个过程主要有三部分:

1. 综合(synthesize): 在这里我们用XST来综合, 在综合的过程中, 主要完成的是根据硬件描述语言实现电路并作相关的优化.

2. 实现(implement): 实现的过程有三部分(translate, map, place & route), 在实现的过程中, 主要完成的工作是将在综合出来的电路映射到实际的FPGA板子上.
3. 生成可执行文件(programmable file): 生成可直接由FPGA执行的文件.

之后我们将生成的bit文件烧录到FPGA板上并进行验证就最终完成了这个实验.

### 3 心得体会

这个实验是计算机组成第一个实验, 还是比较简单的, 按照实验指导书上一步步来做就能最终做出结果. 但是Verilog语言对我来说是一门全新的语言, 需要认真的学习, 而且之前虽然做过单片机上的实验, 但是那个实验还是由C语言写的, 而FPGA实验显然比单片机上的C语言程序要复杂得多. 计算机组成实验这门课可以说连接起了硬件和软件之间的联系. 对于我们这些计算机专业的学生, 硬件知识并不是我们所最擅长的, 但是毫无疑问, FPGA实验给我们一种模拟硬件行为的良好手段.

### 附录1

LAB1的Verilog代码实现如下所示:

```
1 module led(  
2     input  [3:0] switch,  
3     output [3:0] led  
4 );  
5  
6     assign led[3:0] = switch[3:0];  
7 endmodule
```

### 附录2

LAB1的管脚约束文件实现如下所示:

```
1 NET "led<3>" LOC="F11" | IOSTANDARD=LVTTL | SLEW=SLOW | DRIVE  
  =8;  
2 NET "led<2>" LOC="E11" | IOSTANDARD=LVTTL | SLEW=SLOW | DRIVE  
  =8;  
3 NET "led<1>" LOC="E12" | IOSTANDARD=LVTTL | SLEW=SLOW | DRIVE  
  =8;  
4 NET "led<0>" LOC="F12" | IOSTANDARD=LVTTL | SLEW=SLOW | DRIVE  
  =8;  
5 NET "switch<0>" LOC="L13" | IOSTANDARD=LVTTL | PULLUP ;  
6 NET "switch<1>" LOC="L14" | IOSTANDARD=LVTTL | PULLUP ;
```

```
7|NET "switch<2>" LOC="H18" | IOSTANDARD=LVTTL | PULLUP ;  
8|NET "switch<3>" LOC="N17" | IOSTANDARD=LVTTL | PULLUP ;
```