

# CSE-COA-LAB-002

## 计算机组成与系统实验

---

马叶晟<sup>1 2</sup>

5140209064

2016 年 4 月 3 日

---

<sup>1</sup>email: [kimi.ysma@gmail.com](mailto:kimi.ysma@gmail.com)

<sup>2</sup>上海交通大学，计算机科学与工程系.

# 1 实验介绍

## 1.1 实验名称

FPFA基础实验2: 4 bits binary counter with time divider.

## 1.2 实验目的

1. 掌握Xilinx逻辑设计工具ISE的设计流程
2. 初步掌握VerilogHDL硬件描述语言进行简单的逻辑设计
3. 掌握UCF约束文件的用法和作用
4. 熟悉Xilinx Spartan 3E实验开发板
5. 学习分频器的编写，了解同步信号的工作过程

## 1.3 实验范围

本次实验将覆盖以下范围：

1. ISE 13.4的使用
2. 使用VerilogHDL进行逻辑设计
3. 编辑UCF
4. iMPACT的使用
5. Xilinx Spartan 3E实验开发板的使用

# 2 实验内容

## 2.1 实验概述

这个实验要实现4位二进制计数器, 总体来说还是比较简单，实现的功能就是让计数器从0000到1111循环计数，并添加了置位的功能。

## 2.2 计数器模块端口

计数器模块输入端口: `mainClock`, `reset`. 计数器模块输出端口: `count`.

## 2.3 计数器模块的具体实现

首先，因为对于计数器的实验我们之后要上板验证，因此我们需要写一个分频器，将FPGA板子自身的高频时钟信号转换成我们可以接受的时钟信号。分频器的实现也十分简单，在分频器模块里建立一个buffer，当时钟上升沿来临时将buffer加一即可，当时钟各位均为1时，就会产生一个上升的脉冲，达到分频的效果。

其次，就是完成计数器counter模块的实现。在counter的端口中，输入分别是板子提供的时钟信号，和一个置位的reset信号。在counter模块中我们实例化分频器，就可以得到计数器应当得到的时钟信号，之后通过改变计数器的各个位的值就能达到计数的目的了。

分频器和计数器的Verilog代码在附录1中。

## 2.4 计数器模块的管脚约束

将我们实现的计数器模块的各个端口映射到实际的FPGA板上，所完成的UCF管脚约束文件见附录2。

# 3 心得体会

这个实验同样比较简单，按照实验指导书上的描述来做就可以了。但是注意到这里实现的分频器在之后的lab5和lab6的上板中还是比较有用的，应当注意一下。

## 附录1

```
1 module timerDivider(  
2     clockIn,  
3     clockOut  
4 );  
5     input clockIn;  
6     output reg clockOut;  
7  
8     reg[23:0] buffer;  
9  
10    always @ (posedge clockIn) begin  
11        buffer <= buffer+1;  
12        clockOut <= &buffer;  
13    end  
14 endmodule  
15  
16 module counter(  
17     mainClock,  
18     reset,  
19     count  
20 );  
21     input mainClock;  
22     input reset;  
23     output reg [3:0] count;  
24     wire slowClock;  
25  
26     timerDivider td(.clockIn(mainClock), .clockOut(slowClock));  
27     always @ (posedge slowClock) begin
```

```

28     if (!reset)
29         count <= 4'b1111;
30     else
31         count <= count-1;
32     end
33 endmodule

```

## 附录2

```

1 NET "mainClock" LOC="C9" | IOSTANDARD=LVC MOS33;
2 NET "count<3>" LOC="F11" | IOSTANDARD=LVTTL | SLEW=SLOW | DRIVE=8;
3 NET "count<2>" LOC="E11" | IOSTANDARD=LVTTL | SLEW=SLOW | DRIVE=8;
4 NET "count<1>" LOC="E12" | IOSTANDARD=LVTTL | SLEW=SLOW | DRIVE=8;
5 NET "count<0>" LOC="F12" | IOSTANDARD=LVTTL | SLEW=SLOW | DRIVE=8;
6 NET "reset" LOC="L13" | IOSTANDARD=LVTTL | PULLUP;

```