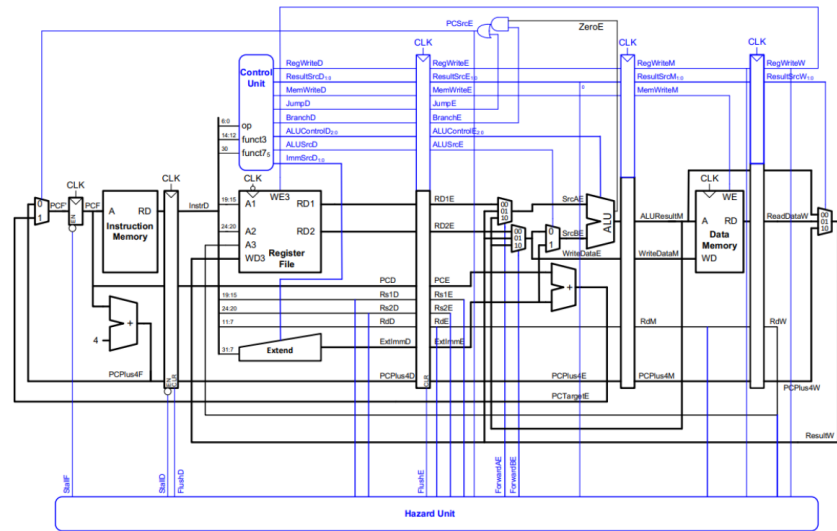


هدف از این تمرین کامپیوتری پیاده‌سازی Pipeline پردازنده‌ی RISC-V با مجموعه دستورات زیر است:

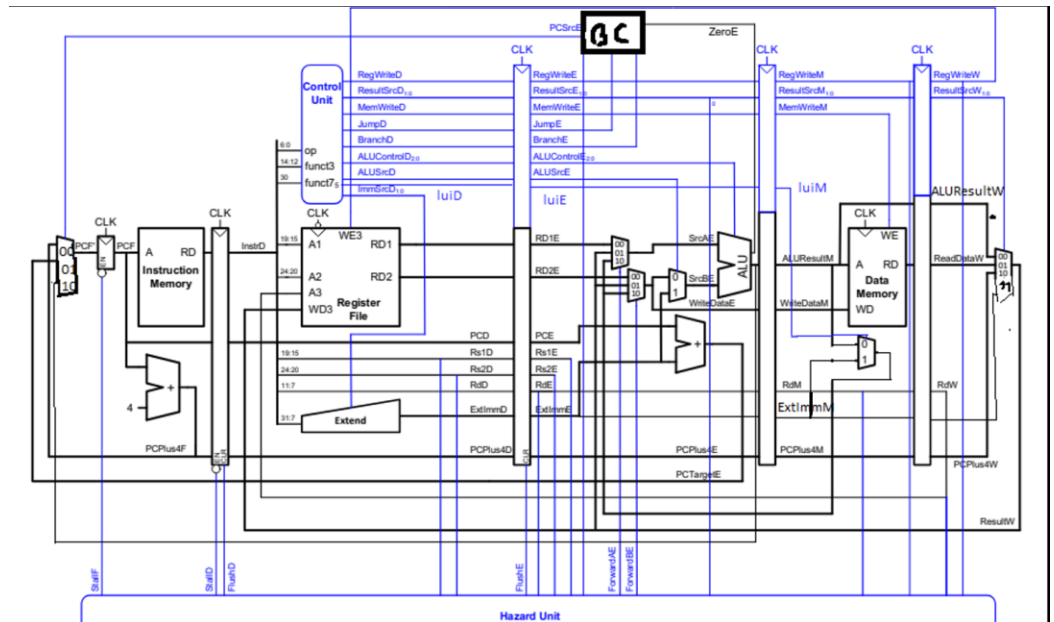
- R-Type: add, sub, and, or, slt
- I-Type: lw, addi, ori, slti, jalr
- S-Type: sw
- J-Type: jal
- B-Type: beq, bne
- U-Type: lui

مشابه طراحی که در کلاس درس انجام شد، مدارهای لازم برای تشخیص و برطرف کردن مخاطره‌ها (Hazard) را در طرح خود بگنجانید.

حالت کلی که در درس داشتیم:



مشابه پروژه 2 باید دستور های jalr و bne و lui را اضافه میکنیم



Alu و extend تغییر ساختاری نسبت به پروژۀ 2 ندارند:

ALU CONTROL [2:0]	ALU RESULT
000	SRC A + SRC B
001	SRC A - SRC B
010	SRC A & SRC B
011	SRC A   SRC B
100	SRC A XOR SRC B
101	SRC A SLT SRC B

ImmSrc	ImmExt
000	{ 20{ Ins[31] } , Ins[31:20] }
001	{ 20{ Ins[31] } , Ins[31:25] , Ins[11:7] }
010	{ 19{ Ins[31] } , Ins[31] , Ins[7] , Ins[30:25] , Ins[11:8] , 1'b0 }
011	{ 11{ Ins[31] } , Ins[31] , Ins[19:12] , Ins[20] , Ins[30:21] , 1'b0 }
100	{ Ins[31:12] , 12'b0 }

