

تمرین دوم - گزارش سوال ۳

معماری کامپیوتر - دکتر عطار زاده

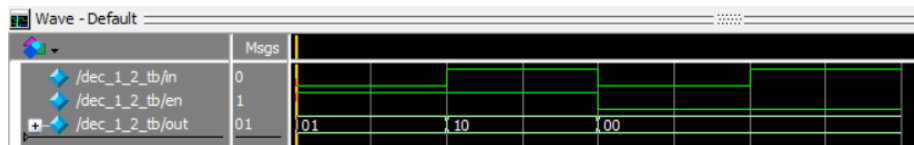
زمستان ۱۴۰۰

کد SystemVerilog

پیاده‌سازی دیکدر ۳ به ۸، در فایل Decoder_3_8.sv موجود است. برای این پیاده‌سازی، از دیکدرهای ۲ به ۴ و دیکدرهای ۱ به ۲ استفاده شده است که پیاده‌سازی آن‌ها نیز به ترتیب در فایل‌های Decoder_1_2.sv و Decoder_2_4.sv موجود است. تست‌بنچ مربوط به هر ماژول نیز در فایل‌های dec_1_2_tb.sv، dec_2_4_tb.sv، dec_3_8_tb.sv آورده شده است. توضیحات مربوط به هر ماژول، در کامنت‌های آن موجود است.

شبیه‌سازی

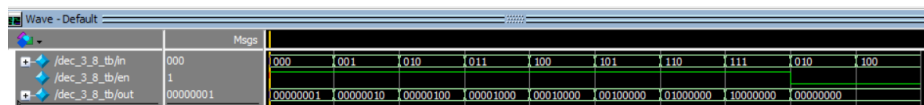
در همه شبیه‌سازی‌های زیر، in ورودی n بیتی دیکدر، en ورودی مربوط به enable دیکدر، و out خروجی 2^n بیتی دیکدر است.



شکل ۱: خروجی شبیه‌سازی دیکدر ۱ به ۲



شکل ۲: خروجی شبیه‌سازی دیکدر ۲ به ۴

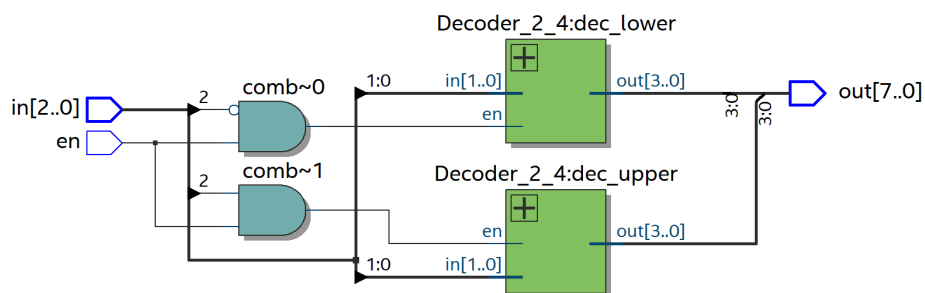


شکل ۳: خروجی شبیه‌سازی دیکدر ۳ به ۸

همانطور که در خروجی‌های بالا مشخص است، خروجی دیکدرها با خروجی مورد انتظار مطابقت دارد و همچنین ورودی en نیز به درستی خروجی را صفر می‌کند.

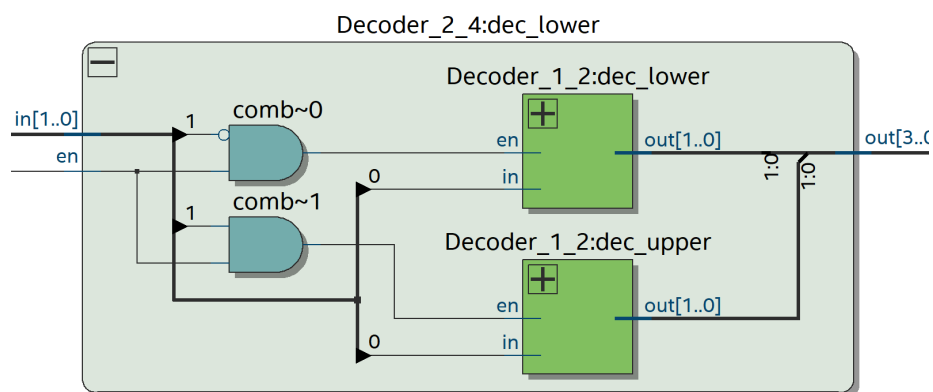
خروجی RTL Viewer

یک دیکدر ۳ به ۸، از دو دیکدر ۲ به ۴ تشکیل شده است.



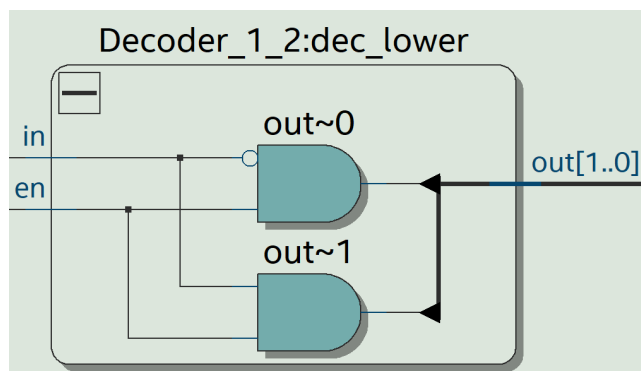
شکل ۴: نمای کلی مدار دیکدر ۳ به ۸

همچنین به طور مشابه، هر دیکدر ۲ به ۴ از دو دیکدر ۱ به ۲ تشکیل شده است.



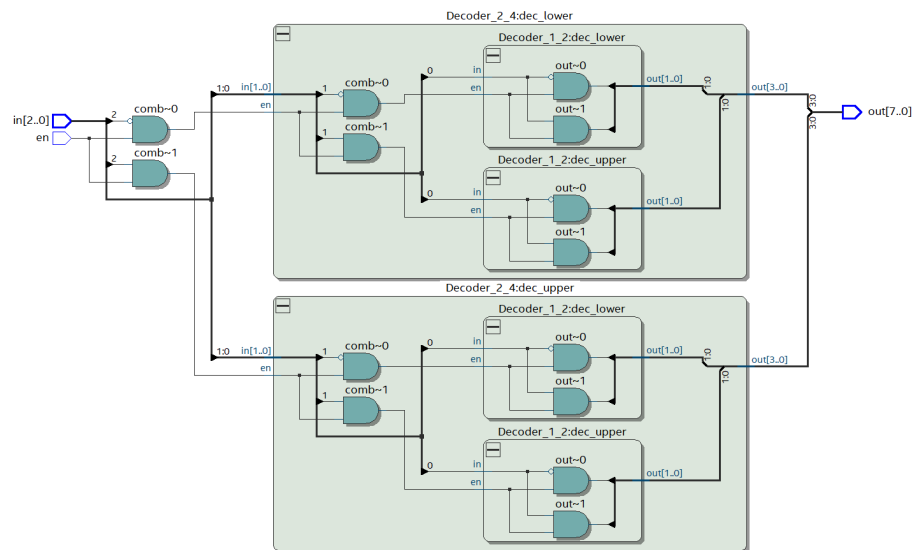
شکل ۵: نمای کلی مدار دیکدر ۲ به ۴

در نهایت، با تنها دو گیت AND، دیکدر ۱ به ۲ ساخته می‌شود.



شکل ۶: مدار دیکدر ۱ به ۲

همچنین شکل کامل دیکدر ۳ به ۸ به صورت زیر خواهد بود:



شکل ۷: شکل کامل مدار دیکدر ۳ به ۸

مساحت و تاخیر مدار

مساحت

از مجموع ۱۱۴۱۸۰ Logic Element موجود، این مدار از ۸ Logic Element استفاده می‌کند که (بسیار) کمتر از ۱ درصد LEهای FPGA را شامل می‌شود.

همچنین از مجموع ۵۲۹ پین موجود، این مدار از ۱۲ پین استفاده می‌کند، که دقیقاً برابر تعداد ورودی و خروجی‌های تعریف شده در مدار دیکدر ۳ به ۸ است.

تاخیر

در حالت Slow 1200mV 85C، بیشترین تاخیر برابر ۹/۱۷۳ ns است؛ که مربوط به مسیر از in[2] تا out[3] می‌شود.