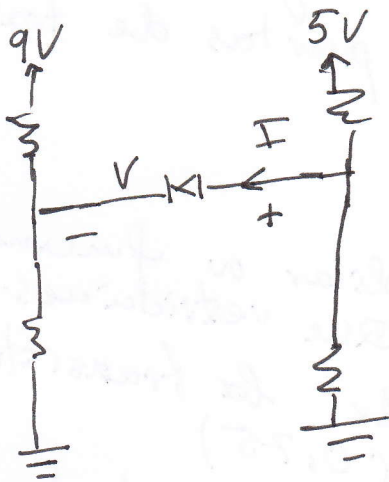
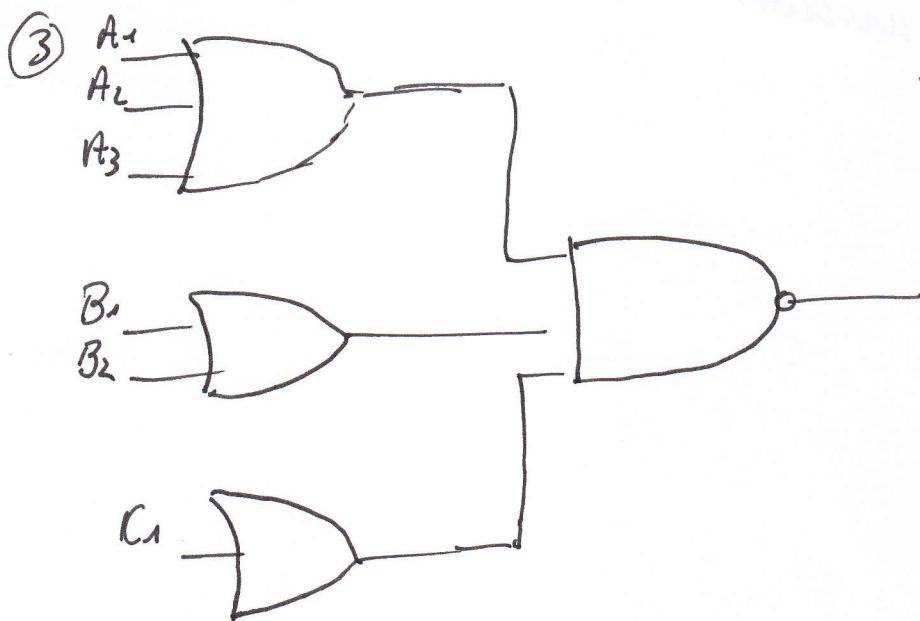


- ① En el circuito de la figura, calcular I_y y V . (0,5 puntos).



- ② En un inversor, ¿cómo afecta la capacidad de carga al consumo de potencia dinámica?
¿Y al consumo de potencia de cortocircuito?
(0,25)



ii) Implementar en lógica CMOS complementaria. Determinar el tamaño de los transistores de modo que sus resistencias equivalentes sean las mismas que las de un inversor con $(W/L)_N = (W/L)_P$. Priorizar la velocidad de respuesta (0,75 puntos).

- ii) Implementarlo con lógica pseudo-NMOS con $v_{ol} \leq 1V$ y $t_{ph} \leq 345 ns$. Considerar una carga de $C_L = 1pF$ mucho mayor que la capacidad intrínseca de la puerta lógica, $V_{DD} = 5V$ y $R_p = R_N = 10^4 \times (L/W)$ (0,75 puntos)
- ④ Implementar una AND de 4 entradas en lógica NP de dos niveles (0,75 puntos).

⑤ Dado el circuito de la figura:

(es un registro, no hay figura).

i De que tipo de circuito se trata? Calcular el tiempo de setup, el retardo de propagación y el tiempo de mantenimiento en función de los retardos de propagación de las puertas de transmisión y de los inversores (0,5)

⑥ Dibujar una celda SRAM. Explicar su funcionamiento en modo lectura y escritura. i Que restricciones aparecen en el dimensionado de los transistores para garantizar su funcionamiento? (0,75)

⑦ Considerar una memoria RAM implementada en pseudo NMOS i Como afecta el diseño de los transistores PMOS la inclusión de amplificadores sensores en la memoria? (0,25)