

APELLIDOS: _____

NOMBRE: _____

Examen de Sistemas Digitales
10 de enero de 2019

En todos los diseños se valorará positivamente que, respetando las condiciones de cada enunciado, se utilice la mínima cantidad de lógica que sea posible. Al principio de cada pregunta se ha incluido la puntuación máxima para dicha pregunta. Es necesario indicar muy brevemente para cada diseño qué función hace cada parte y cómo se han obtenido.

1. (2 puntos) Resolver los siguientes apartados:

- a) Completar la siguiente tabla con los números que correspondan usando en todos los casos el mínimo número posible de bits:

Decimal	Signo magnitud	Complemento a 1	Complemento a 2
			1000
	1111000		
			11
8			

- b) Implementa la función siguiente empleando un demultiplexor de 3 líneas de selección y el mínimo número de puertas lógicas que sea posible:

$$f(a, b, c) = (a + b + c) \cdot (a + \bar{b} + \bar{c}) \cdot (\bar{a} + b + \bar{c}) \cdot (\bar{a} + \bar{b} + c) \cdot (\bar{a} + \bar{b} + \bar{c})$$

- c) Implementa la función del apartado anterior utilizando solamente un multiplexor de 2 líneas de selección y el mínimo número de puertas lógicas que sea posible.

2. (2,25 puntos) Diseñar un sistema secuencial síncrono que controla la apertura de una caja fuerte. Dicha caja posee un teclado de 4 teclas etiquetadas con *A*, *B*, *C* y *D* respectivamente y una señal de salida que indica cuando se ha detectado una secuencia. En cada ciclo de reloj se pulsa una tecla. El circuito debe detectar cuándo se ha producido la secuencia *ABA* que abre la caja fuerte. A esta secuencia le llamamos secuencia de apertura. La secuencia de apertura se detectará independientemente de qué teclas haya pulsado el usuario antes de teclear el primer elemento de dicha secuencia. La señal de salida permanecerá activa solamente un ciclo de reloj una vez se haya activado. A partir de ahí, se podrán seguir pulsando teclas e intentar detectar una nueva secuencia. Ninguna parte de una secuencia de apertura detectada puede formar parte de una nueva secuencia detectada.

Diseñar este sistema como un sistema secuencial síncrono de Mealy utilizando biestables tipo D, dibujando el diagrama y la tabla de estados, aplicando las reglas de codificación binaria de estados y utilizando el mínimo número posible de estados. Representar gráficamente el circuito final que se obtenga.

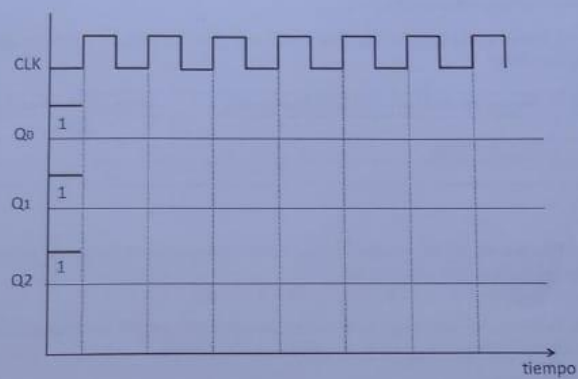
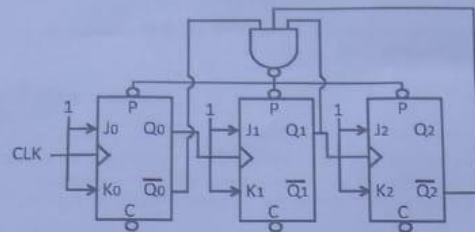
3. (1,25 punto) Construir un biestable JK a partir de un biestable tipo T que dispone de entrada de reloj y de datos pero no dispone de entradas de Preset (puesta a 1) ni de Clear (puesta a 0). Escribir la tabla de funcionamiento del biestable JK construido.

4. (1,5 puntos) Diseñar un contador que realice la secuencia 0,1,2,3,1,2,3,2,3,3 y la repita de nuevo una y otra vez. Para poder realizar el diseño se dispone de contadores y de puertas lógicas. Los contadores son síncronos de 2 bits activos por flanco positivo de la señal de reloj, con señal de carga síncrona de 1 bit, entradas de datos de carga de 2 bits, y señal de borrado asíncrono.

5. (1,5 puntos) Dado el circuito digital de la figura siguiente teniendo en cuenta que *P* significa *Preset* y *C* significa *Clear* y que son señales asíncronas:

- a) Completar el cronograma de la figura dibujando las señales *Q0*, *Q1* y *Q2* durante todos los ciclos de reloj que se muestran en la figura.

- b) De acuerdo con los valores obtenidos tras realizar el cronograma, indicar qué secuencia de valores $Q_2Q_1Q_0$ sigue el circuito.
- c) Indicar qué función hace el circuito.



6. (1,5 puntos) Dado el siguiente circuito donde A_i y B_i son los bits de dos operandos A y B , y considerando que todas las puertas lógicas tienen el mismo retardo de puerta, responder a las siguientes cuestiones razonando brevemente cada respuesta:

- ¿Qué función realiza este circuito sobre los operandos A y B ?
- ¿Cuántos retardos de puerta son necesarios para obtener el valor correcto de C_4 ?
- ¿Cuántos retardos de puerta son necesarios para obtener el correcto de S_1 ? ¿Y para S_2 ? ¿Y para S_3 ?
- ¿Cuántos retardos de puerta serían necesarios para obtener el valor correcto de C_8 si el circuito se extendiese para operandos A y B de 8 bits?

