

1) Razona la verdad o falsedad de las siguientes afirmaciones:

a) El número mayor que 0, normalizado y más pequeño que se puede representar en el formato IEEE 754 de 32 bits es el 2^{-127}

b) Un carácter UTF-8 ocupa siempre 8 bytes

c) En la ISA del procesador MIPS la instrucción `beq $8, $8, 0` es un salto infinito

d) Aumentando el tamaño de la línea de cache se pueden reducir los fallos obligatorios

e) En una operación de entrada/salida en DMA, la CPU interviene solo al inicio y al final de la operación

2) Un procesador de reloj 3GHz y CPI 1,5

a) Indica el número de instrucciones que ejecuta por segundo

b) Si un programa ejecutado en ese procesador tarda 10 segundos, indica el número de ciclos y el número de instrucciones

c) Estamos intentando reducir el tiempo de ejecución un 40%, pero esto supone un aumento del CPI en un 20%, ¿qué valor de frecuencia debemos utilizar para lograrlo?

③ Considera un procesador de 32 bits en una ISA MIPS, en direccionamiento a nivel de palabra (de 32 bits) y un reloj de 1 GHz. Ejecutamos el siguiente código, en el que, para simplificar, suponemos que los datos empiezan en la posición de memoria 0:

.data
a: .word 1, 2, 3, ..., N
b: .word 1, 2, 3, ..., N
c: .space N

(Nota: Ns en negrita)

main:

la \$v0, a

la \$v2, b

la \$v2, c

addi \$t0, \$zero, 4

lazo:

lw \$t1, 0(\$v0)

lw \$t2, 0(\$v2)

~~add~~ add \$t3, \$t1, \$t2

sw \$t3, 0(\$v2)

addi \$v0, \$v0, 1

addi \$v2, \$v2, 1

addi \$v2, \$v2, 1

addi \$t0, \$t0, -1

bne \$t0, \$zero, lazo

a) Suponiendo una caché de datos de 128 bytes, inicialmente vacía, de asignación directa, con un tamaño de línea de 4 palabras, un tiempo de acceso de 4 ciclos y un tiempo de acceso a memoria principal de 200 ciclos, indica, justificando la respuesta, cuántos segundos tardaría en ejecutarse el código anterior para los siguientes casos:

• $N = 32$

• $N = 36$

b) Obtén los mismos tiempos suponiendo una caché ^{totalmente} ~~asociativa~~ ^{asociativa}

4) [Imagen camino MIPS]

A partir de la implementación monoprocesador del MIPS vista en clase (ver figura) añade el hardware necesario para implementar las instrucciones jal (jump-and-link) y jalr (jump-register), que se utilizan para saltar y retornar de una subrutina respectivamente. Responde a los siguientes apartados aportando un razonamiento:

a) Indica de qué tipo (I, R o J) debe ser cada instrucción, indicando los campos en que se divide y el tamaño y significado de cada uno

b) Especifica sobre el dibujo el hardware adicional necesario para ejecutar cada instrucción y describe detalladamente la ruta de datos activa cuando se ejecuta cada una de ellas

c) Modifica el control para que se puedan ejecutar estas instrucciones, ~~especificando~~ ^{especificando} indicando además los valores de todas las señales de control del sistema cuando se ejecuta cada una de las instrucciones, especificando los casos en que el valor de la señal ~~de~~ de control es indiferente

⑤ Calcular el tiempo medio de lectura o escritura de un sector de 512 bytes para un disco duro de 1500 RPM, en el que el tiempo de búsqueda medio es de 4 ms, la velocidad de transferencia es de 100 MB/s y el overhead del controlador es 0,2 ms. Sustituye tu respuesta.