

---

# EXAMEN SISDIG ENERO 2023

---

1. (2 puntos) Resolver los siguientes apartados:
  - a. Realizar en C1 la resta de los siguientes números representados inicialmente en signo magnitud: **1100101** – **011001**. Detallar todos los pasos del proceso. Justificar si se produce desbordamiento al realizar la operación.
  - b. Demostrar si se verifica la siguiente igualdad:  $\overline{x\overline{y}z} * \overline{\overline{x}yz} = \overline{x \oplus y} + \overline{z}$
  - c. Realiza la función  $f(a, b, c) = (ab) + (\overline{a}b\overline{c}) + (a\overline{b}\overline{c}) + (\overline{a}\overline{b}c)$ . Realiza tres implementaciones distintas, en la primera se puede utilizar un decodificador, en la segunda un multiplexor y en la tercera un demultiplexor. En caso de necesitar puertas lógicas, se puede emplear únicamente puertas tipo NOR.
2. (2,25 puntos) Diseñar un sistema secuencial síncrono que recibe como entrada en cada ciclo de reloj una indicación para salir de un laberinto de entre las dos posibles: girar a la derecha (D) o girar a la izquierda (I). El sistema tiene una salida que indica peligro durante un ciclo de reloj cuando se haya detectado la secuencia de indicaciones DID o la secuencia IDI. En el resto de situaciones la salida permanece desactivada. No puede existir solapamiento entre las dos secuencias ni de una consigo misma, es decir, que una indicación que forma parte de una secuencia no puede formar parte de ninguna otra. Diseñar este sistema como un sistema secuencial síncrono de Mealy utilizando biestables tipo D, dibujando el diagrama de estados y la tabla de estados, y utilizando el mínimo número posible de estados y la mínima cantidad de hardware que sea necesaria.
3. (1,75 puntos) Realizar los siguientes diseños de contadores:
  - a. Un contador asíncrono ascendente que cuente de 0 a 7 a partir de biestables JK activos en flanco de subida. Cada uno de los biestables, además de tener entradas JK y de reloj, tiene entradas de puesta a uno (preset) y de puesta a cero (clear) asíncronas y activas en nivel bajo, es decir, a 0.
  - b. A partir del contador diseñado en el apartado anterior y solamente añadiendo hardware que sea necesario pero sin eliminar ningún hardware, modificar el contador para que cuente la secuencia 0, 1, 2, 5, 7.
4. (1 punto) Construir un biestable tipo JK a partir de un biestable tipo T que dispone de entrada de reloj y de datos, pero no dispone de entradas Preset (puesta a 1) ni de Clear (puesta a 0). Se pueden usar puertas lógicas adicionales si es necesario.

5. (1,5 puntos) Diseñar un circuito comparador de números en C1 (complemento a 1). Las entradas son: dos números A y B, de 4 bits cada uno, incluido el bit de signo y codificados ambos en C1. El sistema proporciona 3 bits de salida, uno para indicar  $A > B$ , otro para indicar si  $A < B$  y otro para indicar  $A = B$ .

NOTA: No es válido para comparar los números pasarlos a binario sino que se deben comparar directamente en C1.

6. (1,5 puntos) Dado el circuito digital de la figura en el que intervienen 2 biestables tipo RS y un inversor:

- a. Completar el primer cronograma de la figura dibujando las señales  $q_m$  y  $q_s$  durante todos los ciclos de reloj que se muestran en la figura y explicar brevemente las transiciones que se producen considerando biestables disparados por nivel alto de la señal de reloj.
- b. Luego hacer lo mismo, pero cuando se activan en flanco de bajada.

