

Sistemas Digitales. GEI. Primer curso.

Ejercicios de repaso. Temas 3 y 4.

Nota: Estos ejercicios están destinados a repasar material de la asignatura por cuenta del alumno. No es necesario entregarlos resueltos.

1. Sea la función lógica:

$$f(a, b, c, d) = \bar{a} c + a b d + a \bar{b} \bar{d}$$

Implementar esta función utilizando únicamente multiplexores 4 a 1. No existen indiferencias en la función.

2. Construir a partir de puertas lógicas un codificador 4 a 2 cuyas entradas sean activas a nivel bajo. Diseñarlo con prioridad, de acuerdo con la siguiente tabla donde los valores x indican que se cumple lo mismo para todas las combinaciones que tengan tanto un 0 como un 1 en la posición en que está la x:

i_0	i_1	i_2	i_3	a	b
0	1	1	1	0	0
x	0	1	1	0	1
x	x	0	1	1	0
x	x	x	0	1	1

3. Sea la función lógica

$$f(a, b, c, d) = \bar{a} c + a b d + a \bar{b} \bar{d}$$

Implementar esta función utilizando únicamente decodificadores 2 a 4 y puertas OR. No existen indiferencias en la función. Utilizar decodificadores con una entrada de activación activa en alta.

4. Construir un Sistema que acepte como entradas tres números de cuatro bits codificados en binario puro y proporcione como salida el número mayor.
5. Sea la función lógica

$$f(a, b, c, d) = \sum m(0, 2, 4, 5, 6, 11, 12, 14)$$

Implementar esta función utilizando únicamente un multiplexor 8 a 1 y un inversor.

6. Diseñar con dispositivos MSI (decodificadores, codificadores, multiplexores o demultiplexores) y sin utilizar puertas lógicas un dispositivo que reciba como entrada números comprendidos entre el 0 y el 15 en formato binario puro y genere una salida que puede tomar 3 valores: igual a 1 si la entrada está comprendida entre el 0 y el 5, igual a 2 si la entrada está entre el 6 y el 10, e igual a 3 si la entrada está entre el 11 y el 15.

SISTEMAS DIXITAIS XANEIRO 2022 CONVOCATORIA ORDINARIA

1. (2 puntos) Resolve as seguintes cuestións:

(a) (0.5 puntos) Completa a seguinte táboa:

Decimal	SM	C1	C2
	1000		
		1000	
			1000

(b) (0.5 puntos) Demostrar se a seguinte expresión é a máis simplificada que se pode obter para a función f empregando operadores AND, OR, NOT. No caso de que a resposta sexa **non** obter a expresión máis simplificada. $f(a, b, c, d) = (\bar{a}bc) + (\bar{a}d)$

(c) (0.5 puntos) Realiza a función $g(a, b, c, d) = \overline{abcd} \cdot \bar{d}$ empregando unicamente un DEMUX e portas lóxicas.

(d) (0.5 puntos) Realiza a función $f = \prod(4, 5, 6, 7, 8, 10, 12, 13, 14) \cdot d(1, 2, 3)$ empregando soamente un MUX de catro entradas (MUX de 4:1)

2. (2.5 puntos) Diseñar un sistema secuencial síncrono que en cada ciclo de reloj recibe como entrada una de las direcciones Norte, Sur, Este, Oeste y activa una salida Z cuando se hayan detectado en la entrada las secuencias N, E, E o S, E, E. Diseñar este sistema como un sistema secuencial síncrono de Mealy utilizando biestables tipo D, dibujando el diagrama de estados y la tabla de estados utilizando el mínimo número posible de estados. Utilizar biestables tipo D.

3. (2 puntos) Diseñar un contador síncrono ascendente que cuente de 0 a 6 y que disponga de una entrada de carga síncrona llamada L que permita que el usuario cargue la cuenta que indique el usuario para seguir contando a partir de ella. Cuando L tome valor 1 el contador cargará en el contador la cuenta que indique el usuario mediante una entrada X del número de bits que sea necesario. Hay que realizar el diseño mediante biestables JK activos en flanco de subida. Los biestables NO disponen de señales preset (puesta a 1) ni de clear (puesta a 0).

4. (2.25 puntos) Diseñar un sistema que en cada ciclo de la señal de reloj recibe como entrada dos números A y B codificados cada uno de ellos en C2 de 4 bits incluído el bit de signo y que proporciona una salida de 5 bits. Esta salida en el caso de que el ciclo de reloj sea par consiste en un número de 4 bits que se corresponde a la suma del mayor de los números de entrada más uno y un bit adicional de salida que se activa si el valor de la suma no es correcto por haber desbordamiento. En el caso de que el ciclo de reloj sea impar, la salida tiene todos los bits a 0.

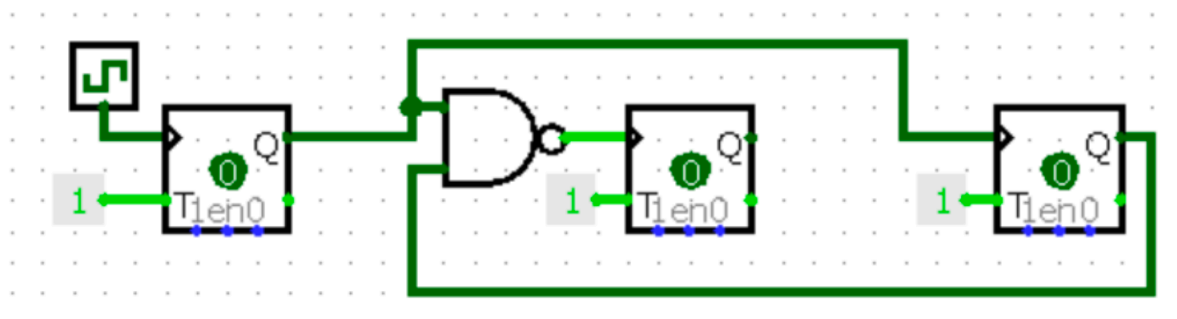
NOTA:

Para realizar este diseño se pueden usar módulos y puertas lógicas con las siguientes restricciones:
En cuanto a comparadores solo se puede usar un único comparador de números binarios sin signo de 4 bits.
En cuanto a los sumadores/restadores solamente se puede usar un modelo sumador de números binarios de 4 bits. No es válido para realizar la comparación y transformar los números a binarios para comparadores sino que deben compararse directamente los números codificados en C2.

5. (1.5 puntos) Dado o circuito dixital da figura no que interveñen 3 biestables tipo T razoa as seguintes preguntas:

(a) (0.5 puntos) Completar el cronograma de la figura debuxando as sinais a0, a1, a2 durante todos os ciclos de reloxo que se amosan na figura e explicar brevemente la transiciones que se producen.

- (a) **(0.5 puntos)** Dacordo cos valores obtidos tras realizar o cronograma, indicar qué secuencias de valores a2, a1, a0 segue o circuito.
- (b) **(0.5 puntos)** Indicar que función hace el circuito



SISTEMAS DIGITALES ENERO 2022

1.(2p)

a)

Decimal	SM	C1	C2
	1000		
		1000	
			1000

b) Demostrar si la siguiente es la expresión más simplificada que puede obtenerse para la función f utilizando operadores *AND*, *OR*, *NOT*. En caso de que la respuesta sea no, obtener la expresión más simplificada. $f(a, b, c, d) = (\overline{a}bc) + (\overline{a}d)$

c) Realiza la función $g(a, b, c, d) = \overline{abc\overline{d}} \cdot \overline{d}$ empleando únicamente un *DEMUX* y puertas lógicas.

d) Realiza la función $f = \prod(4,5,6,7,8,10,12,13,14) \cdot d(1,2,3)$ empleando solamente un multiplexor de 4 entradas (*MUX* de 4:1)

2.(2'5p) Diseñar un sistema secuencial síncrono que en cada ciclo de reloj recibe como entrada una de las direcciones Norte, Sur, Este, Oeste y activa una salida Z cuando se hayan detectado en la entrada las secuencias N, E, E o S, E, E. Diseñar este sistema como un sistema secuencial síncrono de Mealy utilizando biestables tipo D, dibujando el diagrama de estados y la tabla de estados utilizando el mínimo número posible de estados. Utilizar biestables tipo D.

3.(2p) Diseñar un contador síncrono ascendente que cuente de 0 a 6 y que disponga de una entrada de carga síncrona llamada L que permita que el usuario cargue la cuenta que indique el usuario para seguir contando a partir de ella. Cuando L tome valor 1 el contador cargará en el contador la cuenta que indique el usuario mediante una entrada X del número de bits que sea necesario. Hay que realizar el diseño mediante biestables JK activos en flanco de subida. Los biestables NO disponen de señales preset (puesta a 1) ni de clear (puesta a 0).

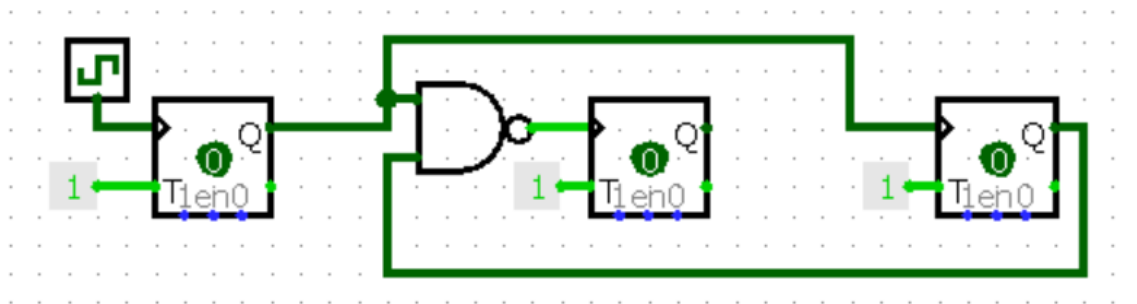
4.(2,25p) Diseñar un sistema que en cada ciclo de la señal de reloj recibe como entrada dos números A y B codificados cada uno de ellos en C2 de 4 bits incluido el bit de signo y que proporciona una salida de 5 bits. Esta salida en el caso de que el ciclo de reloj sea par consiste en un número de 4 bits que se corresponde a la suma del mayor de los números de entrada más uno y un bit adicional de salida que se activa si el valor de la suma no es correcto por haber desbordamiento. En el caso de que el ciclo de reloj sea impar, la salida tiene todos los bits a 0.

NOTA: Para realizar este diseño se pueden usar módulos y puertas lógicas con las siguientes restricciones: En cuanto a comparadores solo se puede usar un único comparador de números

binarios sin signo de 4 bits. En cuanto a los sumadores/restadores solamente se puede usar un modelo sumador de números binarios de 4 bits. No es válido para realizar la comparación y transformar los números a binarios para comparadores sino que deben compararse directamente los números codificados en C2.

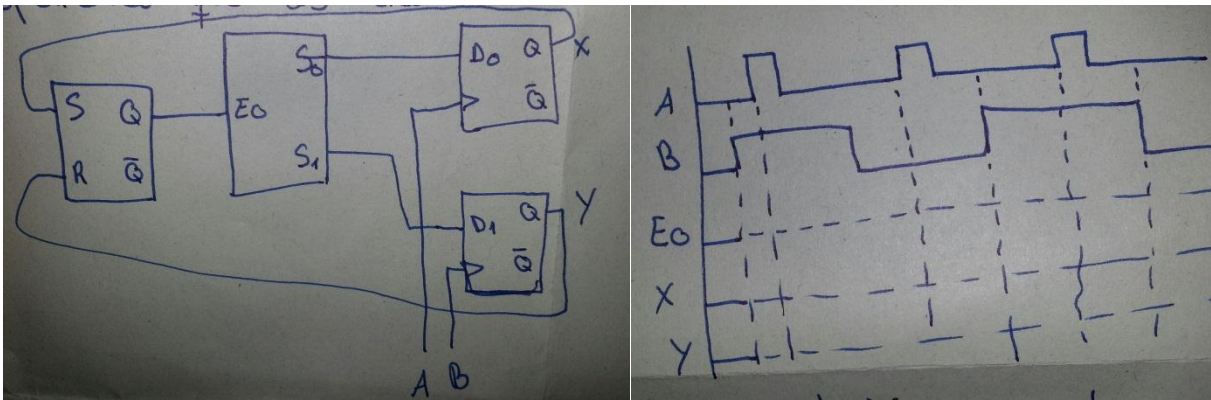
5.(1,5p) Dado el circuito digital de la figura en el que intervienen 3 biestables tipo T:

- Completar el cronograma de la figura dibujando las señales a_0, a_1, a_2 durante todos los ciclos de reloj que se muestran en la figura y explicar brevemente las transiciones que se producen.
- De acuerdo con los valores obtenidos tras realizar el cronograma, indicar qué secuencias de valores $a_2 a_1 a_0$ sigue el circuito.
- Indicar qué función hace el circuito



Sistemas Digitales

1. (1,5 puntos) Diseñar un contador binario síncrono módulo 8 que disponga de líneas para activar borrado y carga en paralelo asíncronas. Realizar el diseño a partir de biestables JK activos en flanco de subida que tienen entradas de Preset (puesta a 1) y Clear (puesta a 0) asíncronas.
2. (2,25 puntos) Diseñar un sistema secuencial síncrono que tiene una entrada x y una salida y. Por la entrada llegará un bit en cada ciclo de reloj de tal forma que si se producen la subsecuencia 101 o la 010 la salida será 1 en el último ciclo de dichas subsecuencias y 0 en todos los demás casos. Se pueden producir solapamiento entre ambas secuencias pero no la de una consigo misma. Diseñarlo como sistema de Mealy indicando el diagrama de estados y la tabla de estados, realizando la simplificación del número de estados y aplicando las reglas de codificación binaria de los estados de forma que el sistema sea lo más sencillo posible. Representar gráficamente el circuito.
3. (1,5 puntos) Realizar los siguientes apartados:
 - Representar los números A= -273 y B= 151 en complemento a 2 y signo-magnitud con 10 bits. Realizar la operación A-B en complemento a 2 indicando los pasos a seguir para realizar las operaciones. Indicar de forma razonada cuál es el número de bits para representar el resultado.
 - Se recibe el código Hamming de 7 bits más uno de paridad total calculada sobre el resto del mensaje: 00001000. Sabiendo que los bits de paridad total se han calculado con paridad par, indicar si ha habido errores en el mensaje, posición y código corregido.
4. (1,75 puntos) Dado el circuito digital de la figura, con entradas A, B y salidas X, Y. Completar el cronograma suponiendo que los biestables están a cero.



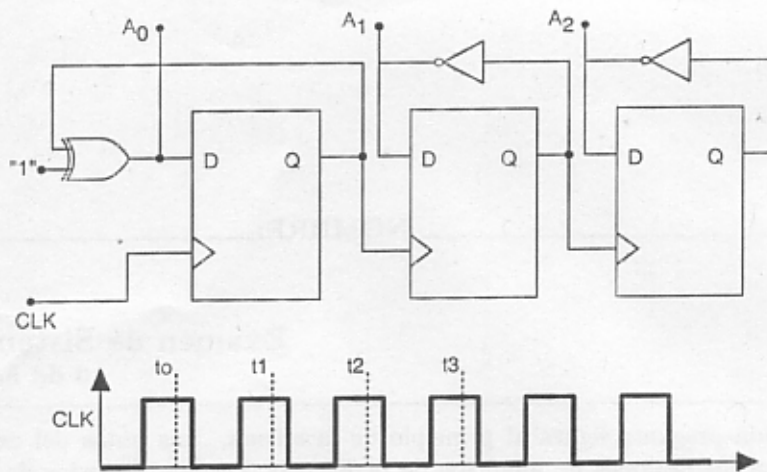
5. (1,5 puntos) Ejercicio del Hombre, Lobo, oVeja y Col g(H, L, V, C) sacar la función sabiendo que es 1 cuando alguien es comido y 0 en el resto de los casos.
6. (1,5 puntos) Sean las funciones de conmutación siguientes:
 - $f(a, b, c, d) = \sum m(0, 1, 3, 9, 11, 12) + \sum d(4, 8, 10, 14, 15)$
 - $g(a, b, c, d) = g(H, L, V, C)$ del ejercicio 5
 - $h(a, b, c, d) = \overline{(a + b)}c + \bar{a} + \bar{b}d$
 - a) Implementar f con un circuito mínimo usando sólo puertas NAND, si es posible.
 - b) Implementar f usando 1 MUX 4:1 y el mínimo número de puertas posible.
 - c) Implementar f, g y h con sólo un decodificador y el mínimo número de puertas posible.
 - d) Implementar h usando un DEMUX con salidas activas en baja, 4 líneas de selección y el hardware adicional que sea necesario.

APELLIDOS: _____ NOMBRE: _____

Examen de Sistemas Digitales
16 de Febrero de 2006

Notas: La puntuación de cada pregunta figura al principio de la misma. Las notas del examen saldrán el día 3 de Marzo a las 18:00 en los tabloneros de anuncios de la Escuela Técnica Superior de Ingeniería y del Departamento de Electrónica. La revisión de exámenes será en los días siguientes a la fecha de puesta de notas del examen y se indicará en la misma hoja en la que se publiquen dichas notas.

1. (0.75 puntos) Dada la siguiente igualdad: $(100)_{10} = (400)_b$, determinar el valor de la base b . ¿Cómo se expresa el número $(104)_{10}$ en la base b ?
2. (0.75 puntos) Representa los números decimales -2 y -30 en complemento a 2 con el menor número posible de bits que permita que al sumarlos no se produzca overflow. Justificar la respuesta.
3. (1.75 puntos) Diseñar un circuito de control de la siguiente máquina trituradora. Esta máquina consiste en un embudo que en su parte inferior tiene un sensor de nivel que detecta cuando la máquina está medio llena (Sensor S1) y otro en la parte superior que detecta cuando está totalmente llena (sensor S2). Es decir, los sensores detectan el nivel de los elementos a triturar. La máquina dispone al final del embudo de dos motores trituradores M1 y M2. Cuando la máquina se encuentra llena del todo, tienen que entrar en funcionamiento ambos trituradores, cuando se encuentra medio lleno, sólo tiene que funcionar uno cualquiera de ellos, mientras que si no se detecta ningún elemento a triturar, ambos motores se han de parar. Dicha máquina tiene un mecanismo de emergencia a través de un conmutador de trituración de tal forma que cuando está conectado la máquina opera según su contenido, mientras que si está desconectado, la máquina ha de pararse independientemente de su contenido. Diseñar el sistema de las 3 formas siguientes:
 - Utilizando únicamente puertas lógicas.
 - Utilizando al menos un demultiplexor de 1 a 16.
 - Utilizando únicamente multiplexores de 4 a 1.
4. (0.5 puntos) Aplicando las leyes de Morgan obtener el complementado de la función f siguiente expresado como producto de máximos. $f(a, b, c) = \sum m(0, 2, 5, 7)$
5. (1.25 puntos) El sistema digital que se muestra a continuación se utiliza para generar un número binario de tres bits ($A_2A_1A_0$). CLK es la única entrada del sistema, la cual evoluciona a lo largo del tiempo tal como muestra el cronograma. Indicar los valores de $A_2A_1A_0$ que genera el circuito, en los instantes t_0 , t_1 , t_2 y t_3 y el número decimal que forman esos valores de $A_2A_1A_0$. Se sabe que en el instante inicial todos los biestables tienen sus salidas a 0.



6. (1.5 puntos) Se desea automatizar la obtención de la nota que corresponde a un alumno. Para cada alumno el circuito recibe en serie tres bits binarios, cada uno de estos bits indica si el alumno ha superado (bit a 1) la primera parte, la segunda y la tercera, respectivamente. El sistema tiene tres salidas NOTA5, NOTA7 y NOTA10, que indican la nota obtenida. El alumno saca un 5 si sólo ha superado la primera parte y en ese caso se pondrá la salida NOTA5 a 1 para indicarlo. El alumno saca un 7 (se indica mediante un 1 en NOTA7) si ha superado la primera parte y la segunda parte. Por último, el alumno saca un 10 (se indica mediante un 1 en NOTA10) si ha superado las tres partes. Diseñar el circuito correspondiente. Tener en cuenta que se van a recibir 3 bits correspondientes al primer alumno seguidos de otros tres bits que corresponderán a la nota del siguiente alumno y así sucesivamente. Es necesario utilizar un registro de desplazamiento para realizar el diseño.
7. (1.5 puntos) Construir un contador asíncrono que siga la secuencia de conteo 0, 1, 2, 3, 5, 0,... a partir de un contador binario. Para ello partir de un contador binario asíncrono que cuenta 8 estados (0, 1, 2, 3, 4, 5, 6, 7, 0,...). Utilizar biestables con señales de preset y clear y las puertas lógicas que sean necesarias.
8. (2 puntos) Sobre una única línea X se envía una información sincronizada con una señal de reloj. La información es correcta siempre que no haya dos o más unos consecutivos o cuatro o más ceros consecutivos en cuyo caso se producirá un error. Realizar el diseño del sistema +teniendo en cuenta que tiene una única salida que se pone a uno si se detecta un error en la transmisión y que permanece a ese valor mientras dure el error.

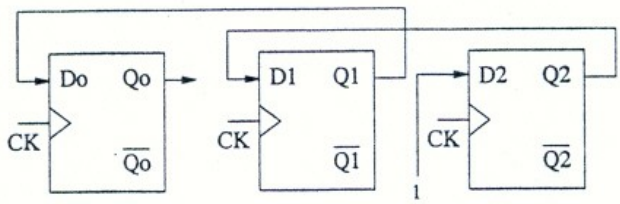
n=84
0,05

APELLIDOS: _____ NOMBRE: _____

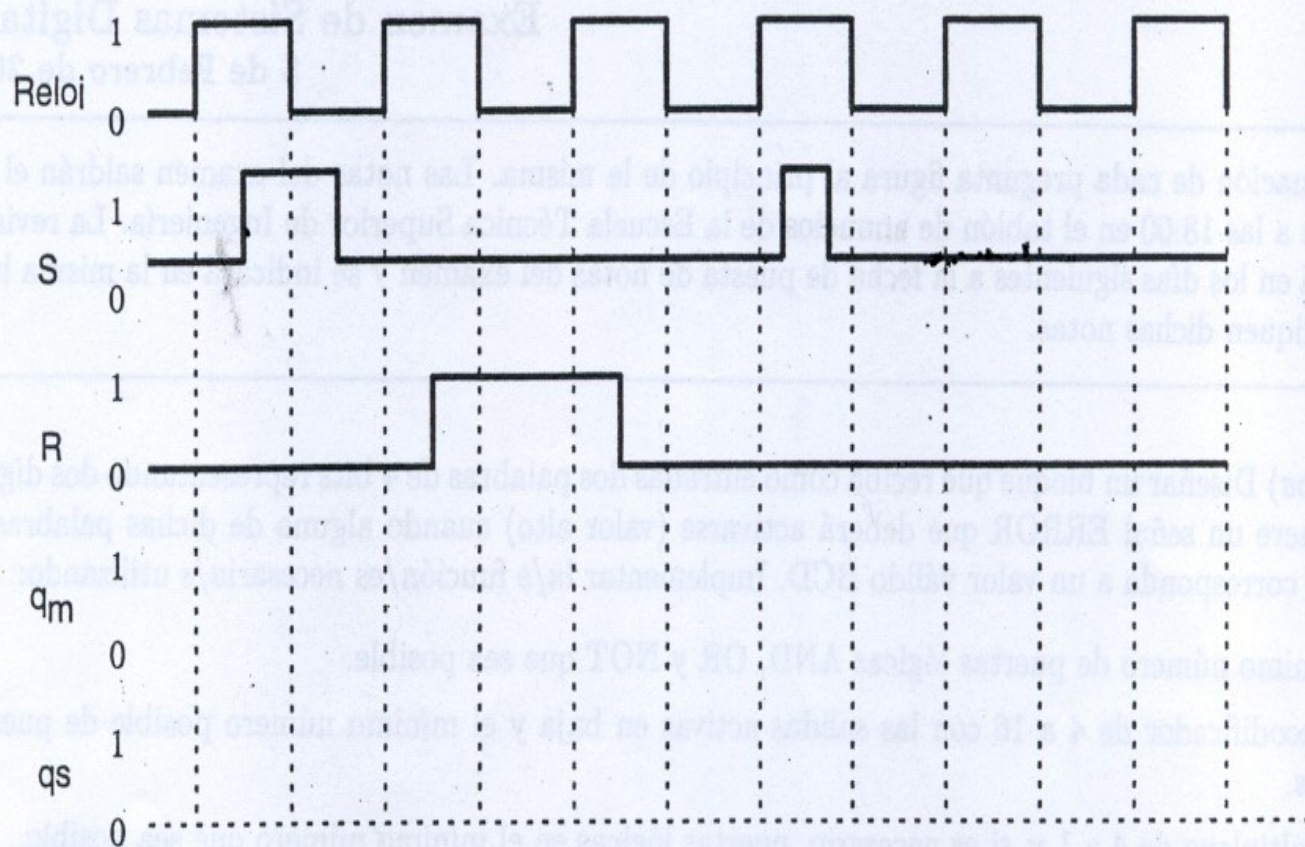
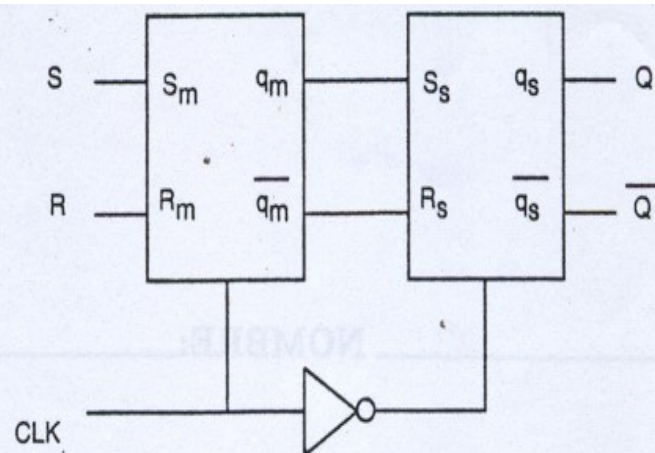
Examen de Sistemas Digitales
5 de Febrero de 2004

Notas: La puntuación de cada pregunta figura al principio de la misma. Las notas del examen saldrán el día 16 de Septiembre a las 18:00 en el tablón de anuncios de la Escuela Técnica Superior de Ingeniería. La revisión de exámenes será en los días siguientes a la fecha de puesta de notas del examen y se indicará en la misma hoja en la que se publiquen dichas notas.

- (1.5 puntos)** Diseñar un bloque que reciba como entradas dos palabras de 4 bits representando dos dígitos BCD y genere un señal ERROR que deberá activarse (valor alto) cuando alguna de dichas palabras de entrada no corresponda a un valor válido BCD. Implementar la/s función/es necesaria/s utilizando:
 - El mínimo número de puertas lógicas AND, OR y NOT que sea posible.
 - Un decodificador de 4 a 16 con las salidas activas en baja y el mínimo número posible de puertas lógicas.
 - Un multiplexo de 4 a 1 y, si es necesario, puertas lógicas en el mínimo número que sea posible.
 - Solamente puertas NAND si es posible.
- (1 punto)** ¿Qué es un conjunto universal de módulos también llamado conjunto completo de conectivos? Supongamos un circuito que implementa la función de computación $F(a, b, c) = ac + \bar{b}$. Determinar razonadamente si este circuito constituye un conjunto universal de módulos.
- (1.5 puntos)** Un sistema que mide periódicamente la temperatura de un experimento de laboratorio, da la información de salida mediante números de 4 bits en notación complemento a dos. Diseñar un circuito que detecte si la temperatura medida por el sistema en un momento determinado se encuentra en el intervalo cerrado $[-5, 4]$ (incluidos los valores -5 y 4). Utilizar para realizar este diseño exclusivamente módulos MSI que sean comparadores de magnitud del número de bits que sea necesario y puertas lógicas de dos entradas. Los módulos comparadores de magnitud que se utilicen deben tener tres salidas ($A > B$, $A = B$ y $A < B$).
- (1 punto)** Indicar qué tipo de circuito secuencial es el siguiente y los valores de Q_0 , Q_1 y Q_2 , cuando hayan transcurrido tres ciclos de la señal de reloj. Para ello considerar que inicialmente (antes de que llegue el primer ciclo del reloj) $Q_0 = 0$, $Q_1 = 0$, $Q_2 = 0$.



- (1.5 punto)** Encontrar la forma de onda de salida del siguiente circuito que se muestra a continuación para la secuencia de entrada del diagrama.
Si consideramos el conjunto de los dos biestables como un caja negra que se comporta como un único biestable de entradas R y S y salidas Q y Q-bar, ¿este biestable resultante estará activado por flanco positivo, por flanco negativo o por nivel?



6. (1.5 puntos) Diseñar a partir de biestables y puertas lógicas un contador **asíncrono** que cuente según la siguiente secuencia: 0, 1, 2, 3, 6, 7, 0, 1, 2, 3, 6, 7, Considerar que los biestables tienen entradas de *Clear* y *Preset* asincronas. Utilizar la mínima cantidad de biestables y puertas que sea posible.
7. (2 puntos) Diseñar un sistema secuencial síncrono que tenga una sola línea de entrada X que puede tomar valores 0 o 1 y una salida Z, que toma valor 1 solo cuando haya recibido como entrada X un 1 durante 3 o más ciclos de reloj consecutivos. Diseñarlo como sistema de Mealy indicando el diagrama de estados y la tabla de estados, realizando minimización del número de estados y codificación binaria de los estados de forma que sea lo más eficiente posible. Se puede utilizar cualquier tipo de biestables.