

## SISTEMAS DIGITALES ENERO 2022

### 1.(2p)

a)

Decimal	SM	C1	C2
	1000		
		1000	
			1000

b) Demostrar si la siguiente es la expresión más simplificada que puede obtenerse para la función  $f$  utilizando operadores *AND*, *OR*, *NOT*. En caso de que la respuesta sea no, obtener la expresión más simplificada.  $f(a, b, c, d) = (\overline{a}bc) + (\overline{a}d)$

c) Realiza la función  $g(a, b, c, d) = \overline{abc\overline{d}} \cdot \overline{d}$  empleando únicamente un *DEMUX* y puertas lógicas.

d) Realiza la función  $f = \prod(4,5,6,7,8,10,12,13,14) \cdot d(1,2,3)$  empleando solamente un multiplexor de 4 entradas (*MUX* de 4:1)

2.(2'5p) Diseñar un sistema secuencial síncrono que en cada ciclo de reloj recibe como entrada una de las direcciones Norte, Sur, Este, Oeste y activa una salida Z cuando se hayan detectado en la entrada las secuencias N, E, E o S, E, E. Diseñar este sistema como un sistema secuencial síncrono de Mealy utilizando biestables tipo D, dibujando el diagrama de estados y la tabla de estados utilizando el mínimo número posible de estados. Utilizar biestables tipo D.

3.(2p) Diseñar un contador síncrono ascendente que cuente de 0 a 6 y que disponga de una entrada de carga síncrona llamada L que permita que el usuario cargue la cuenta que indique el usuario para seguir contando a partir de ella. Cuando L tome valor 1 el contador cargará en el contador la cuenta que indique el usuario mediante una entrada X del número de bits que sea necesario. Hay que realizar el diseño mediante biestables JK activos en flanco de subida. Los biestables NO disponen de señales preset (puesta a 1) ni de clear (puesta a 0).

4.(2,25p) Diseñar un sistema que en cada ciclo de la señal de reloj recibe como entrada dos números A y B codificados cada uno de ellos en C2 de 4 bits incluido el bit de signo y que proporciona una salida de 5 bits. Esta salida en el caso de que el ciclo de reloj sea par consiste en un número de 4 bits que se corresponde a la suma del mayor de los números de entrada más uno y un bit adicional de salida que se activa si el valor de la suma no es correcto por haber desbordamiento. En el caso de que el ciclo de reloj sea impar, la salida tiene todos los bits a 0.

**NOTA:** Para realizar este diseño se pueden usar módulos y puertas lógicas con las siguientes restricciones: En cuanto a comparadores solo se puede usar un único comparador de números

binarios sin signo de 4 bits. En cuanto a los sumadores/restadores solamente se puede usar un modelo sumador de números binarios de 4 bits. No es válido para realizar la comparación y transformar los números a binarios para comparadores sino que deben compararse directamente los números codificados en C2.

5.(1,5p) Dado el circuito digital de la figura en el que intervienen 3 biestables tipo T:

- Completar el cronograma de la figura dibujando las señales  $a_0, a_1, a_2$  durante todos los ciclos de reloj que se muestran en la figura y explicar brevemente las transiciones que se producen.
- De acuerdo con los valores obtenidos tras realizar el cronograma, indicar qué secuencias de valores  $a_2 a_1 a_0$  sigue el circuito.
- Indicar qué función hace el circuito

