

1. (2 puntos) Indica que valor representan cada una de las siguientes secuencias de bits según el estándar IEEE754 para la representación de números en punto flotante de simple precisión.

1	00000000	100000000000000000000000
1	11111111	000000000000000000000000
0	00011110	010000000000000000000000
1	10000001	100000000000000000000000

- Explica por qué en una operación de suma la normalización (en caso de ser necesaria) se realiza desplazando el resultado a la izquierda y en una resta (en caso de ser necesaria) se realiza desplazando el resultado a la derecha. Ilustra ambos casos con un ejemplo.
- Indica cuantos bits habría que añadir y donde si queremos modificar este formato para que el menor número normalizado positivo representable sea el  $2^{-510}$ .

2. (2 puntos) Dada la secuencia de instrucciones del procesador MIPS de 32 bits:

lw \$4, -8 (\$3)

addi \$2, \$2

bne \$2, \$0, salto

j salto 2

Teniendo en cuenta que las instrucciones del MIPS tienen 6 bits para el campo de operación y 32 registros, y suponiendo que inicialmente el contenido del registro \$2 es 5, el del registro \$3 es 0x10011000 y que la primera instrucción se encuentra en la dirección [0x00400010].

- a) Calcula a qué dirección de memoria está accediendo la instrucción lw y cuál es su codificación (haz todas las cuentas y muestra el resultado en hexadecimal, supón que el código de operación en esta instrucción es 100011).
  - b) Si la codificación de la instrucción bne es 0x1440FFFD. Calcula cual es la dirección a la que se realiza el salto (haz todas las cuentas y muestra el resultado en hexadecimal) ¿Es un salto hacia adelante o hacia atrás?
  - c) Indica las direcciones mínima y máxima a las que se puede acceder con la instrucción j.
3. (2 puntos) La instrucción jal realiza un salto incondicional, para ejecutar una subrutina y guarda la dirección de retorno en \$ra=31. El único argumento de la instrucción es el nº de palabras que se saltarán, por ejemplo jal 2000.

Considerando los caminos de datos y control vistos en clase para el MIPS (figura) responde a los siguientes apartados razonando.

- a) Añade el hardware necesario para implementar la instrucción.
- b) Especifica el formato que se usará para codificar la instrucción, los campos en que se dividirá la instrucción, así como el tamaño y el significado de cada campo.
- c) Especifica sobre la figura la ruta de datos que estará activa cuando se ejecute la instrucción.

4. (2 puntos) Dado un ordenador con direcciones de K bits, una memoria direccionable por B bytes, una caché de S bytes y asociativa por conjuntos de A vías, asumiendo que K, S, B y A son potencias de 2. Determina en función de K, S, B, A.
- a) El nº de conjuntos de la caché.  
 $\text{Nº de líneas} = \text{tam caché} / \text{tam línea} = S/B$   
 $\text{Nº conjuntos} = \text{Nº líneas} / \text{vías (líneas por conjunto)} = (S/B)/A$
  - b) El nº de bits de la etiqueta de la dirección.  
 $\text{Etiqueta} = K - \log_2(A) - \log_2(B)$
  - c) El nº de bits de la caché.  
 $S * 8$
  - d) Considerando S = 256 KB, B = 16, y A = 128, determina los valores que deben tener X, Y y Z para que las dos direcciones F00101A7 y 0B3XYZAW vayan al mismo conjunto.  
 $\log_2(128) = 10$  bits para el conjunto  
Tienen k coincidir los bits del conjunto en ambas direcciones para que pertenezcan al mismo conjunto.
5. (2 puntos) Dado un computador con una CPU que ejecuta 2000 millones de instrucciones por segundo y un bus PCI con una velocidad de transferencia de 1Gb/s.
- a) Calcula cual es la velocidad de transferencia máxima posible con una E/S con interrupciones considerando que el procesamiento de la interrupción necesita 200 instrucciones para la transferencia de 32 bits de datos.
  - b) Calcula cual es la velocidad de transferencia máxima posible con una E/S con DMA, considerando que se necesitan 2000 instrucciones para el inicio de la transferencia y otras 1000 para la finalización y se realizan transferencias de bloques de 2KB de datos.
  - c) Si en el próximo año se consiguiese duplicar la frecuencia de la CPU pero no la del BUS, calcula cual sería el aumento del rendimiento en los casos de los apartados a y b.