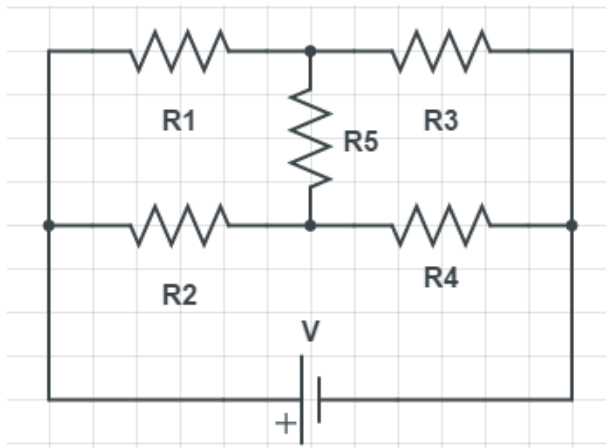


Ejercicio 1

Calcular V_{R5} Y I_{R5} usando el método de Thévenin (voltaje e intensidad en $R5$):



$$R_1=40K\Omega$$

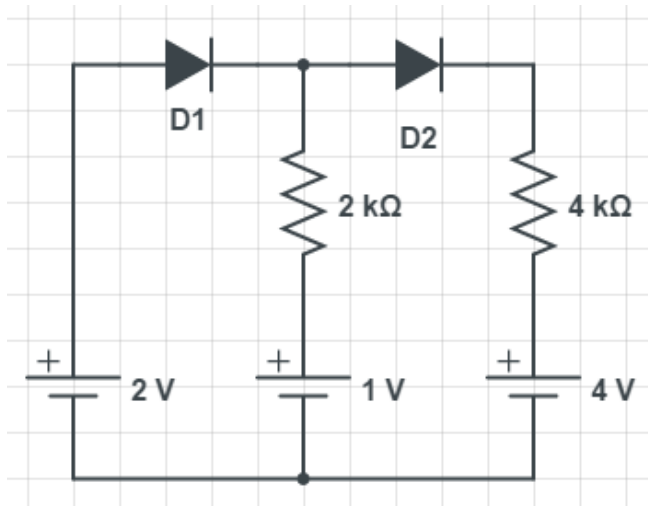
$$R_2=R_5=20K\Omega$$

$$R_3=60K\Omega$$

$$R_4=80K\Omega$$

$$V=20V$$

Ejercicio 2



Calcular las intensidades y tensiones en los diodos, usando el modelo con tensión de despegue $V_\gamma=0.7V$

Ejercicio 3

Relaciona los conceptos (uno de una columna con uno de la otra). Razona tu respuesta.

Amplificador sensor

Lógica relativa

Condensador MOS

Movilidad

Lógica de transistores de paso

Generación térmica

Concentración intrínseca

Lógica dinámica

Unión PN en polarización directa

Capacidad

Tamaño transistores

Corriente de difusión

Restricción conexión en cascada

Corriente de arrastre

Modo de vaciamiento

Potencia dinámica

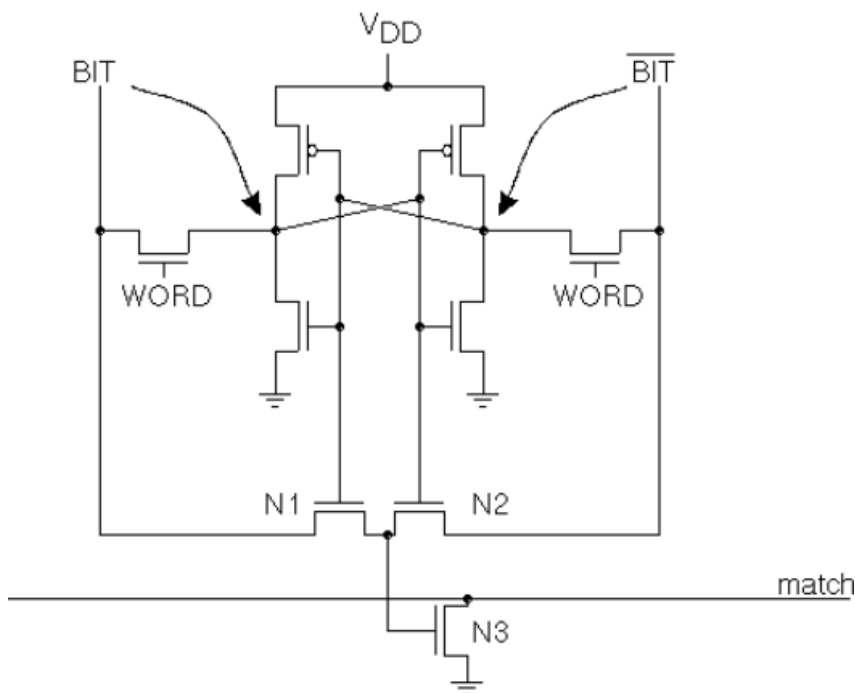
Compacidad (compacto)

Corriente de saturación en inversa

Memoria ROM pseudoNMOS

Proporcional a la temperatura

¿Qué tipo de memoria es esta? Explica su funcionamiento y las restricciones en el tamaño de los transistores



Ejercicio 5

Función: $A+B+C+DE+FGH$

Si necesitamos que el retardo de propagación sea inferior a 15ns, el tamaño máximo de los transistores sea 4 veces mayor que el transistor más pequeño, y sabiendo que se conectará a un inversor CMOS con $V_{IL}=1V$, se debería implementar en CMOS, pseudoNMOS o lógica dinámica?

 $C_L = 1 \text{ pF}$

Si no tienes ni idea de cómo hacer el 5: Yo probaría las distintas implementaciones con los transistores del tamaño máximo que permite la limitación que tamaño que se impone para ver a ver si es posible alcanzar un retardo inferior a 15ns. Luego comprobaría el criterio de V_{IL} .