

clase.

porqué.

Universidade de Santiago de Compostela Escola Técnica Superior de Enxeñería Grao en Enxeñería Informática Curso: 2017/18



— Fundamentos de Computadores. Examen oportunidad ordinaria. 30/05/2018. —

N	Von	ne:		
	1.	Supón que un programa requiere la ejecución de 50 millones de instrucciones en punto flotante, 110 (millones de instrucciones con enteros, 80 millones de instrucciones de acceso a memoria y 16 millones de instrucciones de salto. El CPI para cada uno de los tipos de instrucción es 1, 1, 4 y 2 respectivamente. Si la frecuencia del procesador es de 2 GHz, ¿es posible hacer que un programa se ejecute el doble de rápido solamente mejorando el CPI de las instrucciones en punto flotante?	/1 pt	s)
	2.	Queremos crear un nuevo tipo de datos short float que utilice el mismo formato que el IEEE 754 pero (con solo 16 bits, de los cuales se usa 1 bit de signo, 5 de exponente y el resto para la mantisa normalizada. Se mantiene el esquema del IEEE 754 para representar el ±infinito, los NaN y los números subnormales. Indica (expresando los resultados en base 10):	/2,5	pts
		(a) (0,25 pts) Valor del exceso para el exponente.		
		(b) $(0,75 \text{ pts})$ Valor máximo positivo (menor que $+\infty$) que se puede representar.		
		(c) (0,75 pts) Valor mínimo positivo (mayor que 0) normalizado.		
		(d) (0,75 pts) Valor mínimo positivo (mayor que 0) absoluto (incluyendo números subnormales).		
]	El siguiente número hexadecimal 0x21E7007F corresponde a una instrucción MIPS addi. Suponiendo que los registros del \$1 al \$31 del MIPS contienen un valor igual al número de registro (es decir, \$1 contiene un 1, \$2 un 2 y así sucesivamente), determinar qué registro se modifica y cuál es su nuevo valor después ejecutar la instrucción anterior.	(/2	pts
	4. I	La imagen adjunta muestra una cache de datos asociativa por conjuntos de un sistema BigEndian, con SA MIPS de 32 bits (direcciones y palabras de 32 bits), y direccionamiento de memoria a nivel de byte.	(/2	,5 p
	a	(0,5 pts) ¿Cuántos conjuntos y vías tiene la cache? ¿cuál es el tamaño de la línea en bytes?		
	b) (0,5 pts) ¿Cuántos bytes de datos puede almacenar la cache? ¿cuál es el tamaño total, en bits, que ocupa la cache completa?		
	c) (1,5 pts) Supón que los registro \$t0, \$t1 y \$t2 almacenan los valores 0x10AB3DFC, 0x07C88428 y 0xA420\$4F04, y que se ejecutan las siguientes instrucciones:		
		c1. lw \$s0 0(\$t0) c2. lb \$s1 2(\$t1) c3. lw \$s2 0(\$t2)		
		Indica, para los casos en que sea posible, que valor se almacena en los registros \$50, \$51 y \$52 al finalizar la ejecución de estas instrucciones. Si no es posible determinar ese valor, indica por qué y qué ocurre en la cache (fallos, actualizaciones, reemplazos).		
5.	Re	esponde brevemente a las siguientes cuestiones, razonando la respuesta:	(/2,
	a)	(0,5 pts) ¿Es cierto que la potencia consumida por un microprocesador es directamente proporciona a la frecuencia de trabajó e inversamente proporcional al voltaje de alimentación?	1	
		(0,5 pts) Queremos multiplicar los siguientes números enteros sin signo de 16 bits: 0x4A73 y 0x7F3E siendo el primero el multiplicando y el segundo el multiplicador. Indica el número de operacione (sumas, restas y desplazamientos) que se realizan en la multiplicación si se usa el algoritmo clásico de multiplicación de enteros sin signo que vimos en clase y si se usa el algoritmo de Booth que vimos en	es le	

c) (0,5 pts) Indica el tipo de fallos que pueden ocurrir en una cache totalmente asociativa y razona el

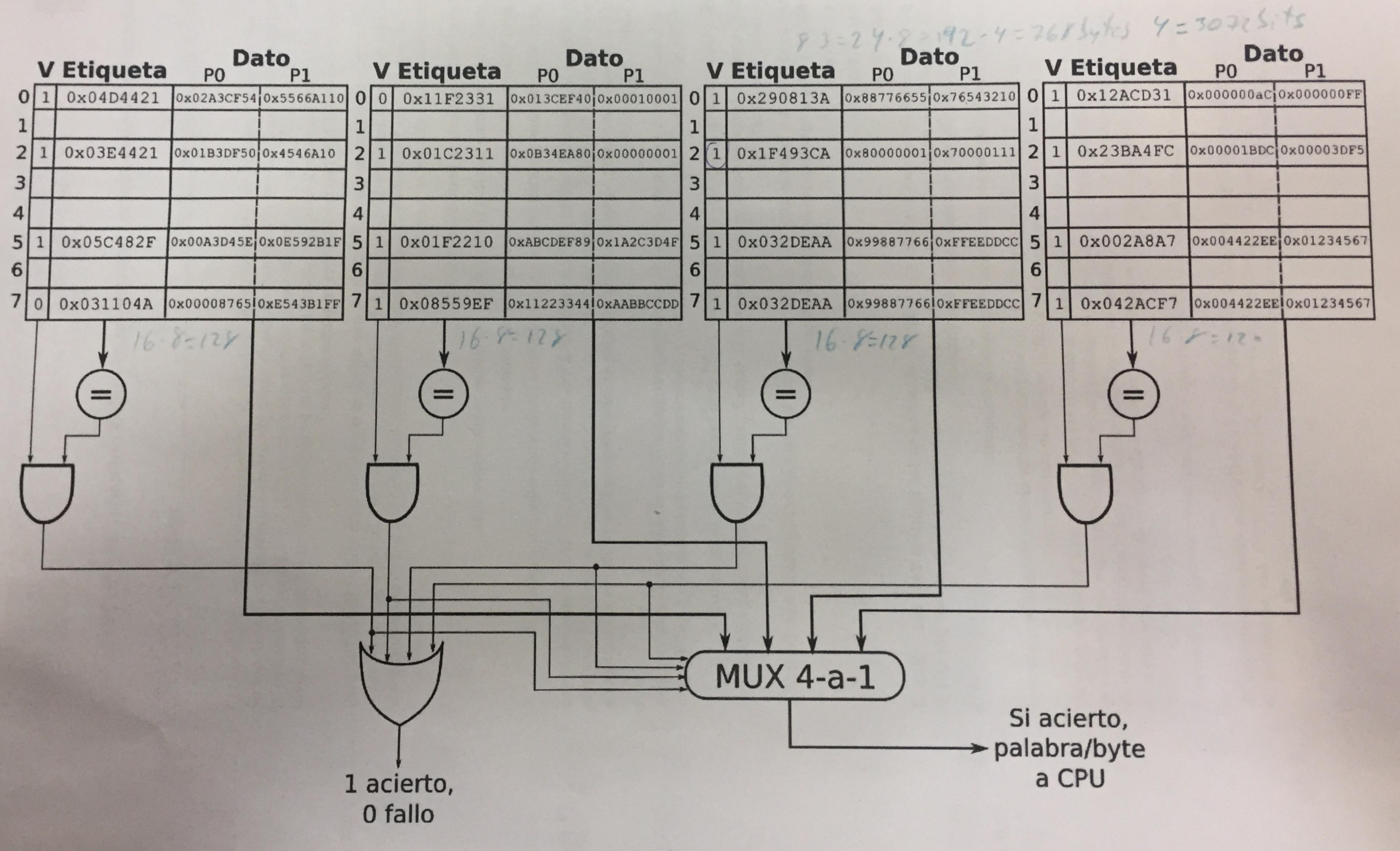
d) (0,5 pts) Una instrucción MIPS jal etiqueta se encuentra en memoria en la dirección 0x01224578,

ejecución de la instrucción jal. ¿Para qué se usa este registro?

e indica un salto a la dirección 0x0122236C. Indica el valor del registro MIPS \$ra al finalizar la

Preceive to de al

de sis nitra



128.4 = 512 34/05