

Organización de Computadoras

Algunas preguntas y ejercicios tomados en 2ª evaluación integradora

1- Realice un diagrama en bloques detallado de un Register File adecuado para una CPU MIPS con una implementación pipeline de 5 etapas (IF, ID, EX, MEM, WB). Justificar.

2- Predictores de saltos.

3- Describa mediante ejemplos los modos de direccionamiento que conozca.

4- Describa los distintos tipos de arquitecturas de conjunto de instrucciones que conozca. De sus ventajas y desventajas.

5- Dada una CPU MIPS con hardware de manejo memoria virtual se pide:

- a) Calcular el tamaño del espacio de direcciones virtuales.
- b) Dar la cota máxima de la cantidad de memoria que efectivamente puede usar un programa.
- c) Calcular el tamaño en bytes de la tabla de traducción de páginas.
- d) Calcular el tiempo de acceso promedio a memoria para una cache direccionada por direcciones virtuales.

Datos:

RAM = 512 MB

SWAP = 256 MB

5 bytes por entrada en tabla de traducción de página.

Tasa de desaciertos de la memoria cache = 5%

Tiempo de acierto = 2 ns.

Tiempo de copiar un bloque completo de memoria principal a memoria cache = 40ns

Tasa de desaciertos del TLB = 3%

Tiempo de actualizar una entrada en TLB = 15 ns.

Tasa de falla de páginas = 0.0001%

Penalidad por falla de página = 3 mseg.

Aclare cualquier hipótesis que realice, y justifique las respuestas.

6- Riesgos de datos. Clasificación de los riesgos de datos. Análisis de todos los tipos de riesgos de datos e ilustración con ejemplos de secuencias de instrucciones para el procesador MIPS con implementación pipeline de 5 etapas (IF, ID, EX, MEM, WB).

7- Se tiene una memoria cache de 8Kbytes, asociativa por conjuntos de grado 2, bloque de 16 bytes y política de reemplazo LRU.

- a- Realice un diagrama en bloques detallado de la memoria cache (incluir el área de tags).
- b- Dar las direcciones para cinco datos A, B, C, D, E de manera tal que accedidos en el orden dado por una CPU MIPS se cumpla con lo siguiente:

I- El acceso a B es hit.

II- C mapea en un conjunto distinto al correspondiente a A.

III- El acceso a E es miss.

c- Indicar en el diagrama del punto 'a' el contenido final de la memoria cache (área de datos y área de tags).

Las direcciones se deben dar en hexadecimal. No se pueden hacer hipótesis acerca del contenido previo de la cache. Justificar sus respuestas.

8- Procesamiento multihilo (multithreading).

9- Memoria virtual.

10- Codifique la línea de código $A = B + C$ para las arquitecturas a) stack, b)acumulador, c) Load-Store, d) Memoria-Memoria. Explique brevemente las ventajas y desventajas de cada una de ellas.

11- Colocar en los casilleros de la siguiente tabla la cantidad de bytes accedidos para cada uno de los subsistemas correspondientes a cada columna de la mencionada tabla, durante el proceso de acceder a un dato en memoria solicitado por la CPU. Justificar su respuesta con un breve párrafo para cada fila.

CPU MIPS R2000, El acceso es una escritura en memoria de un dato de 4 bytes. L1 es direccionado por direcciones virtuales, es write through con bloque de 64 bytes. L2 es write back con bloque de 64 bytes. Los marcos de página son de 4 Kbytes. Aclare sus hipótesis.

Evento	Cache L1	Cache L2	Memoria Principal	TLB	Tabla de Traducción de Páginas.	Área de Swap
Hit L1						
Miss L1 y Hit L2						
Falla de Página						

12- Riesgos estructurales. Definición. Describa dos ejemplos de riesgo estructural y la solución para eliminarlos.

13- Unidad de control microprogramada.

14- Escriba un fragmento de código MIPS que utiliza el esquema de salto demorado con un único delay slot que es ocupado por una instrucción NOP. El código debe ser tal que el delay slot puede ser llenado con una instrucción previa al branch, una del fall through y una del target. Rescriba el código original reemplazando la NOP con la instrucción correspondiente a cada uno de los tres casos pedidos.

15- Escribir la secuencia de microoperaciones necesarias para que una de CPU MIPS con microarquitectura de un único bus interno y unidad de control microprogramada ejecute la

instrucción LW (load word). A tal efecto dibuje el datapath a utilizar y defina las señales a utilizar explicando su acción.

16- Se da a continuación un código para un procesador MIPS. El procesador que ejecutará este código se implementó con el esquema de salto demorado y requiere de un "delay slot".

- a) Evitar el riesgo de control utilizando instrucciones NOP.
- b) Aprovechar el "delay slot" utilizando instrucciones previas al branch.
- c) Aprovechar el "delay slot" utilizando instrucciones del fall through.

```
...  
LABEL:  
    lw $5, 30($6)  
  
    ...  
    ...  
    ...  
  
    subiu $2, $2, $1  
    addiu $3, $3, 1  
    bne $4, $3, LABEL  
    subiu $4, $4, 1  
    addiu $5, $5, 12
```

17- Indicar para cada uno de los siguientes componentes del sistema de memoria, si el mismo es transparente o no a la arquitectura de programación. Justifique sus respuestas.

- a) Memoria cache de nivel 1.
- b) Memoria virtual paginada.
- c) Memoria virtual segmentada.

18- Se tiene una memoria cache de 4Kbytes, asociativa por conjuntos de grado 4, bloque de 16 bytes y política de reemplazo LRU.

- a- Realice un diagrama en bloques detallado de la memoria cache (incluir el área de tags).
- b- Dar las direcciones para cinco datos A, B, C, D, E, F de manera tal que accedidos en el orden dado por una CPU MIPS se cumpla con lo siguiente:
 - I- A mapea en el conjunto 1.
 - II- B produce un hit.
 - III- C no pertenece al bloque de memoria que contiene a A y mapea en el mismo conjunto en el que mapeo A.
 - IV- El acceso a F es miss.
- c- Indicar en el diagrama del punto 'a' el contenido final de la memoria cache (área de datos y área de tags).

Las direcciones se deben dar en **hexadecimal**. No se pueden hacer hipótesis acerca del contenido previo de la cache. Justificar sus respuestas.

19-Entrada-Salida: Que se entiende para una arquitectura en relación a la entrada-salida que ésta sea de un bus o de dos buses?

20- Procesamiento multihilo (multithreading).

a) Políticas de procesamiento multihilo.

b) Desperdicios vertical y horizontal.

c) Para cada uno de los siguientes elementos decir si hay uno individual para cada hilo o hay uno solo compartido entre todos los hilos.

a) Memoria de código.

b) Memoria de datos.

c) Estructura de Stack.

d) Registros Generales.

e) Contador de programa.

f) Memoria cache.

Justificar.

21- Indicar la cantidad de bytes de información que se transfieren entre los distintos pares de dispositivos dados en la siguiente tabla, para los eventos indicados y la configuración del sistema de memoria dada:

Configuración: Procesador MIPS. Cache L1 write through, cache L2 write back, tamaño de bloque L1 32 bytes, tamaño de bloque L2 32 bytes, se debe suponer que los bloques de la cache L2 que entren en juego están modificados.

	CPU-Cache L1	Cache L1-Cache L2	Cache L2-Memoria
Acceso a dato de instrucción <i>lw</i> . <i>Miss</i> en L1 y en L2			
Acceso a dato de instrucción <i>sw</i> . <i>Miss</i> en L1 y <i>Hit</i> en L2			
Búsqueda de instrucción <i>addi</i> . <i>Hit</i> en L1 y en L2			

22-Entrada-Salida: Explicar claramente que es Entrada-Salida mapeada en memoria. Conoce algún otro esquema opuesto al anterior? Que características tiene?

23- Describir como funciona un predictor de saltos de dos niveles y porque un esquema así puede ser efectivo.

24- Se tiene una TLB de 8 entradas con política de reemplazo LRU. Una aplicación realiza la siguiente secuencia de referencias a páginas virtuales contiguas:

P0,P1,P2,P3,P4,P5,P6,P7,P8,P9. Dicha secuencia se repite en forma cíclica por un período muy largo de tiempo.

a- Calcular la tasa de desaciertos para el caso en que la TLB es de mapeo directo.

b- Ídem punto a- pero considerando que es asociativa de grado 2.

c- Ídem punto a- pero considerando que es totalmente asociativa.

Justificar sus respuestas.

25-Escribir la ecuación de desempeño de CPU. Indicar para cada uno de los componentes de la ecuación si éste es afectado o no por:

- a) Tecnología del hardware.
- b) La organización.
- c) La arquitectura del conjunto de instrucciones.
- d) Tecnología del compilador

26- Para el procesador MIPS indicar si los siguientes elementos están determinados por la arquitectura o por la implementación. Justificar.

- a) Tamaño de la instrucción.
- b) Espacio de direcciones virtuales.
- c) Espacio de direcciones físicas.
- d) Pipeline de 5 etapas.
- e) Unidad de control microprogramada.
- f) Conjunto de instrucciones.
- g) Cache de nivel 1.

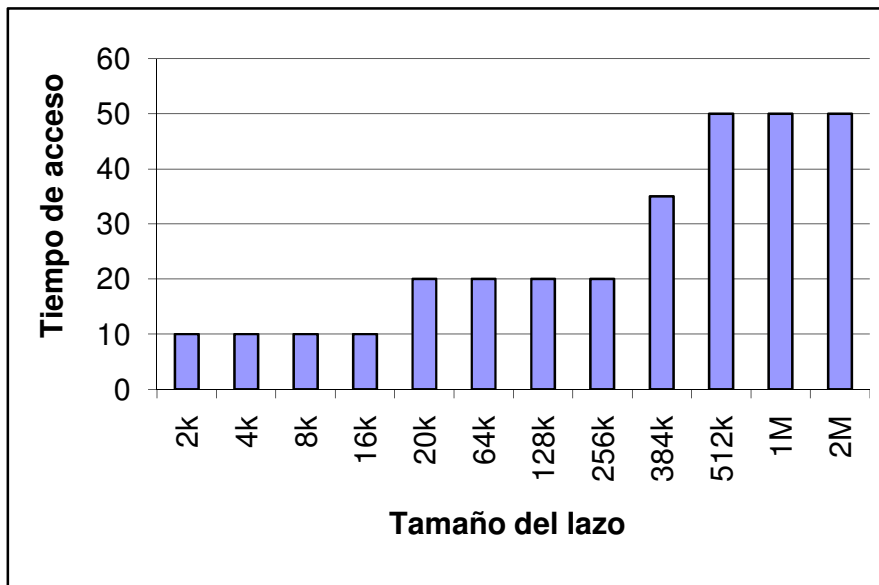
27- Un conjunto de benchmarks representativo de la carga habitual de un modelo de procesador arroja una distribución en el uso de instrucciones del siguiente tipo:

	%instrucciones
Enteras	81
Punto Flotante	19

Donde las instrucciones enteras son 10 veces más rápidas que las de punto flotante. Se propone una mejora en hardware de punto flotante de manera tal que las instrucciones de punto de flotante logran una aceleración de 2. Calcular la aceleración global que se obtiene de aplicar dicha mejora. Aclare las hipótesis que utilice.

28- En el siguiente gráfico se dan los tiempos de acceso a memoria promedio obtenidos cuando una CPU ejecuta el modelo del lazo para lazos de distinto tamaño en una computadora bajo test. Calcular justificando claramente:

- a) la cantidad de niveles de memoria cache existentes y el tamaño de cada nivel.
- b) El grado de asociatividad de cada nivel.



3- Riesgos estructurales.

29- Calcule la cantidad de desaciertos para cada uno de los tipos dados por el modelo de las "3 C" para la siguiente secuencia de referencias a memoria producida por un microprocesador MIPS:

```

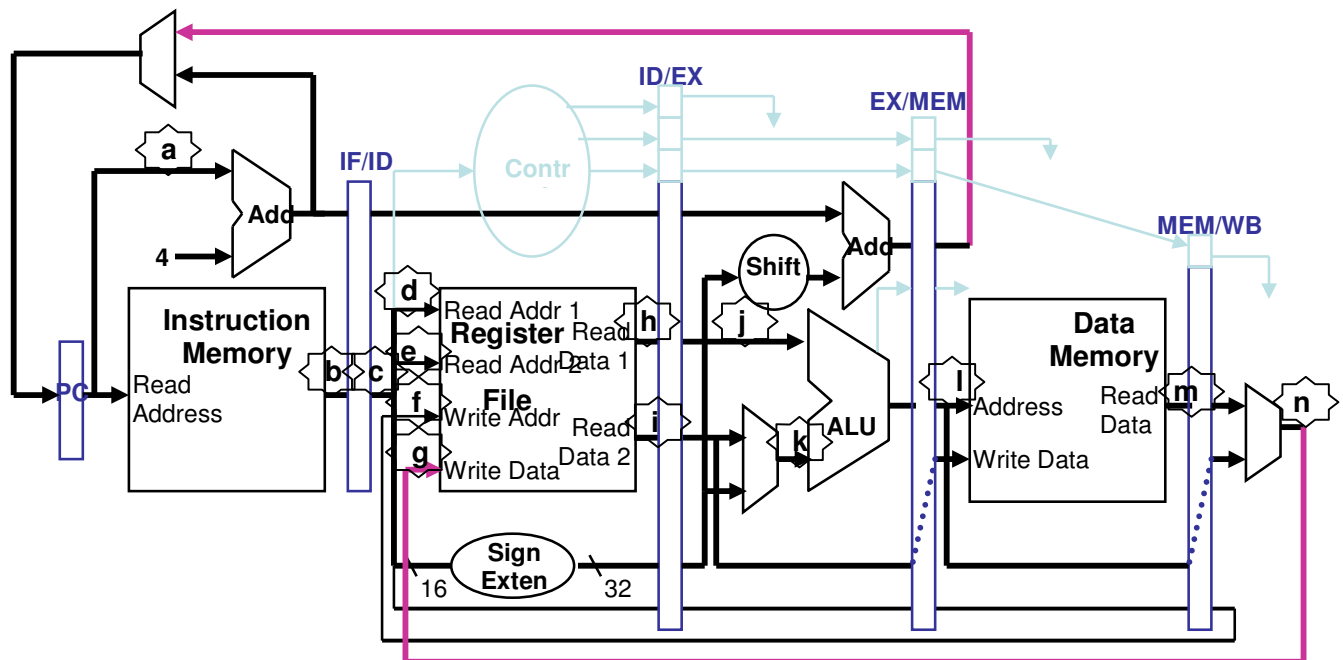
0x00000000
0x00000004
0x00000008
0xf0000000
0xf0000010
0xf0000020
0xf000001c
0xfff00000
0x0000000c
0x00000100

```

Datos de la memoria cache: asociativa por conjuntos de dos vías, 4 bloques de 16 bytes. Se debe suponer que ninguna de las referencias está contenida en la cache al momento del comienzo de la secuencia.

30- El siguiente dibujo corresponde a una implementación monociclo para un procesador MIPS. a) Indique sobre el dibujo junto a cada marca que cruza una conexión, la cantidad de líneas correspondiente. b) Dibuje dentro cada uno de los multiplexores mediante una línea, cual de las entradas se conecta con la salida, si se está ejecutando una instrucción "beq rs, rt, label".

\$7 contiene 0x7000, \$9 contiene 0x9000, \$10 contiene 0x10000,



34- Diferencias y similitudes entre memoria virtual paginada y memoria virtual segmentada. Son visibles a la arquitectura del conjunto del instrucciones, porqué?

1-Estudie el comportamiento de un patrón de referencias a memoria que sigue el modelo del lazo. Clasifique los desaciertos usando el modelo de las “3C”. Interprete los resultados obtenidos.

Datos: Lazo de 11 bloques. Cache de 8 bloques, 2 vías y reemplazo LRU.

35- Dibujar el datapath completo para la arquitectura MIPS pipeline de 5 etapas. Incluir el forwarding ALU-ALU y Memoria-ALU

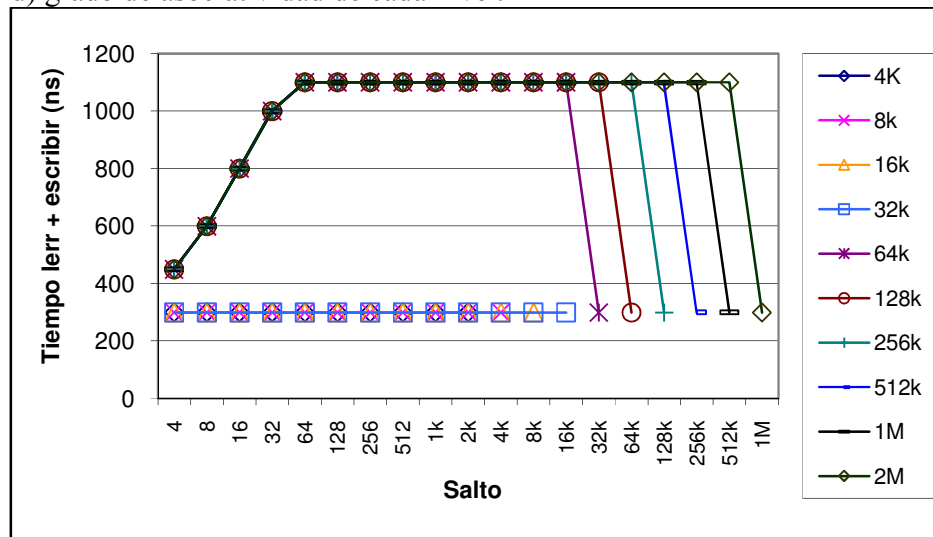
36-Indicar para cada uno de los siguientes componentes del sistema de memoria, si el mismo es transparente o no a la arquitectura de programación. Justifique sus respuestas.

- Memoria cache de nivel 1.
- Memoria virtual paginada.
- Memoria virtual segmentada.

37- En una computadora se corre un test que referencia una zona contigua de memoria en forma de lazo utilizando un determinado salto entre las direcciones sucesivas. Se ejecutan lazos de distintos tamaños con saltos de distintos tamaños y se mide el tiempo promedio que llevó hacer una lectura más una escritura. Los resultados obtenidos se muestran

gráficamente a continuación, donde se usan distintos marcadores para lazos de distinto tamaño. Responder justificando los siguientes puntos:

- cuantos niveles de memoria cache hay?
- tamaño de cada nivel.
- tamaño del bloque.
- grado de asociatividad de cada nivel.



38- Describa los tres formatos de instrucción MIPS, indicando nombre, tamaño y finalidad de cada uno de los campos. Ejemplifique con una instrucción por formato, en ensamblador y en binario.

39- Describa las características principales de una arquitectura load/store.. Load/Store y RISC son sinónimos?

40- Verdadero o falso, justificar.

- El CPI promedio de un procesador MIPS con pipeline es 1 porque se ejecuta una instrucción por ciclo.
- La memoria virtual es el área de swap del disco rígido.
- Las políticas de reemplazo en memoria cache se implementan por el sistema operativo.
- El registro de instrucciones de una CPU es invisible a la arquitectura del conjunto de instrucciones.

41- Verdadero o falso, justificar.

- La memoria virtual paginada es transparente a la arquitectura de programación.
- En una cache direccionada por direcciones físicas la TLB es accedida antes que la cache.
- Un procesador superescalar pertenece a la categoría SISD de la taxonomía de Flynn.
- El stack pointer del procesador MIPS es uno de los registros del register file.

42- Escriba un diagrama de tiempo pipeline (IF ID EX MEM WB) para un procesador MIPS que ejecuta dos iteraciones del siguiente código. Suponer todo el forwarding necesario, indicar con flechas en el diagrama el uso de este forwarding cuando corresponda. El branch se resuelve en la etapa EX:

Loop: LW R10,0(R1)
 ADD R4,R10,R2
 SW 0(R1),R4
 SUBI R1,R1,#4
 BNEZ R1,Loop

43- Explique porqué un Register File no introduce un riesgo estructural en un procesador MIPS con pipeline de 5 etapas.

44- Verdadero o falso, justificar.

- a) Las extensiones multimedia al conjunto de instrucciones tipo SSE pertenecen a la categoría MIMD de la taxonomía de Flynn
- b) La TLB es una tabla implementada en la memoria principal .
- c) Un procesador SMT tiene espacios de direcciones de memoria individuales para cada hilo.
- d) El contador de programa (PC) del procesador MIPS puede ser usado en instrucciones aritméticas del conjunto de instrucciones.
- e) El modelo de las 3C clasifica a los misses de bloques de memoria que mapean en el mismo conjunto como “misses de conflicto”.
- f) El forwarding elimina la necesidad de stall en la siguiente secuencia:
 lw r2,0(r4)
 addi r8,r2,#2

45- Dibuje un diagrama en bloques detallado de un Register File para un procesador MIPS con pipeline de 5 etapas.

46- Una CPU MIPS con memoria cache ejecuta el código que se da al final,

a) Calcule el tamaño del código en bytes, el número de instrucciones dinámicas ejecutadas, el número total de accesos a memoria, el porcentaje de los accesos totales a memoria que son lectura, el porcentaje de los accesos a datos que son escritura y el CPI promedio.

b) Dibuje un esquema detallado de la memoria cache y muestre sobre dicho esquema el contenido final de la misma luego de la ejecución del código.

Datos: Memoria cache unificada de 512 bytes, LRU asociativa por conjuntos de 2 vías y bloque de 16 bytes. Contenido inicial de la memoria cache : vacía. Los números usados en el código se expresaron en decimal.

Dirección	Etiqueta	Instrucción
000		ADD r2,r0,r0
...	loop	SLLI r1,r2, 2
...		SW 16(r1),r2
...		ADDI r2,r2,1
		SLI r3,r2,12
		BGEZ r3,loop
		JMP label
	
	
512	label	ADD r5,r6,r7

47- Dibuje el esquema de un predictor de saltos de 2 niveles y explique porque puede lograr altas tasas de aciertos en la prediccción.

48- Conteste verdadero (V) o falso (F)

___ Una cache LRU de 2 vias siempre produce menos misses que una cache de con los mismos parámetros pero de correspondencia directa.

___ Una cache LRU de una dada organización siempre produce menos misses que una exactamente igual pero mas pequeña.

___ Una cache FIFO de una dada organización siempre produce menos misses que una exactamente igual pero mas pequeña.

___ El pipeline disminuye la latencia para la ejecución de las instrucciones.

___ En un pipeline de 5 etapas donde cada etapa requiere un ciclo de reloj el CPI ideal de las instrucciones es 5.

___ En una cache direccionada por direcciones físicas antes de acceder a la cache de debe acceder a la TLB.

___ En un sistema de memoria virtual la memoria física es la RAM y la virtual es el área de swap en el disco.

___ La memoria virtual paginada es invisible a la arquitectura del conjunto de instrucciones.

49- Explique el funcionamiento básico de un procesador superescalar que utiliza:

- a- Scoreboarding (tablero de resultados)
- b- Algoritmo de Tomasulo

50- La figura siguiente corresponde al datapathh multicycle de un procesador MIPS. En la misma cada multiplexor ha sido numerado (1 al 6). Indicar en la siguiente tabla el número de entrada que debe conectarse con la salida de cada multiplexor para cada ciclo de ejecución de las siguientes instrucciones. Si en un determinado ciclo para un determinado multiplexor no interesa el valor de la salida, indicarlo con una X en el lugar correspondiente de la tabla:

a) Instrucción add

	Ciclo				
MUX	IF	DEC	EX	MEM	WB
MUX 1					
MUX 2					
MUX 3					
MUX 4					
MUX 5					
MUX 6					

b) Instrucción load

	Ciclo				
MUX	IF	DEC	EX	MEM	WB
MUX 1					
MUX 2					
MUX 3					
MUX 4					
MUX 5					
MUX 6					

c) Instrucción beq

	Ciclo				
MUX	IF	DEC	EX	MEM	WB
MUX 1					
MUX 2					
MUX 3					
MUX 4					
MUX 5					
MUX 6					

51- Considere la siguiente mezcla de instrucciones:

Operación	frecuencia	CPI
ALU op	40%	1
branch no tomado	10%	1
branch tomado	20%	4
load/store	30%	2

Para incrementar el desempeño que sería mejor?

- a) reducir el CPI de los branches tomados a 1, o
- b) acelerar la velocidad del reloj por un factor de $\frac{4}{3}$ (= 1.33)

52- De un ejemplo de código MIPS para cada uno de los siguientes casos. Cada ejemplo debe ilustrar el principio de localidad para las referencias a memoria,:

- a-Localidad espacial de instrucciones.
- b-Localidad espacial de datos.
- c-Localidad temporal de instrucciones
- d-Localidad temporal de datos.

53- Suponer las siguientes frecuencias de saltos (como porcentaje del total de instrucciones):

Saltos condicionales 15% (60% son tomados)
Saltos incondicionales y llamadas 1%

Estamos examinando un pipeline MIPS de 4 etapas (IF-ID-EX/MEM-WB) donde los saltos incondicionales son resueltos al final del segundo ciclo, y los condicionales al final del tercer ciclo. Asumiendo que la primera etapa puede hacerse independientemente del resultado del salto, e ignorando otras situaciones de detenimiento del pipeline, ¿cuánto más rápido sería la máquina sin riesgos de salto (branch hazards)?

54- Calcular la penalidad de branch para un BTB (Branch Target Buffer) con estos parámetros: 60% de branches son tomados, el BTB tiene una tasa de hit de 90% y 95% de precisión en la predicción.

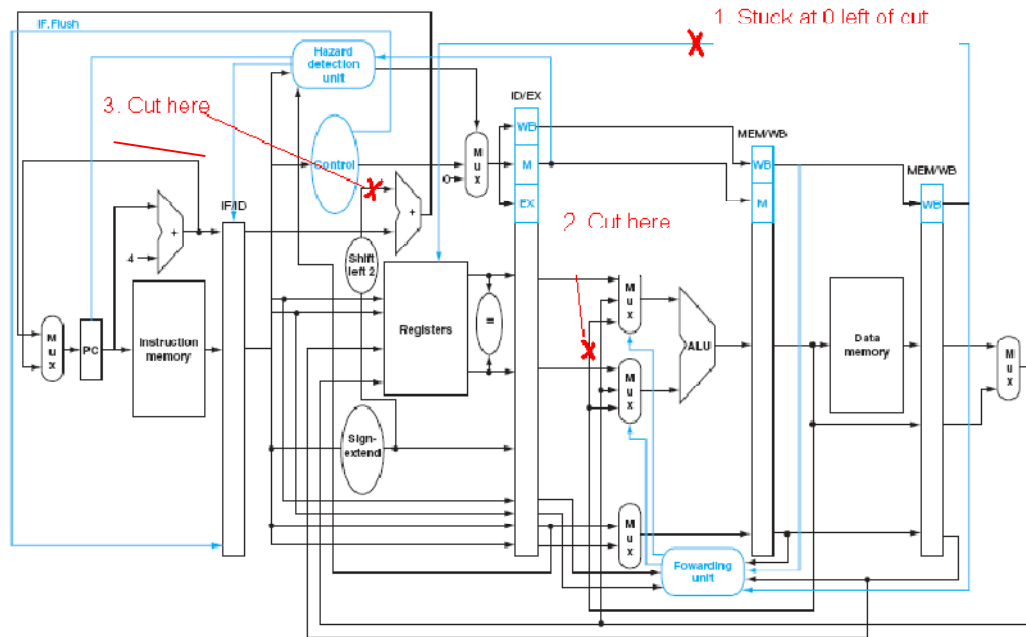
- BTB hit y correcta predicción tomado - penalidad de 2 ciclos
- BTB hit y correcta predicción no tomado - penalidad de 0 ciclos
- BTB hit e incorrecta predicción tomado - penalidad de 8 ciclos
- BTB hit e incorrecta predicción no tomado - penalidad de 8 ciclos
- BTB miss y tomado - penalidad de 8 ciclos
- BTB miss y no tomado - penalidad de 0 ciclos

55- Dibujar el datapath completo para la arquitectura MIPS pipeline de 5 etapas. Incluir el forwarding ALU-ALU y Memoria-ALU.

3-Explique los dos significados del término SIMD, uno como el usado en la computadora Illiac IV (1964) y otro como el usado en las extensiones MMX/SSE/SSE-2 de Intel.

56- Para el datapath MIPS dado a continuación, varios links han sido numerados y marcados con X. Individualmente para cada uno los mismos:

- Describa con palabras las consecuencias negativas para el funcionamiento del procesador de cortarlo en el punto marcado.
- De una secuencia de instrucciones reales MIPS tal que asumiendo el camino cortado
cortado
hará que la secuencia falle en su ejecución.
- De una secuencia de instrucciones reales MIPS tal que aún con el camino cortado la secuencia funcionará correctamente.



57- Explique la principal diferencia entre una arquitectura superescalar y una VLIW.