

Organización de Computadoras

Algunas temas tomados en 2ª evaluación integradora

Temas de Arquitecturas

- 1- Describa mediante ejemplos los modos de direccionamiento que conozca.
- 2- Describa los distintos tipos de arquitecturas de conjunto de instrucciones que conozca. De sus ventajas y desventajas.
- 3- Codifique la línea de código $A = B + C$ para las arquitecturas a) stack, b)acumulador, c) Load-Store, d) Memoria-Memoria. Explique brevemente las ventajas y desventajas de cada una de ellas.
- 4-Entrada-Salida: Que se entiende para una arquitectura en relación a la entrada-salida que ésta sea de un bus o de dos buses?
- 5-Entrada-Salida: Explicar claramente que es Entrada-Salida mapeada en memoria. Conoce algún otro esquema opuesto al anterior? Que características tiene?
- 6- Para el procesador MIPS indicar si los siguientes elementos están determinados por la arquitectura del conjunto de instrucciones o por la implementación. Justificar.
 - a) superescalar.
 - b) Espacio de direcciones virtuales.
 - c) Espacio de direcciones físicas.
 - d) Pipeline de 5 etapas.
 - e) Unidad de control microprogramada.
 - f) Inmediatos de 16 bits
 - g) Cache de nivel 1.
- 7- Indique algunas de las características adicionales a las presentes en un procesador de alto desempeño que pueden encontrarse y son específicas de un procesador DSP.
- 8- Para el procesador MIPS indicar si los siguientes elementos están determinados por la arquitectura del conjunto de instrucciones o por la implementación. Justificar.
 - a) Tamaño de la instrucción.
 - b) Espacio de direcciones virtuales.
 - c) Espacio de direcciones físicas.
 - d) Pipeline de 5 etapas.
 - e) Unidad de control microprogramada.
 - f) Conjunto de instrucciones.
 - g) Cache de nivel 1.

9- Describa los tres formatos de instrucción MIPS, indicando nombre, tamaño y finalidad de cada uno de los campos. Ejemplifique con una instrucción por formato, en ensamblador y en binario.

10- Describa las características principales de una arquitectura load/store. Load/Store y RISC son sinónimos?

11- Para el código MIPS obtenido del siguiente código C:

```

1:
2:
3:         void main()
4:         {
5:             int cont = 0, i;
6:             for(i=1;i<=10;i++)
7:             {
8:                 if(i%4 == 0)
9:                     cont++;
10:                if(i%2 == 0)
11:                    cont--;
12:            }
13:        }

```

Dirección	Binario	Código	leng.	Ensamblador
9D000018	27BDFFF0	addiu		sp, sp, -16
9D00001C	AFBE0008	sw		s8, 8(sp)
9D000020	03A0F021	addu		s8, sp, zero
9D000024	AFC00000	sw		zero, 0(s8)
9D000028	24020001	addiu		v0, zero, 1
9D00002C	AFC20004	sw		v0, 4(s8)
9D000030	8FC20004	lw		v0, 4(s8)
9D000034	2842000B	slti		v0, v0, 11
9D000038	10400014	beq		v0, zero, 0x9d00008c
9D00003C	00000000	nop		
9D000040	8FC20004	lw		v0, 4(s8)
9D000044	30420003	andi		v0, v0, 0x3
9D000048	14400004	bne		v0, zero, 0x9d00005c
9D00004C	00000000	nop		
9D000050	8FC20000	lw		v0, 0(s8)
9D000054	24420001	addiu		v0, v0, 1
9D000058	AFC20000	sw		v0, 0(s8)
9D00005C	8FC20004	lw		v0, 4(s8)
9D000060	30420001	andi		v0, v0, 0x1
9D000064	14400004	bne		v0, zero, 0x9d000078

9D000068	00000000	nop	
9D00006C	8FC20000	lw	v0,0(s8)
9D000070	2442FFFF	addiu	v0,v0,-1
9D000074	AFC20000	sw	v0,0(s8)
9D000078	8FC20004	lw	v0,4(s8)
9D00007C	24420001	addiu	v0,v0,1
9D000080	AFC20004	sw	v0,4(s8)
9D000084	1000FFEA	beq	zero,zero,0x9d000030
9D000088	00000000	nop	
9D00008C	03C0E821	addu	sp,s8,zero
9D000090	8FBE0008	lw	s8,8(sp)
9D000094	27BD0010	addiu	sp,sp,16
9D000098	03E00008	jr	ra
9D00009C	00000000	nop	

I- Calcular:

- El tamaño del código en bytes.
- La cantidad de instrucciones ejecutadas.
- La cantidad de referencias a datos en memoria.
- La cantidad total de bytes transferidos entre CPU y memoria.
- El número promedio de accesos a memoria por instrucción.
- El porcentaje de referencias a memoria que son lecturas.
- El CPI del código.

II -a- Explicar que instrucciones resuelven las operaciones $i\%4$ e $i\%2$ y como lo hacen.

b- Verdadero-Falso. Justificar:

- Las NOPS las inserta el compilador para evitar riesgos tipo RAW.
- El código está optimizado.
- El op-code de addiu es dec 9.

Unidad de control

1- Unidad de control microprogramada.

2- Escribir la secuencia de microoperaciones necesarias para que una de CPU MIPS con microarquitectura de un único bus interno y unidad de control microprogramada ejecute la instrucción LW (load word). A tal efecto dibuje el datapath a utilizar y defina las señales a utilizar explicando su acción.

Desempeño

1-Escribir la ecuación de desempeño de CPU. Indicar para cada uno de los componentes de la ecuación si éste es afectado o no por:

- a) Tecnología del hardware.
- b) La organización.
- c) La arquitectura del conjunto de instrucciones.
- d) Tecnología del compilador

2- Considere la siguiente mezcla de instrucciones:

Operación	frecuencia	CPI
ALU op	40%	1
branch no tomado	10%	1
branch tomado	20%	4
load/store	30%	2

Para incrementar el desempeño que sería mejor?

- a) reducir el CPI de los branches tomados a 1, o
- b) acelerar la velocidad del reloj por un factor de $4/3$ ($= 1.33$)

3- Un conjunto de benchmarks representativo de la carga habitual de un modelo de procesador arroja una distribución en el uso de instrucciones del siguiente tipo:

%instrucciones	
Enteras	81
Punto Flotante	19

Donde las instrucciones enteras son 10 veces más rápidas que las de punto flotante. Se propone una mejora en hardware de punto flotante de manera tal que las instrucciones de punto de flotante logran una aceleración de 2. Calcular la aceleración global que se obtiene de aplicar dicha mejora. Aclare las hipótesis que utilice.

4- Suponer que se hicieron las siguientes mediciones para la ejecución de un determinado benchmark:

Frecuencia de todas las operaciones de FP = 45%
CPI promedio de la operaciones de FP = 4.85
CPI promedio de otras instrucciones = 1.73
Frecuencia de FPSQR= 5%
CPI de FPSQR = 20

Suponer que se intenta llevar el CPI de las operaciones FPSQR a 3.

- a) Calcular el porcentaje de tiempo en la máquina no mejorada en el que el programa trabaja en operaciones de FP.
- b) Calcular el porcentaje de tiempo en la máquina no mejorada en el que el programa trabaja en operaciones de FPSQR.
- c) Calcular el porcentaje de tiempo en la máquina mejorada en el que el programa trabaja en operaciones de FP.
- d) Calcular el porcentaje de tiempo en la máquina mejorada en el que el programa trabaja en operaciones de FPSQR.
- e) Calcular en cuanto se aceleran las operaciones de FPSQR.
- f) Calcular la aceleración global obtenida.

Nota: FP: Punto Flotante, FPSQR: Raíz Cuadrada en Punto Flotante.

Caches, Memoria Virtual

1- Dada una CPU MIPS con hardware de manejo memoria virtual se pide:

- a) Calcular el tamaño del espacio de direcciones virtuales.
- b) Dar la cota máxima de la cantidad de memoria que efectivamente puede usar un programa.
- c) Calcular el tamaño en bytes de la tabla de traducción de páginas.
- d) Calcular el tiempo de acceso promedio a memoria para una cache direccionada por direcciones virtuales.

Datos:

RAM = 512 MB

SWAP = 256 MB

5 bytes por entrada en tabla de traducción de página.

Tasa de desaciertos de la memoria cache = 5%

Tiempo de acierto = 2 ns.

Tiempo de copiar un bloque completo de memoria principal a memoria cache = 40ns

Tasa de desaciertos del TLB = 3%

Tiempo de actualizar una entrada en TLB = 15 ns.

Tasa de falla de páginas = 0.0001%

Penalidad por falla de página = 3 mseg.

Aclare cualquier hipótesis que realice, y justifique las respuestas.

2- Se tiene una memoria cache de 8Kbytes, asociativa por conjuntos de grado 2, bloque de 16 bytes y política de reemplazo LRU.

- a- Realice un diagrama en bloques detallado de la memoria cache (incluir el área de tags).
- b- Dar las direcciones para cinco datos A, B, C, D, E de manera tal que accedidos en el orden dado por una CPU MIPS se cumpla con lo siguiente:
 - I- El acceso a B es hit.
 - II- C mapea en un conjunto distinto al correspondiente a A.

III- El acceso a E es miss.

c- Indicar en el diagrama del punto 'a' el contenido final de la memoria cache (área de datos y área de tags).

Las direcciones se deben dar en hexadecimal. No se pueden hacer hipótesis acerca del contenido previo de la cache. Justificar sus respuestas.

3- Colocar en los casilleros de la siguiente tabla la cantidad de bytes accedidos para cada uno de los subsistemas correspondientes a cada columna de la mencionada tabla, durante el proceso de acceder a un dato en memoria solicitado por la CPU. Justificar su respuesta con un breve párrafo para cada fila.

CPU MIPS R2000, El acceso es una escritura en memoria de un dato de 4 bytes. L1 es direccionado por direcciones virtuales, es write through con bloque de 64 bytes. L2 es write back con bloque de 64 bytes. Los marcos de página son de 4 Kbytes. Aclare sus hipótesis.

Evento	Cache L1	Cache L2	Memoria Principal	TLB	Tabla de Traducción de Páginas.	Área de Swap
Hit L1						
Miss L1 y Hit L2						
Falla de Página						

4- Indicar para cada uno de los siguientes componentes del sistema de memoria, si el mismo es transparente o no a la arquitectura de programación. Justifique sus respuestas.

a) Memoria cache de nivel 1.

b) Memoria virtual paginada.

c) Memoria virtual segmentada.

5- Se tiene una memoria cache de 4Kbytes, asociativa por conjuntos de grado 4, bloque de 16 bytes y política de reemplazo LRU.

a- Realice un diagrama en bloques detallado de la memoria cache (incluir el área de tags).

b- Dar las direcciones para cinco datos A, B, C, D, E, F de manera tal que accedidos en el orden dado por una CPU MIPS se cumpla con lo siguiente:

I- A mapea en el conjunto 1.

II- B produce un hit.

III- C no pertenece al bloque de memoria que contiene a A y mapea en el mismo conjunto en el que mapeo A.

IV- El acceso a F es miss.

c- Indicar en el diagrama del punto 'a' el contenido final de la memoria cache (área de datos y área de tags).

Las direcciones se deben dar en **hexadecimal**. No se pueden hacer hipótesis acerca del contenido previo de la cache. Justificar sus respuestas.

6- Indicar la cantidad de bytes de información que se transfieren entre los distintos pares de dispositivos dados en la siguiente tabla, para los eventos indicados y la configuración del sistema de memoria dada:

Configuración: Procesador MIPS. Cache L1 write through, cache L2 write back, tamaño de bloque L1 32 bytes, tamaño de bloque L2 32 bytes, se debe suponer que los bloques de la cache L2 que entren en juego están modificados.

	CPU-Cache L1	Cache L1-Cache L2	Cache L2-Memoria
Acceso a dato de instrucción <i>lw</i> . <i>Miss</i> en L1 y en L2			
Acceso a dato de instrucción <i>sw</i> . <i>Miss</i> en L1 y <i>Hit</i> en L2			
Búsqueda de instrucción <i>addi</i> . <i>Hit</i> en L1 y en L2			

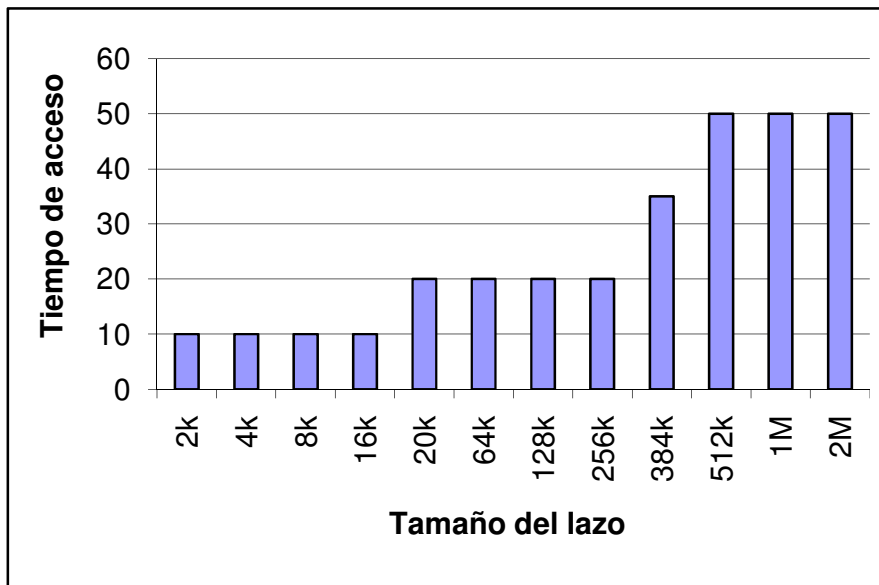
7- Se tiene una TLB de 8 entradas con política de reemplazo LRU. Una aplicación realiza la siguiente secuencia de referencias a páginas virtuales contiguas: P0,P1,P2,P3,P4,P5,P6,P7,P8,P9. Dicha secuencia se repite en forma cíclica por un período muy largo de tiempo.

- a- Calcular la tasa de desaciertos para el caso en que la TLB es de mapeo directo.
- b- Ídem punto a- pero considerando que es asociativa de grado 2.
- c- Ídem punto a- pero considerando que es totalmente asociativa.

Justificar sus respuestas.

8- En el siguiente gráfico se dan los tiempos de acceso a memoria promedio obtenidos cuando una CPU ejecuta el modelo del lazo para lazos de distinto tamaño en una computadora bajo test. Calcular justificando claramente:

- a) la cantidad de niveles de memoria cache existentes y el tamaño de cada nivel.
- b) El grado de asociatividad de cada nivel.



9- Calcule la cantidad de desaciertos para cada uno de los tipos dados por el modelo de las "3 C" para la siguiente secuencia de referencias a memoria producida por un microprocesador MIPS:

```

0x00000000
0x00000004
0x00000008
0xf0000000
0xf0000010
0xf0000020
0xf000001c
0xfff00000
0x0000000c
0x00000100

```

Datos de la memoria cache: asociativa por conjuntos de dos vías, 4 bloques de 16 bytes. Se debe suponer que ninguna de las referencias está contenida en la cache al momento del comienzo de la secuencia.

10- Modelo de las "3 C" para los desaciertos en memoria cache.

11- Diferencias y similitudes entre memoria virtual paginada y memoria virtual segmentada. Son visibles a la arquitectura del conjunto de instrucciones, porqué?

12- Estudie el comportamiento de un patrón de referencias a memoria que sigue el modelo del lazo. Clasifique los desaciertos usando el modelo de las "3C". Interprete los resultados obtenidos.

Datos: Lazo de 11 bloques. Cache de 8 bloques, 2 vías y reemplazo LRU.

13-Indicar para cada uno de los siguientes componentes del sistema de memoria, si el mismo es transparente o no a la arquitectura de programación. Justifique sus respuestas.

- a) Memoria cache de nivel 1.
- b) Memoria virtual paginada.
- c) Memoria virtual segmentada.

14- Una CPU MIPS con memoria cache ejecuta el código que se da al final,

a) Calcule el tamaño del código en bytes, el número de instrucciones dinámicas ejecutadas, el número total de accesos a memoria, el porcentaje de los accesos totales a memoria que son lectura, el porcentaje de los accesos a datos que son escritura y el CPI promedio.

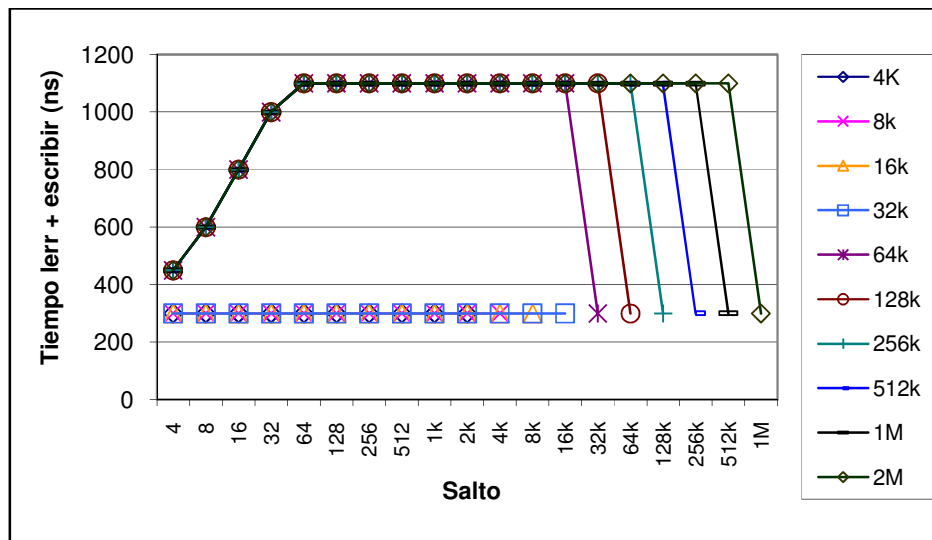
b) Dibuje un esquema detallado de la memoria cache y muestre sobre dicho esquema el contenido final de la misma luego de la ejecución del código.

Datos: Memoria cache unificada de 512 bytes, LRU asociativa por conjuntos de 2 vías y bloque de 16 bytes. Contenido inicial de la memoria cache : vacía. Los números usados en el código se expresaron en decimal.

Dirección	Etiqueta	Instrucción
000		ADD r2,r0,r0
...	loop	SLLI r1,r2, 2
...		SW 16(r1),r2
...		ADDI r2,r2,1
		SLI r3,r2,12
		BGEZ r3,loop
		JMP label
	
	
512	label	ADD r5,r6,r7

15- En una computadora se corre un test que referencia una zona contigua de memoria en forma de lazo utilizando un determinado salto entre las direcciones sucesivas. Se ejecutan lazos de distintos tamaños con saltos de distintos tamaños y se mide el tiempo promedio que llevó hacer una lectura más una escritura. Los resultados obtenidos se muestran gráficamente a continuación, donde se usan distintos marcadores para lazos de distinto tamaño. Responder justificando los siguientes puntos:

- a) cuantos niveles de memoria cache hay?
- b) tamaño de cada nivel.
- c) tamaño del bloque.
- d) grado de asociatividad de cada nivel.



16- Para un sistema que utiliza el esquema de memoria virtual paginada con marcos de página de 4 Kbytes, diseñar una memoria cache de 32 Kbytes de tamaño y bloques de 16 bytes y que sea indexada virtualmente y tagueada físicamente. Realizar un diagrama en bloques detallado del diseño realizado.

17- a) Para un sistema que utiliza el esquema de memoria virtual paginada con marcos de página de 4 Kbytes, realizar un diagrama en bloques detallado de una TLB de 8 entradas totalmente asociativa con reemplazo LRU.

b) Dar los contenidos de todos los campos de la TLB del punto anterior, inmediatamente después de la ejecución de un benchmark que referencia la memoria como lo hace el modelo del lazo simple para un lazo de 64 Kbytes. Aclare sus hipótesis.

18- Explique cuáles son las ventajas de un sistema con memoria cache indexada virtualmente y taggeada físicamente. Que limitaciones pone este diseño en el tamaño de la cache.

19- De un ejemplo de código MIPS para cada uno de los siguientes casos. Cada ejemplo debe ilustrar el principio de localidad para las referencias a memoria,:

- a-Localidad espacial de instrucciones.
- b-Localidad espacial de datos.
- c-Localidad temporal de instrucciones
- d-Localidad temporal de datos.

20- a) Definir conceptualmente los tipos de misses dados por la clasificación de las “3C”.
b) Calcule los porcentajes para cada tipo de miss para una cache asociativa por conjuntos de 2 vías de 32 Kbytes de nivel 1 en base a los misses obtenidos y dados en la siguiente tabla:

Cache	Totalmente Asociativa	8 vías	4 vías	2 vías	Mapeo directo
32 Kbyte	3%	5%	6%	8%	15%
1 Mbyte	0,2%	0,3%	0,5%	2%	3%

Pipeline

1- Realice un diagrama en bloques detallado de un Register File adecuado para una CPU MIPS con una implementación pipeline de 5 etapas (IF, ID, EX, MEM, WB). Justificar.

2- Describir cómo funciona un esquema predicción de saltos para el pipeline MIPS de 5 etapas, asumiendo que la predicción de saltos dinámica se realiza en la etapa de IF. Suponiendo que los saltos se resuelven en la etapa de EX del pipeline conteste las preguntas siguientes y proporcione las explicaciones para cada una. Proporcione cualquier diagrama que usted piense será provechoso para explicar su respuesta.

- ¿Cuántos ciclos se pierden si un branch se predice correctamente no tomado?
- ¿Cuántos ciclos se pierden si un branch se predice correctamente tomado?
- ¿Cuántos ciclos se pierden si un branch se predice incorrectamente no tomado?
- ¿Cuántos ciclos se pierden si un branch se predice incorrectamente tomado?

3- Dibujar un diagrama de ejecución pipeline y calcular la cantidad de ciclos de reloj que insume la ejecución del siguiente fragmento de programa para los siguientes casos en un procesador MIPS que utiliza el esquema del salto demorado (1 delay slot) y un pipeline de 5 etapas:

```
ADD  R1, R2, R3
LW   R4, 33(R1)
ADDI R4, R0, 100
SLTI R5, R4, 500
BGTZ R5, FIN      /*Este salto es NO TOMADO */
SLL  R6, R5, 2
```

4- Dibujar un diagrama de ejecución pipeline y calcular la cantidad de ciclos de reloj que insume la ejecución del siguiente fragmento de programa para los siguientes casos en un procesador MIPS que utiliza el esquema del salto demorado (1 delay slot) y un pipeline de 5 etapas:

```
ADD  R1, R2, R3
LW   R4, 33(R1)
ADDI R4, R4, 100
SLTI R5, R4, 500
```

```

BGTZ R5, FIN      /*Este salto es TOMADO */
SLL  R6, R5, 2
...
FIN:
ADD  R7,R6,R8

```

- No se dispone de ningún tipo de hardware de bypassing o forwarding.
- Se dispone de todo posible hardware de bypassing o forwarding.

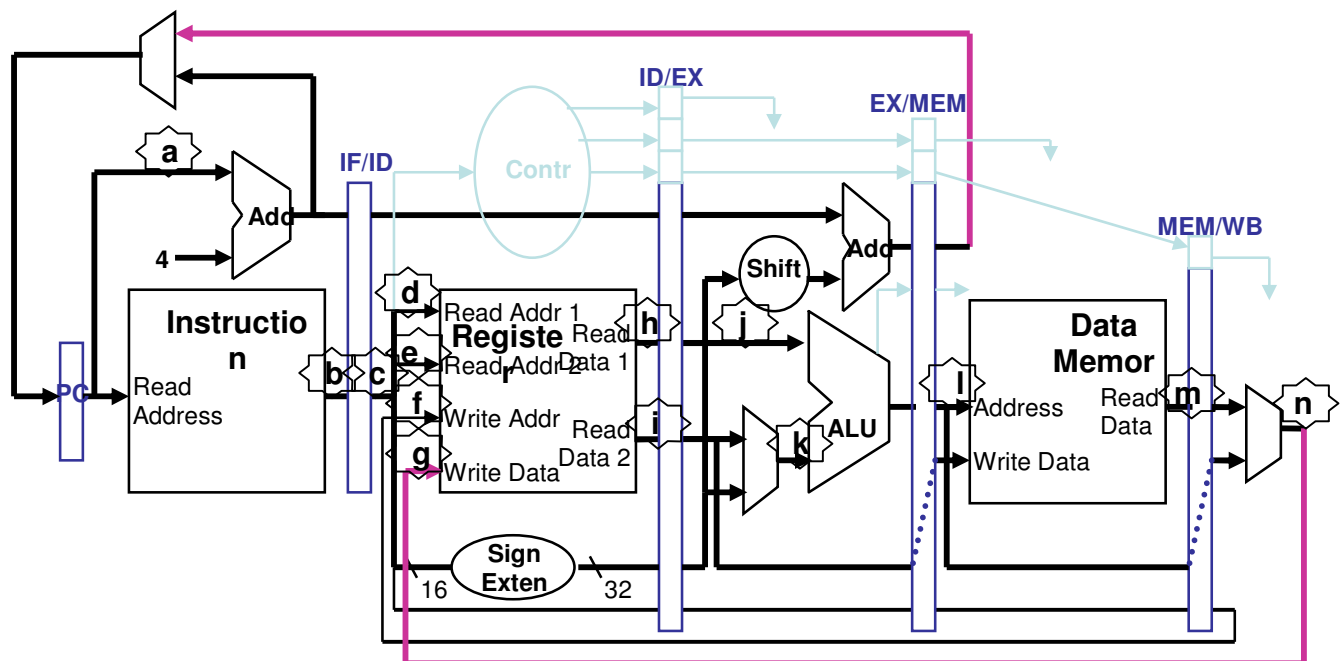
5- El siguiente dibujo corresponde a una implementación pipeline para un procesador MIPS. a) Indique para cada letra indicada sobre una conexión, el valor binario establecido en dichas líneas durante el transcurso del quinto ciclo de reloj. Por simplicidad de lectura los valores binarios pedidos deben darse en hexadecimal.

```

0x400000    sw $1, 24($2)
...         lw $3, 36($4)
           add $5, $6, $7
           add $8, $9, $10
           add $11, $12, $13

```

datos: \$1 contiene 0x2000, \$2 contiene 0x3000, \$4 contiene 0x6000, \$7 contiene 0x8000, \$7 contiene 0x7700, \$9 contiene 0x9900, \$10 contiene 0x10100,



6- Explique como se resuelven los riesgos RAW, WAW y WAR en una implementación MIPS superescalar que utiliza el algoritmo de Tomasulo.

6- Riesgos de datos. Clasificación de los riesgos de datos. Análisis de todos los tipos de riesgos de datos e ilustración con ejemplos de secuencias de instrucciones para el procesador MIPS con implementación pipeline de 5 etapas (IF, ID, EX, MEM, WB).

7- Riesgos estructurales. Definición. Describa dos ejemplos de riesgo estructural y la solución para eliminarlos.

8- Escriba un fragmento de código MIPS que utiliza el esquema de salto demorado con un único delay slot que es ocupado por una instrucción NOP. El código debe ser tal que el delay slot puede ser llenado con una instrucción previa al branch, una del fall through y una del target. Rescriba el código original reemplazando la NOP con la instrucción correspondiente a cada uno de los tres casos pedidos.

9- Se da a continuación un código para un procesador MIPS. El procesador que ejecutará este código se implementó con el esquema de salto demorado y requiere de un "delay slot".

a) Evitar el riesgo de control utilizando instrucciones NOP.

b) Aprovechar el "delay slot" utilizando instrucciones previas al branch.

c) Aprovechar el "delay slot" utilizando instrucciones del fall through.

```
...  
LABEL:  
    lw $5, 30($6)  
  
    ...  
    ...  
    ...  
  
    subiu $2, $2, $1  
    addiu $3, $3, 1  
    bne $4, $3, LABEL  
    subiu $4, $4, 1  
    addiu $5, $5, 12
```

10- Cuales son las características de la arquitectura del conjunto de instrucciones MIPS que facilitan la implementación pipeline.

11- El siguiente dibujo corresponde a una implementación pipeline para un procesador MIPS. a) Indique para cada letra indicada sobre una conexión, el valor binario establecido en dichas líneas durante el transcurso del quinto ciclo de reloj . Por simplicidad de lectura los valores binarios pedidos deben darse en hexadecimal. También dibuje dentro de cada uno de los multiplexores mediante una línea, cual de las entradas se conecta con la salida para el instante solicitado. En el ciclo uno de reloj se comienza con la ejecución de la siguiente secuencia de instrucciones:

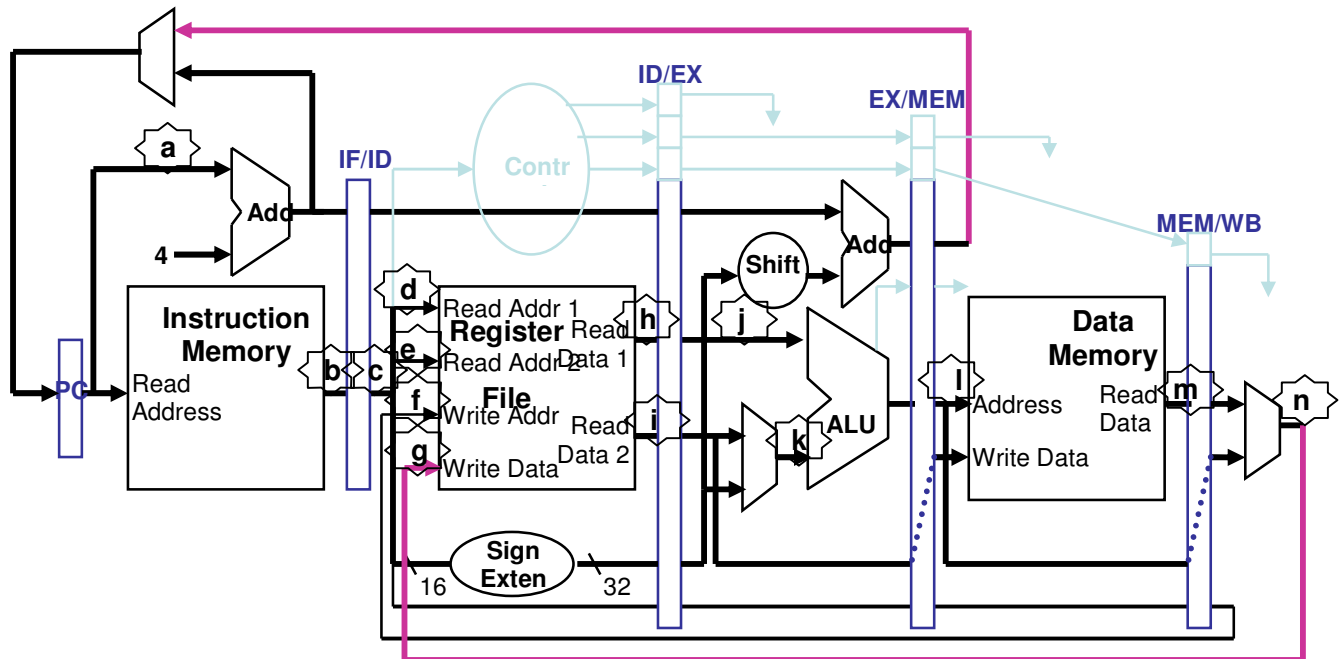
```
0x400000    sw $1, 24($2)  
...        lw $3, 36($4)
```

```

add $5, $6, $7
add $8, $9, $10
add $11, $12, $13

```

datos: \$1 contiene 0x1000, \$2 contiene 0x2000, \$4 contiene 0x4000, \$6 contiene 0x6000, \$7 contiene 0x7000, \$9 contiene 0x9000, \$10 contiene 0x10000,



12- Dibujar el datapath completo para la arquitectura MIPS pipeline de 5 etapas. Incluir el forwarding ALU-ALU y Memoria-ALU

13- Escriba un diagrama de tiempo pipeline (IF ID EX MEM WB) para un procesador MIPS que ejecuta dos iteraciones del siguiente código. Suponer todo el forwarding necesario, indicar con flechas en el diagrama el uso de este forwarding cuando corresponda. El branch se resuelve en la etapa EX:

```

Loop: LW R10,0(R1)
      ADD R4,R10,R2
      SW 0(R1),R4
      SUBI R1,R1,#4
      BNEZ R1,Loop

```

14- Explique porqué un Register File no introduce un riesgo estructural en un procesador MIPS con pipeline de 5 etapas.

15- Suponer las siguientes frecuencias de saltos (como porcentaje del total de instrucciones):

Salto condicional 15% (60% son tomados)

Salto incondicional y llamadas 1%

Estamos examinando un pipeline MIPS de 4 etapas (IF-ID-EX/MEM-WB) donde los saltos incondicionales son resueltos al final del segundo ciclo, y los condicionales al final del tercer ciclo. Asumiendo que la primera etapa puede hacerse independientemente del resultado del salto, e ignorando otras situaciones de detenimiento del pipeline, ¿cuánto más rápido sería la máquina sin riesgos de salto (branch hazards)?

16- Calcular la penalidad de branch para un BTB (Branch Target Buffer) con estos parámetros: 60% de branches son tomados, el BTB tiene una tasa de hit de 90% y 95% de precisión en la predicción.

BTB hit y correcta predicción tomado - penalidad de 2 ciclos

BTB hit y correcta predicción no tomado - penalidad de 0 ciclos

BTB hit e incorrecta predicción tomado - penalidad de 8 ciclos

BTB hit e incorrecta predicción no tomado - penalidad de 8 ciclos

BTB miss y tomado - penalidad de 8 ciclos

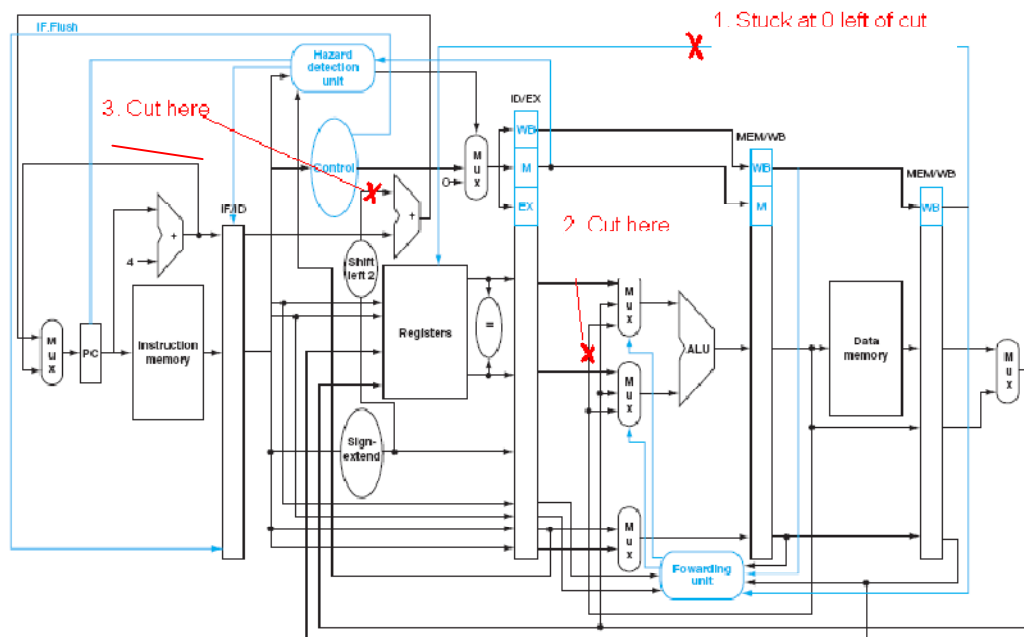
BTB miss y no tomado - penalidad de 0 ciclos

17- Dibujar el datapath completo para la arquitectura MIPS pipeline de 5 etapas. Incluir el forwarding ALU-ALU y Memoria-ALU.

18- Explique los dos significados del término SIMD, uno como el usado en la computadora Illiac IV (1964) y otro como el usado en las extensiones MMX/SSE/SSE-2 de Intel.

19- Para el datapath MIPS dado a continuación, varios links han sido numerados y marcados con X. Individualmente para cada uno los mismos:

- . Describa con palabras las consecuencias negativas para el funcionamiento del procesador de cortarlo en el punto marcado.
- . De una secuencia de instrucciones reales MIPS tal que asumiendo el camino cortado hará que la secuencia falle en su ejecución.
- . De una secuencia de instrucciones reales MIPS tal que aún con el camino cortado la secuencia funcionará correctamente.



20- Dibuje un diagrama en bloques detallado de un Register File para un procesador MIPS con pipeline de 5 etapas.

Predictores de saltos

1- Describir cómo funciona un predictor de saltos de dos niveles y porque un esquema así puede ser efectivo.

2- Dibuje el esquema de un predictor de saltos de 2 niveles y explique porque puede lograr altas tasas de aciertos en la prediccción.

3- Realice un esquema de un predictor de saltos en dos niveles con 2 bits de historia global y 1 de historia local. Porque que logra un buen funcionamiento este tipo de predictores. Calcule la tasa de prediccción del predictor pedido para el código dado (código del problema 11 de Arquitecturas). Suponer que la primera vez de cada branch la prediccción es NT.

4- Considere agregar la prediccción de branch al pipeline MIPS de 5 etapas. Asuma que el pipeline no utiliza el esquema de salto demorado. Asuma que la prediccción de saltos dinámica se realiza en la etapa de ID y que los saltos se resuelven en la etapa de MEM del pipeline. Conteste las preguntas siguientes y proporcione las explicaciones para cada una. Proporcione cualquier diagrama que usted piense será provechoso para explicar su respuesta.

- a. ¿Cuántos ciclos se pierden si un branch se predice correctamente no tomado?
 - b. ¿Cuántos ciclos se pierden si un branch se predice correctamente tomado?
 - c. ¿Cuántos ciclos se pierden si un branch se predice incorrectamente no tomado?
 - d. ¿Cuántos ciclos se pierden si un branch se predice incorrectamente tomado?
-

Tópicos especiales

1- Procesamiento multihilo (multithreading).

- a) Políticas de procesamiento multihilo.
 - b) Desperdicios vertical y horizontal.
 - c) Para cada uno de los siguientes elementos decir si hay uno individual para cada hilo o hay uno solo compartido entre todos los hilos.
 - a) Memoria de código.
 - b) Memoria de datos.
 - c) Estructura de Stack.
 - d) Registros Generales.
 - e) Contador de programa.
 - f) Memoria cache.
- Justificar.

2- Explique la principal diferencia entre una arquitectura superescalar y una VLIW.

3- Explique el funcionamiento básico de un procesador superescalar que utiliza:

- a- Scoreboarding (tablero de resultados)
 - b- Algoritmo de Tomasulo
-

Verdadero o falso

1- Verdadero o falso, justificar.

- a) El CPI promedio de un procesador MIPS con pipeline es 1 porque se ejecuta una instrucción por ciclo.
- b) La memoria virtual es el área de swap del disco rígido.
- c) Las políticas de reemplazo en memoria cache se implementan por el sistema operativo.
- d) El registro de instrucciones de una CPU es invisible a la arquitectura del conjunto de instrucciones.

2- Verdadero o falso, justificar.

- a) La memoria virtual paginada es transparente a la arquitectura de programación.
- b) En una cache direccionada por direcciones físicas la TLB es accedida antes que la cache.
- c) Un procesador superescalar pertenece a la categoría SISD de la taxonomía de Flynn.

- d) El stack pointer del procesador MIPS es uno de los registros del register file.

3- Verdadero o falso, justificar.

- a) Las extensiones multimedia al conjunto de instrucciones tipo SSE pertenecen a la categoría MIMD de la taxonomía de Flynn
- b) La TLB es una tabla implementada en la memoria principal .
- c) Un procesador SMT tiene espacios de direcciones de memoria individuales para cada hilo.
- d) El contador de programa (PC) del procesador MIPS puede ser usado en instrucciones aritméticas del conjunto de instrucciones.
- e) El modelo de las 3C clasifica a los misses de bloques de memoria que mapean en el mismo conjunto como “misses de conflicto”.
- f) El forwarding elimina la necesidad de stall en la siguiente secuencia:
 lw r2,0(r4)
 addi r8,r2,#2

4- Conteste verdadero (V) o falso (F)

- ___ Una cache LRU de 2 vías siempre produce menos misses que una cache de con los mismos parámetros pero de correspondencia directa.
- ___ Una cache LRU de una dada organización siempre produce menos misses que una exactamente igual pero mas pequeña.
- ___ Una cache FIFO de una dada organización siempre produce menos misses que una exactamente igual pero mas pequeña.
- ___ El pipeline disminuye la latencia para la ejecución de las instrucciones.
- ___ En un pipeline de 5 etapas donde cada etapa requiere un ciclo de reloj el CPI ideal de las instrucciones es 5.
- ___ En una cache direccionada por direcciones físicas antes de acceder a la cache de debe acceder a la TLB.
- ___ En un sistema de memoria virtual la memoria física es la RAM y la virtual es el área de swap en el disco.
- ___ La memoria virtual paginada es invisible a la arquitectura del conjunto de instrucciones.

5- Verdadero o Falso (justificar)

- a- Una cache DM nunca puede tener una mejor tasa miss que una LRU FA del mismo tamaño y para el mismo patrón de referencias.
- b- Aun si hubiera más memoria física que la virtual utilizada por todas las aplicaciones simultáneamente, el esquema de memoria virtual seguiría siendo muy útil.
- c- Los registros pipeline MIPS son parte de la arquitectura de programación.
- d- El concepto fundamental de un procesador RISC es su arquitectura load/store.
- e- El modelo de las 3C clasifica los misses individualmente.
- f- Un procesador superescalar es del tipo SISD de la taxonomía de Flynn.

6- Verdadero o falso, justificar.

- a) La arquitectura intel X86 actual al ser compatible hacia atrás y anterior a las arquitecturas load/store no se beneficia de la ventajas de estas últimas.
- b) Un procesador superescalar de 4 vías tiene 4 stacks.
- c) El contador de programa (PC) del procesador MIPS puede ser incrementado mediante una instrucción aritmética del conjunto de instrucciones.
- d) Los MIPS (millones de instrucciones por segundo) no indican cuan rápida es una computadora y no se relacionan con el tiempo de ejecución de las aplicaciones.
- e) Un procesador de múltiples núcleos con cache compartida el del tipo MIMD de la taxonomía de Flynn.

7- Verdadero o falso, justificar.

- a) El tamaño del código de una aplicación es una medida estática.
- b) Un procesador SMT de 4 vías tiene 4 stacks.
- c) El contador de programa (PC) del procesador MIPS puede ser incrementado mediante una instrucción aritmética del conjunto de instrucciones.
- d) Los MIPS (millones de instrucciones por segundo) son útiles para medir desempeño.
- e) Un procesador superescalar el del tipo SISD de la taxonomía de Flynn.

8- Verdadero o Falso (justificar)

- a- Un procesador con coprocesador de punto flotante ejecuta instrucciones a una tasa más lenta que sin coprocesador de punto flotante.
- b- Un procesador superescalar de 2 vías puede ejecutar dos flujos de instrucciones en paralelo.
- c- Las supercomputadoras actuales basan su desempeño de la aplicación de pipelines muy profundos.
- d- La memoria virtual es el área de swap del disco rígido.
- e- Las extensiones multimedia al conjunto de instrucciones tipo SSE pertenecen a la categoría MIMD de la taxonomía de Flynn.
- f-El modelo de las 3C clasifica a los misses de bloques de memoria que mapean en el mismo conjunto como “misses de conflicto”.
- g- La arquitectura MIPS 32 posee instrucciones de ejecución condicional.

9- Verdadero o Falso (justificar)

- a- La política de reemplazo de la cache de nivel 1 es manejado por el SO.
- b- El TARGET de un jump en MIPS es independiente de la dirección del jump.
- c- Los registros SP y FP en MIPS son registros dedicados de la arquitectura del conjunto de instrucciones.
- d- Una arquitectura memoria-memoria produce ejecutables con menos instrucciones que una arquitectura Load/Store.
- e- Un procesador con coprocesador de punto flotante ejecuta instrucciones a una tasa más lenta que sin coprocesador de punto flotante.

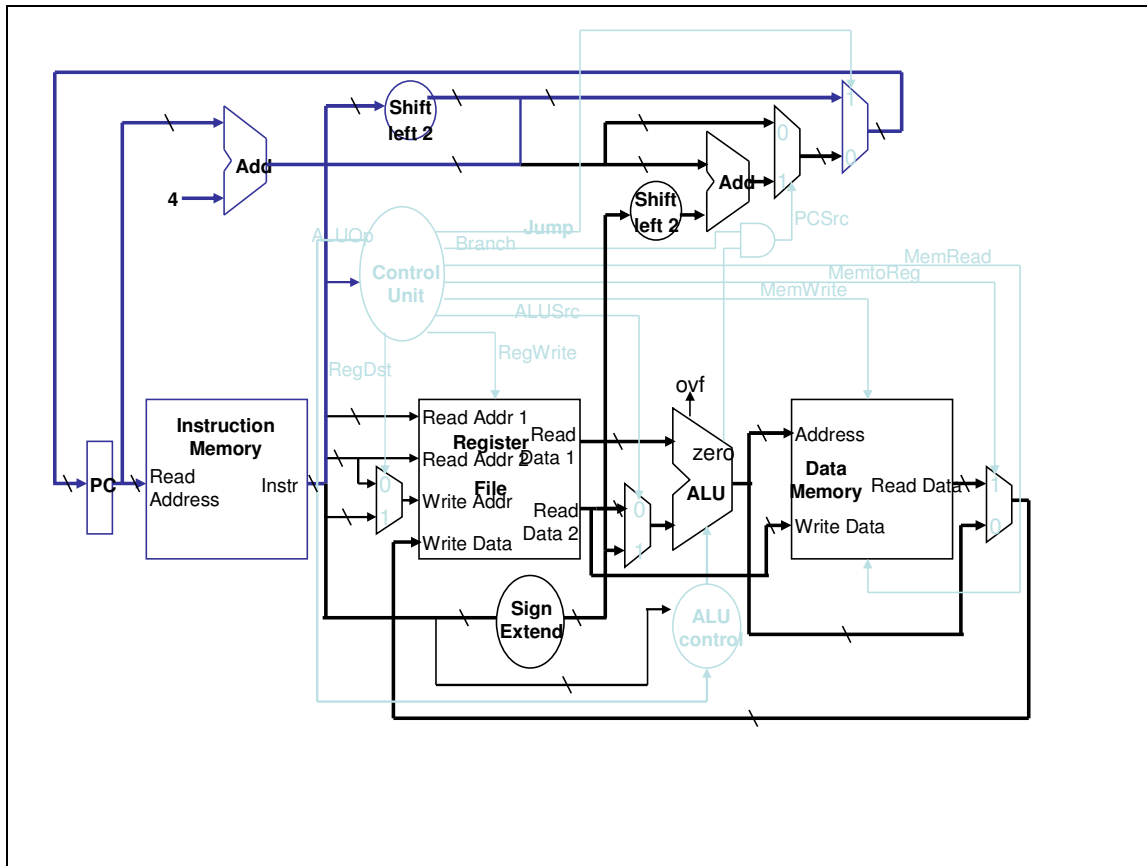
- f- Un procesador superescalar de 2 vías puede ejecutar dos flujos de instrucciones.
- g- Las supercomputadoras actuales basan su desempeño de la aplicación de pipelines muy profundos.

10- Verdadero o Falso (justificar)

- a- Una cache FA FIFO nunca puede tener una mejor tasa miss que otra FA FIFO de mayor tamaño y para el mismo patrón de referencias.
- b- Una cache de 2 vías LRU nunca puede tener una mejor tasa miss que otra de 2 vías LRU de mayor tamaño y para el mismo patrón de referencias.
- c- Una cache FA Random nunca puede tener una mejor tasa miss que otra FA Random de mayor tamaño y para el mismo patrón de referencias.
- d- Aun si hubiera más memoria física que la virtual utilizada por todas las aplicaciones simultáneamente, el esquema de memoria virtual seguiría siendo muy útil.
- e- Los registros IR y PC en MIPS son parte de la arquitectura de programación.
- f- El concepto fundamental de un procesador RISC es que tiene pocas instrucciones.
- g- El modelo de las 3C para misses en memoria es una taxonomía.
- h- Un procesador superescalar es del tipo MIMD de la taxonomía de Flynn.

Camino de Datos

1- El siguiente dibujo corresponde a una implementación monociclo para un procesador MIPS. a) Indique sobre el dibujo junto a cada marca que cruza una conexión, la cantidad de líneas correspondiente. b) Dibuje dentro cada uno de los multiplexores mediante una línea, cual de las entradas se conecta con la salida, si se está ejecutando una instrucción “beq rs, rt, label”.



2- La figura siguiente corresponde al datapathh multiciclo de un procesador MIPS. En la misma cada multiplexor ha sido numerado (1 al 6). Indicar en la siguiente tabla el número de entrada que debe conectarse con la salida de cada multiplexor para cada ciclo de ejecución de las siguientes instrucciones. Si en un determinado ciclo para un determinado multiplexor no interesa el valor de la salida, indicarlo con una X en el lugar correspondiente de la tabla:

a) Instrucción add

MUX	Ciclo				
	IF	DEC	EX	MEM	WB
MUX 1					
MUX 2					
MUX 3					
MUX 4					
MUX 5					
MUX 6					

b) Instrucción load

	Ciclo				
MUX	IF	DEC	EX	MEM	WB
MUX 1					
MUX 2					
MUX 3					
MUX 4					
MUX 5					
MUX 6					

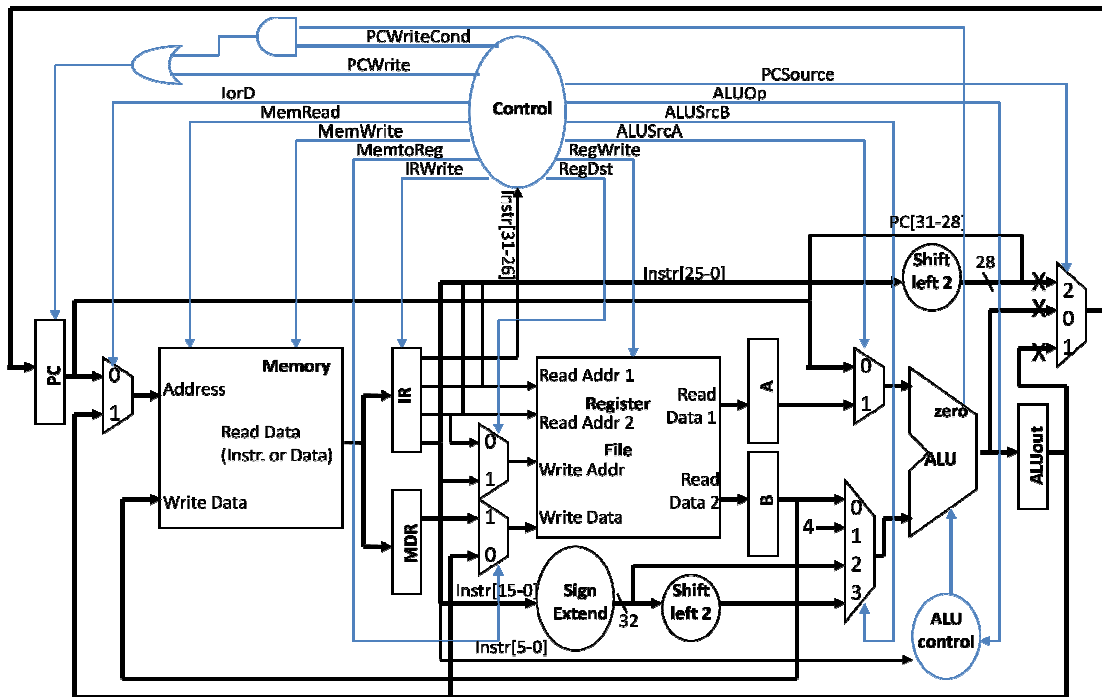
c) Instrucción beq

	Ciclo				
MUX	IF	DEC	EX	MEM	WB
MUX 1					
MUX 2					
MUX 3					
MUX 4					
MUX 5					
MUX 6					

3- El siguiente dibujo corresponde a una implementación multiciclo para un procesador MIPS. Tres links (0, 1 y 2) de entrada a un multiplexor han sido marcados con X.

Individualmente para cada uno los mismos:

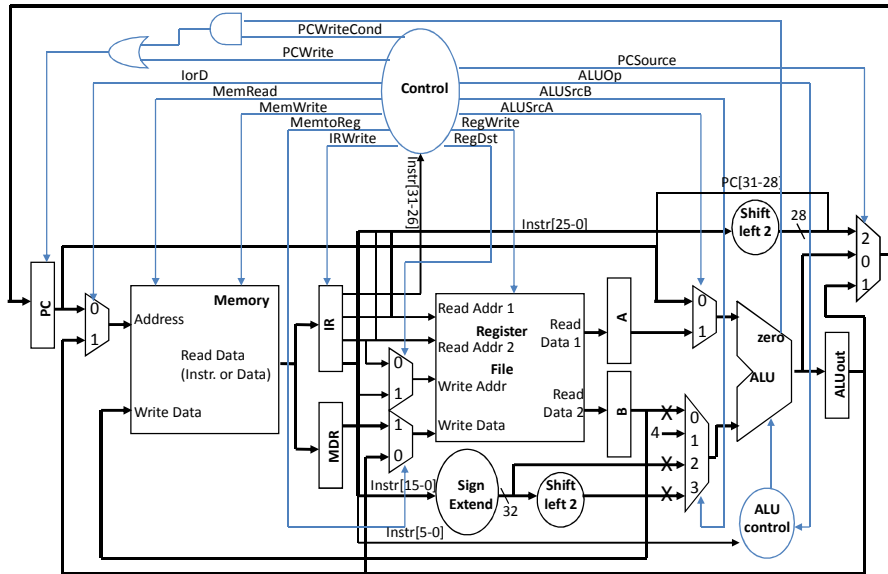
- Describa con palabras las consecuencias negativas para el funcionamiento del procesador de cortar el link en el punto marcado.
- De una secuencia de instrucciones reales MIPS tal que asumiendo el camino cortado hará que la secuencia falle en su ejecución.
- De una secuencia de instrucciones reales MIPS tal que aún con el camino cortado la secuencia funcionará correctamente. (Si la secuencia no existe decirlo explícitamente)



4- El siguiente dibujo corresponde a una implementación multiciclo para un procesador MIPS. Tres links (0, 2 y 3) de entrada a un multiplexor han sido marcados con X.

Individualmente para cada uno los mismos:

- Describa con palabras las consecuencias negativas para el funcionamiento del procesador de cortar el link en el punto marcado.
- De una secuencia de instrucciones reales MIPS tal que asumiendo el camino cortado hará que la secuencia falle en su ejecución.
- De una secuencia de instrucciones reales MIPS tal que aún con el camino cortado la secuencia funcionará correctamente. (Si la secuencia no existe decirlo explícitamente).



#####