

66.70 Estructura del Computador

BIESTABLES

Circuitos de la electrónica digital

Combinacionales vs **Secuenciales**

...realimentación es la llave

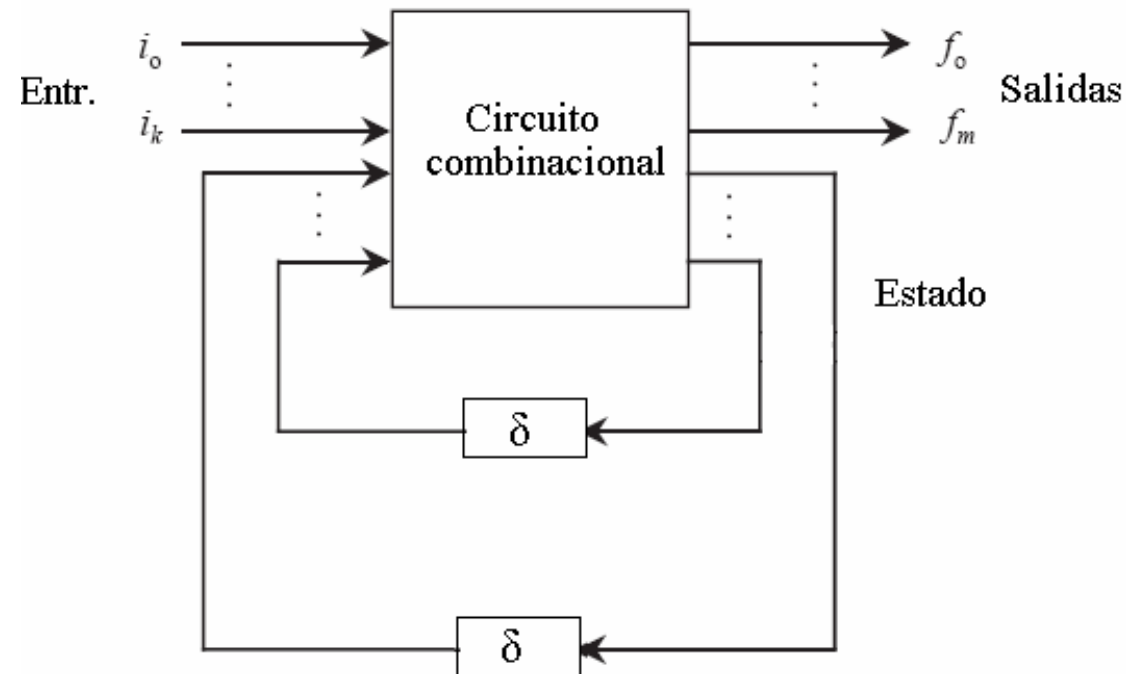
Circuitos secuenciales

Salida: depende de la entrada actual **y** de la historia pasada de las entradas

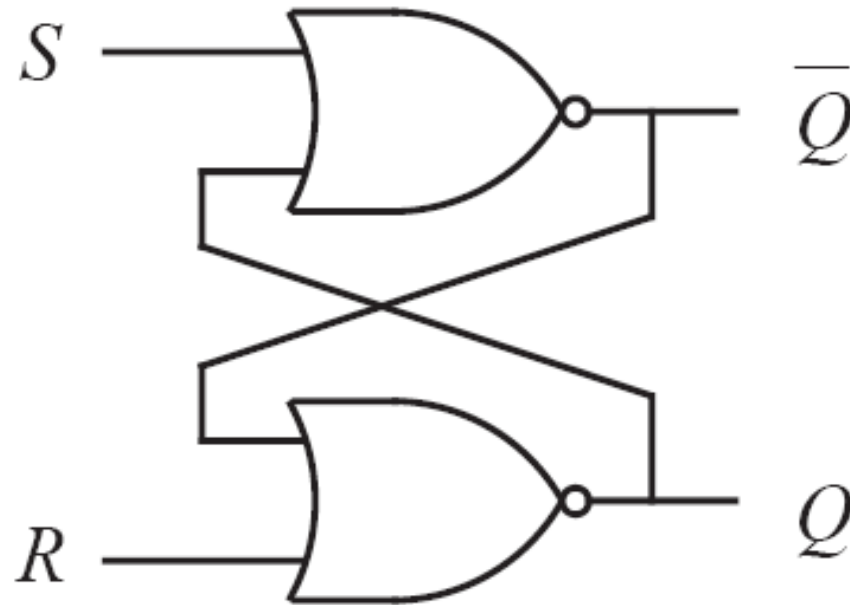
Estado: contiene toda la información acerca del pasado necesaria para predecir la salida actual basada en la entrada actual.

Variables de Estado: uno o más bits de información.

Modelo de circuito secuencial



Circuito secuencial simple

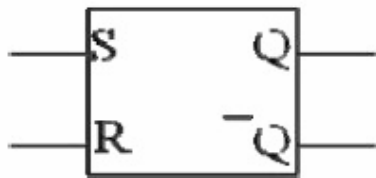


- Analizar evolución temporal
- Respuesta a todas las condiciones de entrada
- Entrada prohibida $R=S=1$

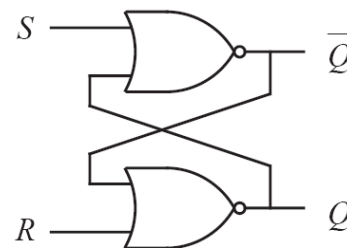
Latch RS *o FlipFlop RS asinchrónico*

- ❖ **Capacidad para memorizar 1 bit**
- ❖ **Entradas de control**
- ❖ **Salidas Q y $\sim Q$**

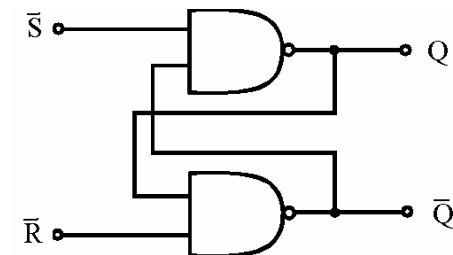
Símbolo



Implementación
con NOR



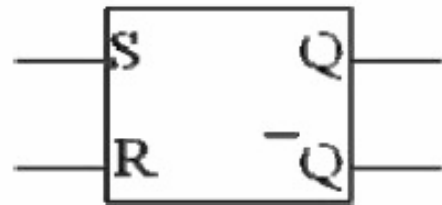
Implementación
con NAND



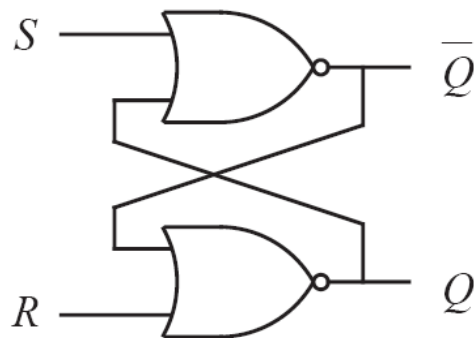
Latch RS

o Flip-Flop RS asincrónico

Símbolo



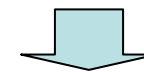
Circuito



Ecuación característica:

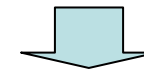
$$Q^{n+1} = S + R' \cdot Q^n$$

~~| S | R | Q | \bar{Q} |
|---|---|---|-----------|
| 0 | 0 | Q | \bar{Q} |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

Estado incoherente~~


S	R	Q	\bar{Q}
0	0	Q	\bar{Q}
0	1	0	1
1	0	1	0
1	1	-	-

Estado prohibido



S	R	Q
0	0	Q
0	1	0
1	0	1
1	1	-

Estado prohibido

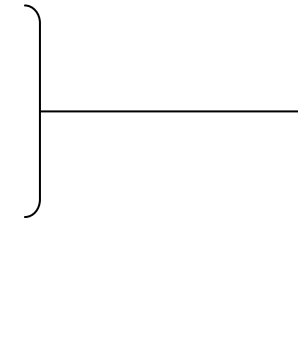
Tabla de estados

Expresiones formales de la lógica de un biestable

- **Tabla de estados**
- **Tabla de estados reducida**
- **Ecuación característica**
- **Diagrama de estados**

Biestables

- “latch”
- “cerrojo”
- “flip-flop”
- “báscula”
- “flip-flop asincrónico”
- “flip-flop sincrónico”
- “enclavador” ...

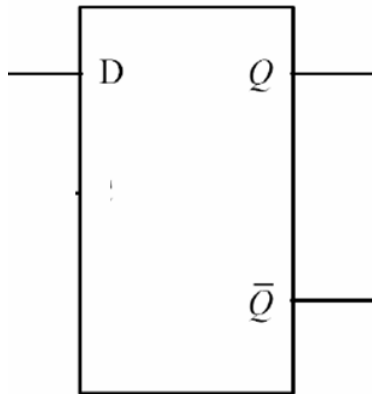


Varias nomenclaturas, sólo dos dispositivos básicos

*Latch D (**D**elay)*

o Flip-Flop D asincrónico

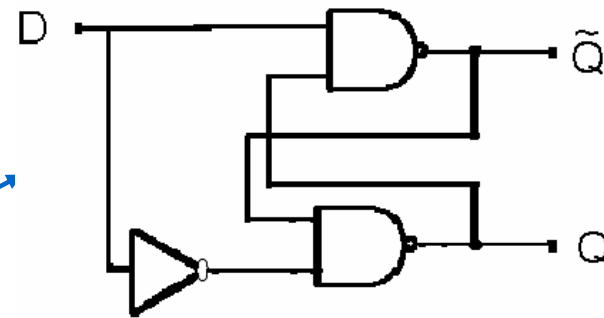
? Posibles aplicaciones prácticas



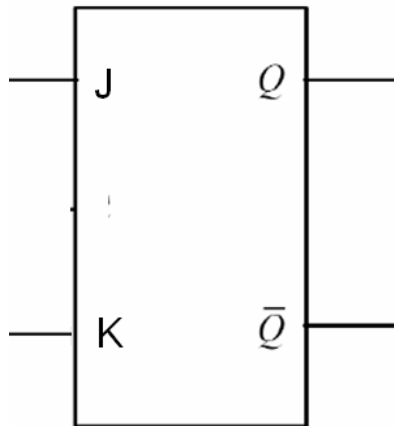
D	Q
X	Q
0	0
1	1

Tabla de estados

✓ Implementación de la lógica del FF-D



FlipFlop “J-K”



J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q}

✓ Define un comportamiento para el estado que es prohibido en el FF-RS (R=S=1)

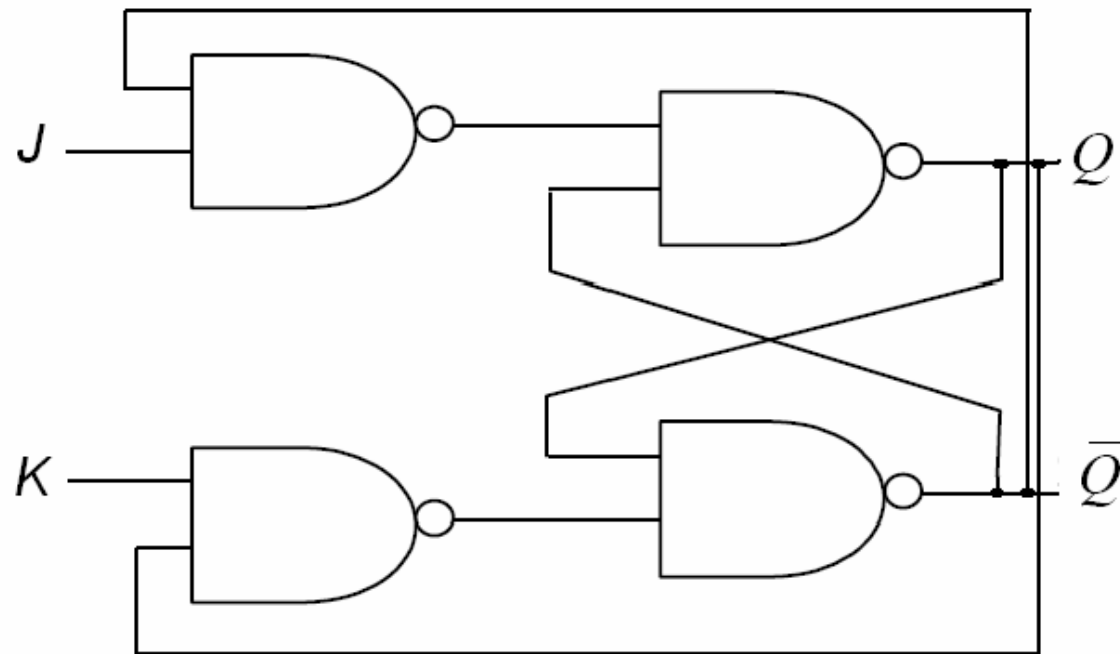
? Dinámica de la salida cuando J=K=1

Ec.característica

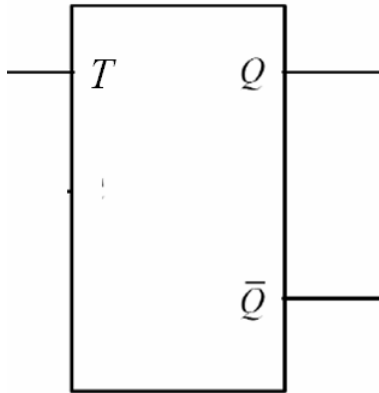
$$Q^{n+1} = J\bar{Q} + \bar{K}Q$$

FlipFlop JK asincrónico

diagrama circuital



Latch “T” (Toggle)



T	Q^{n+1}
0	Q
1	\bar{Q}

✓ Comportamiento idéntico a FF-JK con $J=K=1$

? Dinámica de la salida mientras $T=1$

Circuitos **sincrónicos**

- Para la lógica del circuito el tiempo transcurre según marcan los pulsos de reloj
- Velocidad del reloj vs. retardo de respuesta del circuito

Hipótesis

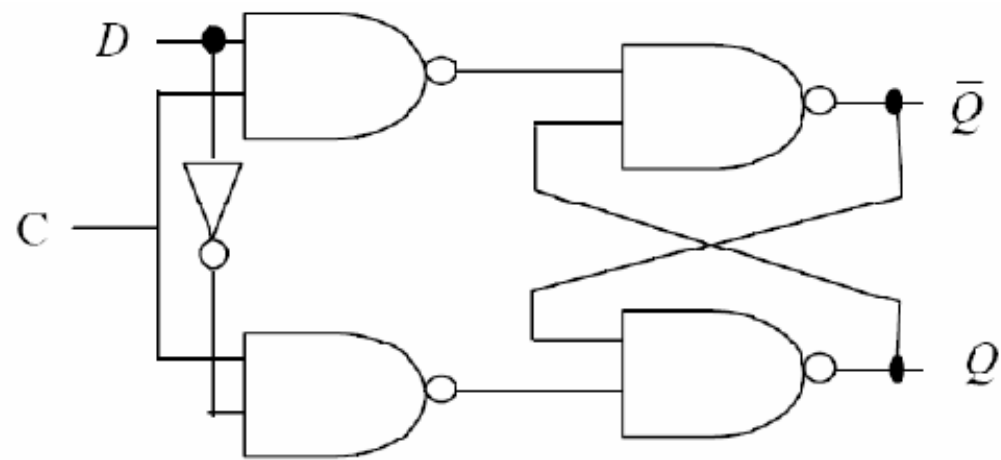
- ✓ El estado cambia solo una vez por ciclo de reloj
- ✓ El cambio es simultáneo en todos los flip-flop
- ✓ Tras un cambio de estado las entradas se estabilizan antes del siguiente cambio de estado

Flip-Flops sincrónicos

Algunos problemas antes encontrados en Flip-Flops
asincrónicos:

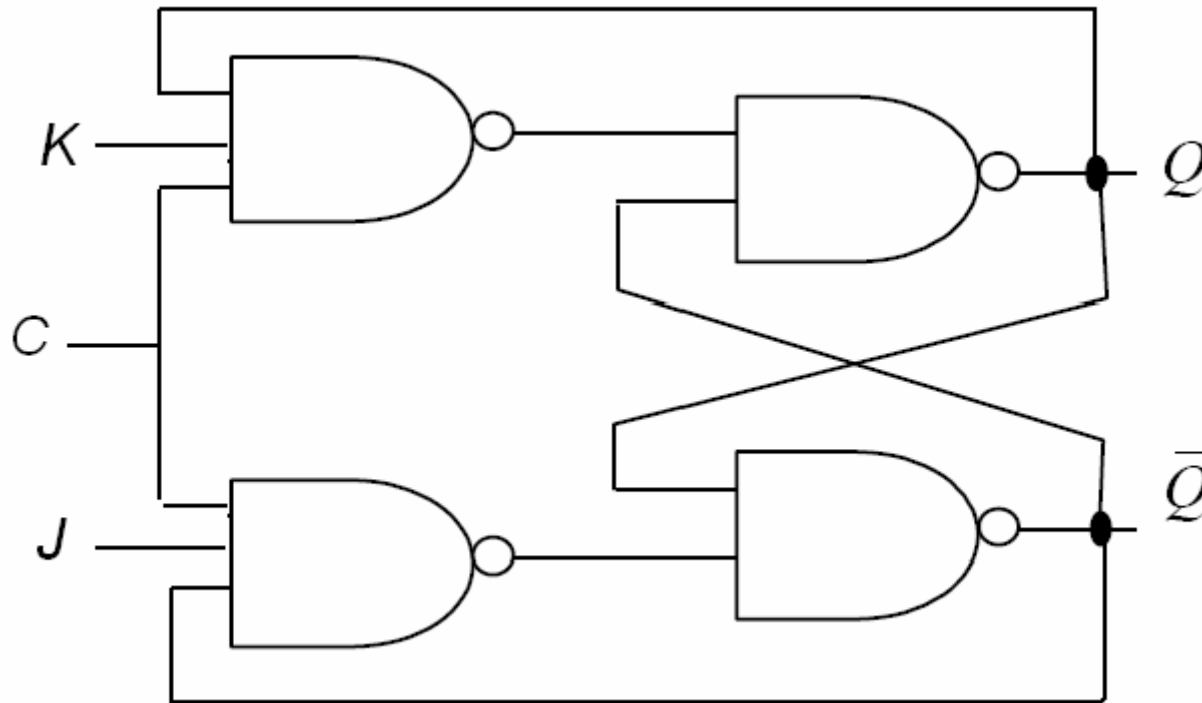
- ↓ Referencia de tiempo para aplicaciones del Latch tipo “D”
- ↓ Oscilaciones del Latch tipo “JK” (con $J=K=1$)
y del tipo “T” (con $T=1$)

Flip-Flops sincrónicos activados por nivel



Flip-Flop D

Flip-Flops sincrónicos activados por nivel



Flip-Flop JK

- Analizar en un diagrama de tiempos

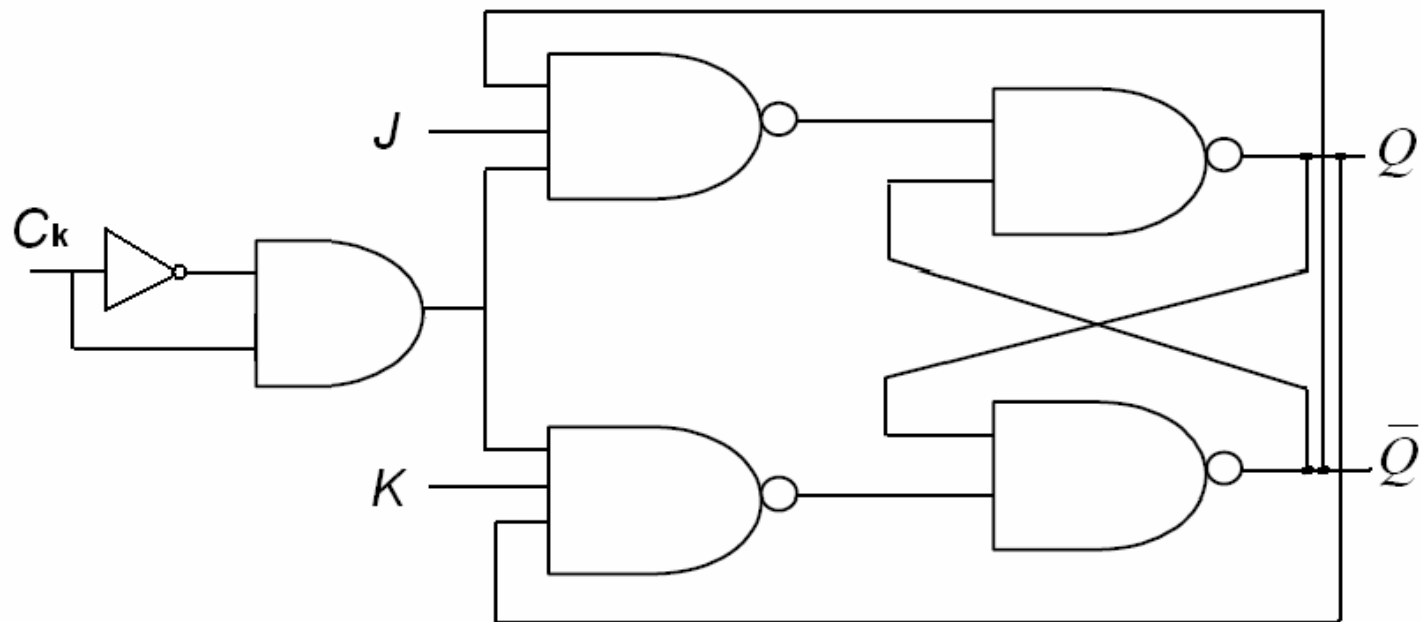
Flip-Flops sincrónicos activados por nivel

Debemos asegurar que

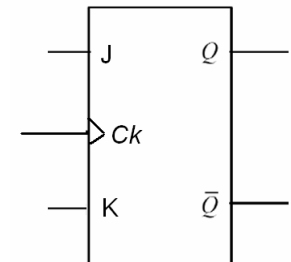
- ✓ el pulso de reloj sea más corto que el retardo del latch
- ✓ el pulso de reloj sea lo suficientemente ancho para que genere una respuesta a la salida de la compuerta
- ✓ las entradas se mantengan constantes mientras el pulso reloj esta en alto

Flip-Flops sincrónicos activados por flanco

FF-JK por flanco positivo

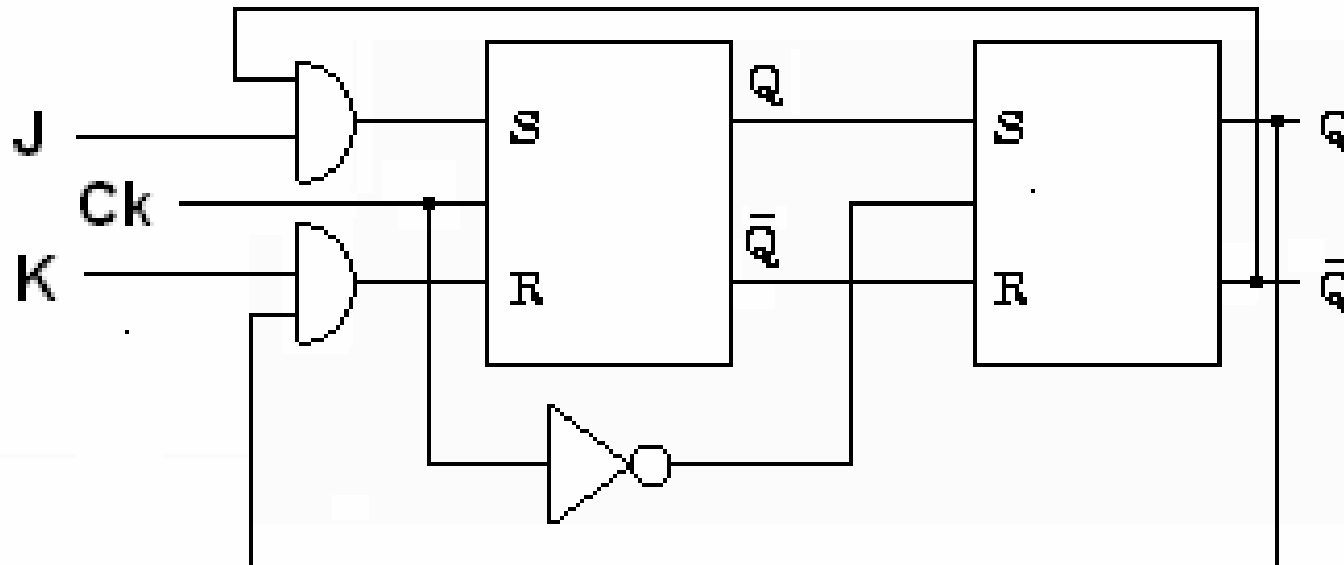


- *Analizar en un diagrama de tiempos*
- *Flanco negativo?*



Flip-Flop JK sincrónico del tipo maestro-esclavo

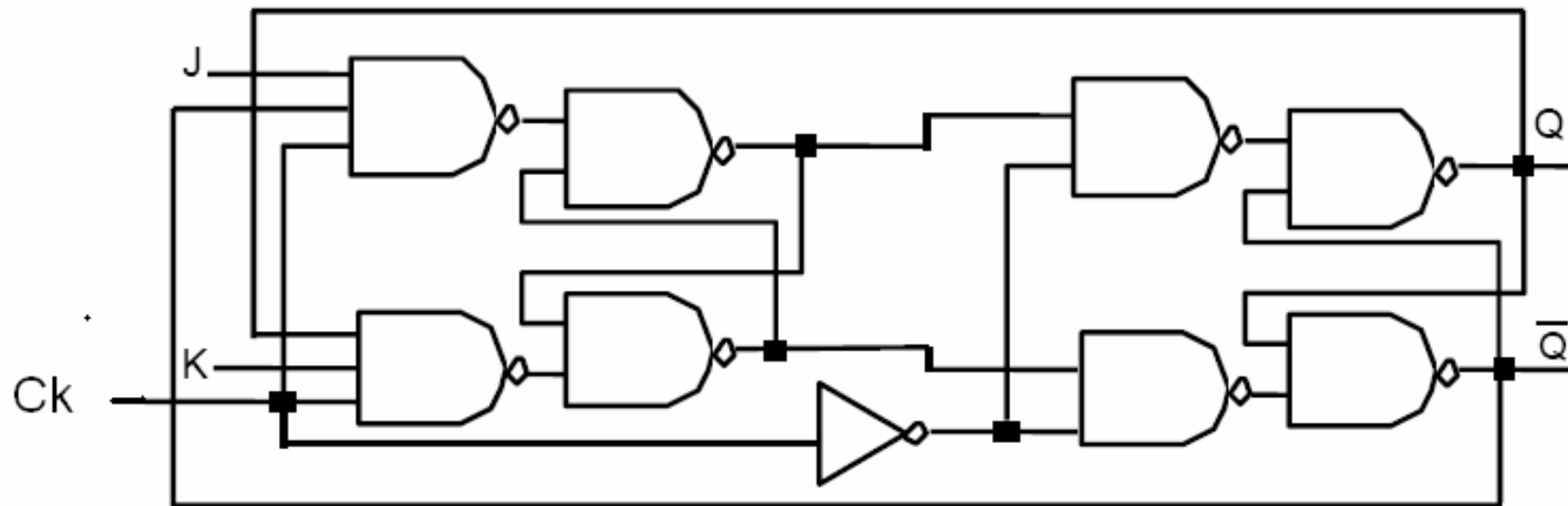
- Se lee la entrada en un flanco del reloj
- Se actualiza la salida en el siguiente flanco



- *Analizar en un diagrama de tiempos*
- *Flancos positivo/negativo ?*

Flip-Flop JK síncrono del tipo maestro-esclavo

Implementando con compuertas NAND los FF-RS “internos” al FF-JK ME



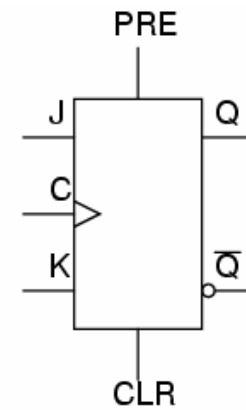
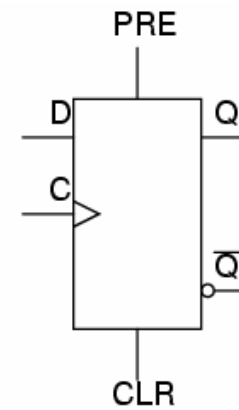
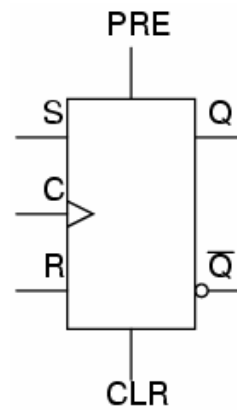
Características **temporales** de los Flip-Flops

- ❖ **Retardo de propagación**
tiempo entre el cambio de la entrada y el cambio de la salida
- ❖ **Tiempo de establecimiento**
tiempo mínimo que la entrada debe permanecer estable **antes** del reloj
- ❖ **Tiempo de mantenimiento**
tiempo mínimo que la entrada debe permanecer estable **después** del reloj
- ❖ **Frecuencia máxima de reloj**
- ❖ **Relación entre la frecuencia del reloj y la velocidad de los cambios en las señales lógicas**

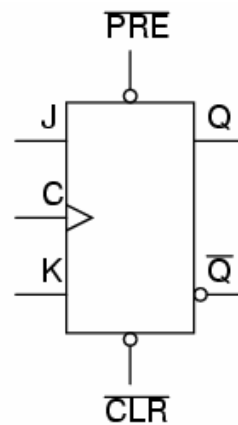
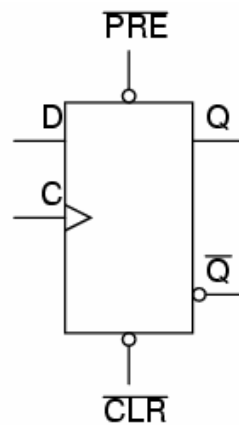
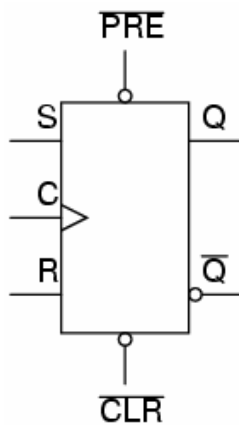
Entradas asincrónicas

➤ “Preset”

➤ “Clear”

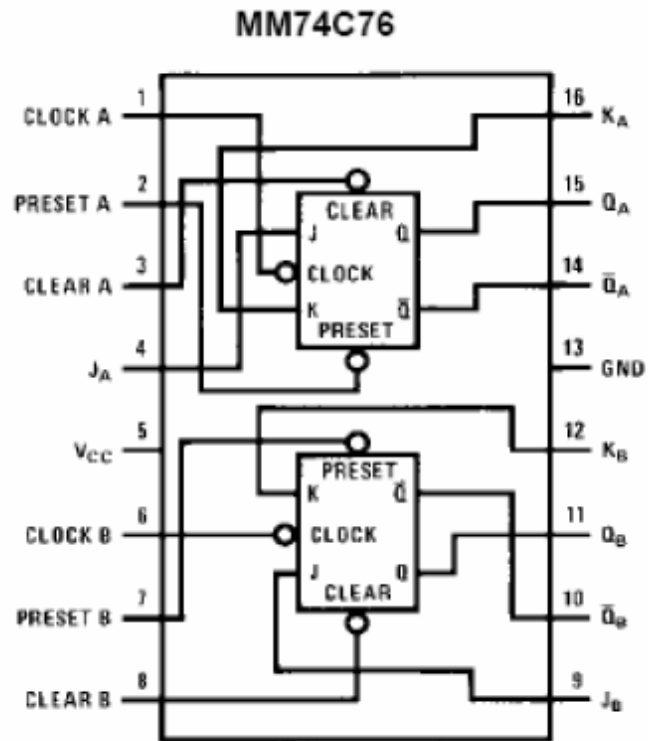


Activo a nivel alto



Activo a nivel bajo

Circuitos Integrados Comerciales



$\overline{\text{Preset}}$	$\overline{\text{Clear}}$	CLK	J	K	Q_t
1	1	\downarrow	0	0	Q_{t-1}
1	1	\downarrow	0	1	0
1	1	\downarrow	1	0	1
1	1	\downarrow	1	1	$\overline{Q_{t-1}}$
1	0	X	X	X	0
0	1	X	X	X	1